

同步整流降壓負載點轉換器的設計：

高低端 MOSFET 的選擇

隨著處理器和 FPGA 逐漸採用低於 1.0V 的電源電壓，電源設計者在 POL 轉換器的設計過程中正面臨著如何將效率最佳化和增大功率密度的雙重挑戰。為最大限度地減少功率損耗，POL 同步降壓轉換器中的控制與同步 MOSFET 最好分別進行最佳化設計，這一點比以往任何時候都顯得更加重要。設計工程師必須掌握有關功率 MOSFET 晶片、寄生效應、封裝設計與板級設計的知識和技巧，以實現真正最佳的設計方案。

■ IR 供文

目前，處理器的核心邏輯、FPGA 和其他高性能 CMOS IC 的工作電壓通常在 2.5V 以下，它們的工作電壓將隨製程尺寸的縮小而進一步降低。但是，由於人們不斷追求系統總體性能的提升，典型的電流消耗卻在快速增大。

與此同時，分散式電源架構(DPA)已成為提高功率轉換與分配效率的主導技術。這些架構需要採用負載點(POL)轉換器，將一般為 12V 左右的中間直流匯流排電壓降低到具有特殊電壓域的單個 IC 或者一組元件所需的工作電壓。這種同步降壓技術由於結構簡單、可靠性佳、相對效率較高，已成為倍受青睞的 POL 轉換器技術。

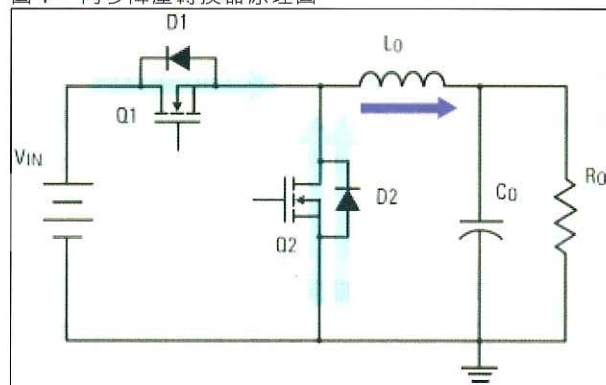
隨著處理器和 FPGA 逐漸採用低於 1.0V 的電源電壓，電源設計者在 POL 轉換器的設計過程中正面臨著如何將效率最佳化和增大功率密度的雙重挑戰。為最大限度地減少功率損耗，POL 同步降壓轉換器中的控制與同步 MOSFET 最好分別進行最佳化設計，這一點比以往任何時候都顯得更加重要。設計工程師必須掌握有關功率 MOSFET 晶片、寄生效應、封裝設計與板級設計的知識和技巧，以實現真正最佳的設計方案。

同步降壓轉換器的特性與損耗

在一個完整的開關週期內對同步降壓轉換器的工作特性進行分析，有利於掌握同步降壓轉換器內各個 MOSFET 的不同工作狀態。圖 1 顯示轉換器的電路原理圖，用來說明控制 FET 和同步 FET 的功能。

當控制 FET Q1 導通，同步 FET Q2 關閉，電感電流上升，在電感的磁場中儲存能量時，考慮將圖 1 與圖 2 相關聯的時序圖一起分析。該電流流過圖 1 所示的外迴路，

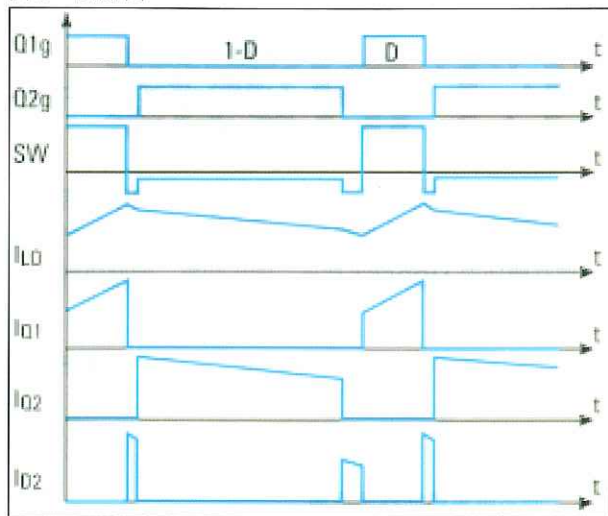
圖 1：同步降壓轉換器原理圖



依次流過電源、 $Q1$ 、 L_o 、 R_o 、接地，然後回到電源。在這個工作週期的最後， $Q1$ 關閉， $Q2$ 仍然短暫維持幾個奈秒的關閉狀態，以防止擊穿。為最大限度地減少損耗，這個死區時間必須盡可能得短，以防止兩個 FET 同時出現交叉導通。在死區時間內，電流通路流過電感、負載，並返回 $Q2$ 的體二極體，同步 FET 的汲極電壓降到 $-0.7V$ 。在死區時間過後， $Q2$ 導通(沒有源汲極電壓)，這一狀態稱為零電壓軟開關。當 $Q2$ 導通時，電感中能量被釋放，電感電流下降，同時 $Q1$ 在該工作週期剩餘時間內保持關閉。在下一週期開始之前， $Q2$ 再次暫時關閉一段時間，電感、 $Q2$ 或 $Q1$ 中沒有電流。如果仍然有電流流過，那麼快速變為零的電感電流將會形成一個電壓尖脈衝，這會帶來其他問題，本文稍後再討論。在死區時間過後， $Q1$ 導通，上述過程重複進行。如果電流為零，那麼電感電流的快速增大將會再次形成一個電壓尖脈衝，這也會帶來其他問題，本文稍後再討論。

考慮在負載點應用中的降壓轉換器，假設降壓轉換器通過 12V 直流輸入為低壓 CMOS 處理器核心提供 1.2V 電

圖 2：時序圖



壓。該工作週期比大約為 10~15%，這也是控制 FET、Q1 導通的週期，因此 Q1 中的傳導損耗相對較低。但是 Q1 工作在硬開關狀態下，這使得開關損耗成為這一部分電路中的主要損耗。同步 FET、Q2 的導通時間大約占整個工作週期的 85~90%，因此電路損耗以傳導損耗為主，零電壓的軟開關機制產生的開關損耗可以忽略不計。

一般而言，應該對控制 FET 進行最佳化以降低開關損耗，並通過降低 $R_{DS(on)}$ 來減少同步 FET 的損耗，以最大限度減少傳導損耗。實際上，同步降壓的操作需要利用控制 FET 和同步 FET 的某些附加特性，最大限度地減少寄生效應帶來的損耗，這包括由 Miller 電容導致的同步 FET 的 $C_{dv/dt}$ 感應導通，以及控制 FET 閘極的電感效應。隨著典型的開關頻率不斷增大，降低這些損耗正變得越來越重要。電晶體尺寸和製造技術是最重要的因素，但是封裝級元件的特性以及轉換器的設計對此也有重要影響。

同步 FET 的特性

圖 3 顯出同步 FET 的開關波形，以說明為何軟開關產生的損耗可以忽略。在閘電壓達到臨界值之前，體二極體具有負載電流，汲極電壓維持在 -0.7V。當電壓超過閘電壓臨界值後，汲極電流逐步轉移到 FET 的溝道中，汲極電壓變為 -100mV 或者更低。當控制 FET 導通，將轉換節點的電壓上拉到接近電源電壓，使二極體反向偏置並關閉，並對同步 FET 的輸出電容充電時，體二極體的反向恢復損耗和輸出電容損耗主要出現在控制 FET 中。

圖 4 公式描述同步 FET 的損耗部分。由於傳導損耗通

圖 3：同步 FET 開關波形

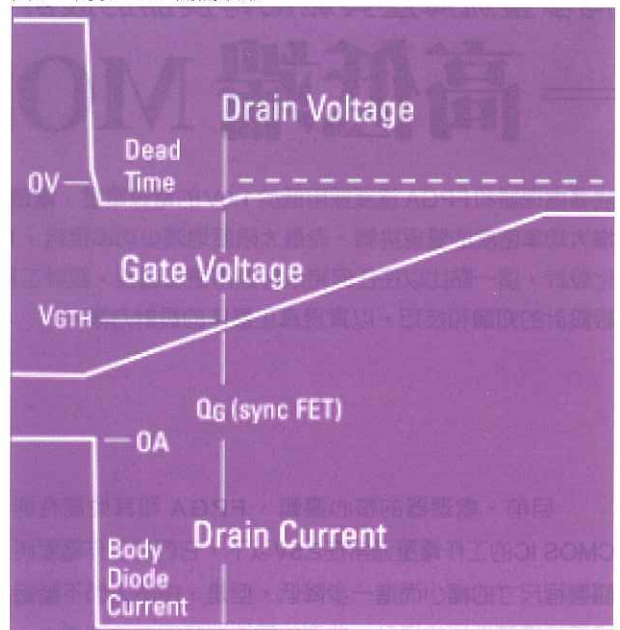


圖 4：描述同步 FET 損耗公式

$$\begin{aligned}
 \text{DriverLoss} &= Q_g \times V_{GS} \times f \\
 \text{QossLoss} &= \frac{Q_{oss}}{2} \times V_{GS} \times f \\
 \text{QrrLoss} &= Q_{rr} \times V_{GS} \times f \\
 \text{DeadtimeLoss} &= (t_{d1} + t_{d2}) \times I_{out} \times V_G \times f \\
 \text{ConductionLoss} &= R_{th} \times I_{out}^2 \times (1 - D)
 \end{aligned}$$

常佔主要部分，所以自然的反應就是選擇具有較大矽面積的 MOSFET，以最大限度地降低 $R_{DS(on)}$ 。但是，較大的矽面積只會導致較高的電荷量，這

意味著將產生閘極驅動器損耗。溝槽式 MOSFET 結構不但具有較低的 $R_{DS(on)}$ ，而且不會儲存過多的電荷。實際上，選擇導通電阻最低的溝槽式 MOSFET 不一定能夠確保損耗最低。例如，合適的同步 FET 也必須具備較高的抗 $C_{dv/dt}$ 感應導通的能力，這與閘電荷緊密相關。

當控制 FET 導通時會出現 $C_{dv/dt}$ 感應導通現象，因為轉換節點電流的快速上升將透過 C_{gd} 電容在同步 FET 的閘極上感應出一個電壓突波。這個突波可能大到足以在控制 FET 導通的同時使同步 FET 瞬間導通，從而在電源電壓之間形成短路。

雖然導通時間只有幾個奈秒，但與現今溝槽式 MOSFET 的低 $R_{DS(on)}$ 性能相比，在 $C_{dv/dt}$ 感應導通過程中帶來的損耗是不可忽視的。例如，相比 $R_{DS(on)}$ 低 10% 的類似元件，針對高 $C_{dv/dt}$ 導通進行抗擾性最佳化設計的 MOSFET，在 1MHz 頻率和 10A 電流下功率損耗減少了 18%。即使在輕負載的情況下，最佳化設計所得到的效率提升也十分重要，因為 $C_{dv/dt}$ 損耗與負載電流的開關並不

是很大。

避免出現 Cdv/dt 損耗的關鍵在於確保較低的閘-漏電荷 Q_{gd} ，以及較低的電荷比。這裡的電荷比是指 Q_{gd}/Q_{gs1} ，是用來衡量元件 Cdv/dt 抗擾能力的一個參數。 Q_{gs1} 決定了閘極從接地轉換為導通臨界電壓所需的電荷量。 Q_{gd} 是指當汲極電壓上升到 15V 時的 C_{gd} 電荷。根據經驗，低於 1.4 的電荷比就足以消除 Cdv/dt 導通效應。

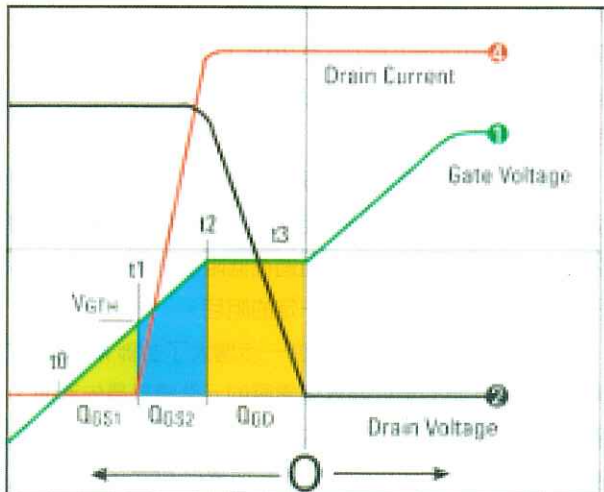
因此，在選用溝槽式 FET 以盡量減少傳導損耗時，還應該估算元件的 Q_{gd} 和電荷比 Q_{gd}/Q_{gs1} 。在生產溝槽 FET 的結構中，帶狀排列通過消除單元之間大量的“死區 (dead space)”，相比胞狀結構具有更低的閘電荷。帶狀排列結構本身也比較穩固。這種結構具有較少的銳轉角，此一特點有兩種好處：能夠消除高電場集中的現象以及物理實現的缺陷，這些問題容易導致早期電壓擊穿。

對於防止 Cdv/dt 感應導通問題，選擇低阻抗封裝技術也會獲得很好的改進效果。在系統級，使用低阻抗驅動器或者增加小型的閘電容也能夠防止此一現象。

最佳化控制 FET

圖5顯示了控制 FET 在導通轉換過程中的工作特性。關閉過程是導通過程的鏡像，在汲極電流和汲極電壓之間重疊的部分會出現開關損耗。當閘電壓上升到超過臨界電壓時，汲極電流將從零增大到電感電流，同時汲極電壓保持為 V_{in} 。當汲極電流等於電感電流時，汲極電壓開始下

圖 5：描述 FET 在導通轉換過程的工作特性



$$Q_{switch} = Q_{GS2} + Q_{GD}$$

降，同時轉換節點電壓向電源電壓攀升。在這一過程中，閘電壓保持在 Miller Plateau 狀態。當汲極電壓由於 $I \times R_{DS(ON)}$ 的積而下降到接近零伏時，這一開關轉換過程就完成了。

在圖 5 中， Q_{gs2} 是當驅動電壓持續增大並超過臨界值電壓時累積的閘電荷， Q_{gd} 是在 Miller 電容上累積的閘電荷，總體開關電荷等於 Q_{gs2} 與 Q_{gd} 的和。

下面的公式顯示在整個過程中控制 FET 內的損耗。

圖 6：控制 FET 損耗公式

$$\begin{aligned} \text{DriverLoss} &= Q_{gs} \times V_{gs} \times f \\ \text{QossLoss} &= \frac{Q_{oss}}{2} \times V_{in} \times f \\ \text{SwitchingLoss} &= \frac{Q_{switch}}{I_{gs}} \times V_{in} \times I_{ocf} \times f \\ \text{ConductionLoss} &= R_{ds} \times I_{rms}^2 \times D \end{aligned}$$

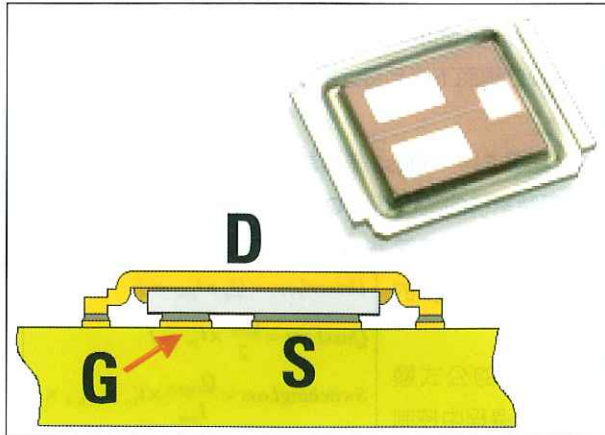
圖6的公式顯示出在整個過程中控制 FET 內的損耗。開關損耗包括導通損耗和關閉損耗，該公式表明整個開關損耗取決於開關頻率、輸入電壓和驅動器的速度。其他損耗包括傳導損耗、輸出電容損耗 (Q_{oss}) 和驅動器損耗。傳導損耗與工作週期比有關，驅動器損耗與閘電荷有關。在實際設計過程中，需要在傳導損耗和開關損耗二者之間，以及降低閘電荷和減小輸出電容二者之間進行折衷。

封裝級設計的注意事項

目前出現了多種旨在減少電阻抗和熱阻抗的功率封裝技術，它們能提高包括控制 FET 和同步 FET 在內的各種 MOSFET 應用的性能和可靠性。例如，Copperstrap 裝技術採用具有較大橫截面面積的銅導線連接電源和導線框架，消除了傳統鍵合線封裝製程中固有的高電感和高電阻問題。這不僅將封裝電源的電感降低了 45% 以上，而且將無裸片封裝的電阻減少了 37%。這對於 $R_{DS(ON)}$ 損耗占主要地位的同步 FET 應用而言是大有裨益的。Copperstrap 封裝技術沿用了既有的 SO-8 表面貼尺寸，可直接替換常規的 SO-8 功率 MOSFET。

PowerPak 封裝技術在此基礎上進一步做了改進，它將汲極暴露出來，允許直接焊接到板子上。這種技術與 Copperstrap 和標準的 SO-8 封裝技術相比，不但將封裝電阻減少了 20%，而且大大降低了結與 PCB 之間的熱阻抗，同時還有效利用了 PCB 的吸熱特性。DirectFET 封裝技術如圖 7 所示，它將裸片進行了翻轉，將閘極和源極都暴露出來，允許直接焊接到板子上。頂面上暴露的汲極直接與金屬殼連接，金屬殼向下延伸到電路板，可以焊接到

圖 7：DirectFET 封裝技術



PCB 上的散熱焊盤上。DirectFET 封裝技術將無裸片封裝的電阻值減少到 $0.15\text{m}\Omega$ ，將電感降低到 0.1mH ，將閘極結到管殼的熱阻降低到 $1^\circ\text{C}/\text{W}$ ，將汲極的熱阻降低到 $1.4^\circ\text{C}/\text{W}$ 。

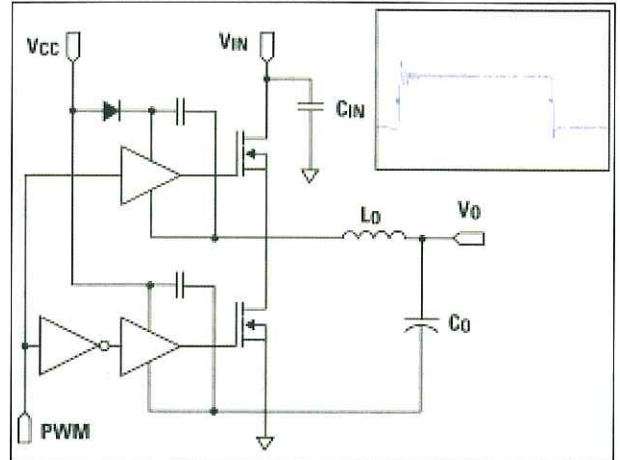
除了能減少封裝的寄生效應之外，DirectFET 封裝技術還提高了元件的散熱性能。由於裸片被翻轉，汲極可以直接與頂層的金屬電極相連，從而增大元件向周圍散熱的能力，能防止 PCB 出現熱飽和現象。此外，還能方便地在 DirectFET 封裝的頂部連接散熱器，進一步提高元件向周圍散熱的能力。

DirectFET 封裝技術還能最大限度地降低共源極電感。共源極電感是一種取決於驅動電路與控制 FET 的連接方式的系統級現象。如果驅動電路共用一個具有高電流 power train 的小型迴路電感，那麼 di/dt 感應的電壓就會與閘極驅動迴路相串聯。這將會影響電晶體導通時的驅動電壓，同時妨礙電晶體關閉過程中閘極放電的速度。實際上， 1nH 的共源極電感在 30A 和 500kHz 情況下就會將開關損耗增大 1W 以上。

為了克服這一問題，採用 DirectFET 封裝的功率 MOSFET 允許閘極回路以 Kelvin 接觸的方式單獨連接到源極接點，從而將 PCB 的電感與閘極迴路分離開。這種 Kelvin 連接對於其他沒有暴露源極和閘極的封裝是無法實現的。

板級設計同樣會對過電壓突波、 Cdv/dt 感應導通以及總體效率等產生影響。例如，為實現高效的輸入電流回路，不僅需要使用低阻抗封裝，如同步 FET 分別與電源和地的連接阻抗都很低，還要用金屬銅填充板上的剩餘空間，並將陶瓷旁路電容放置在高壓側 FET 附近。這些都有

圖 8：獲得乾淨方波的電路範例



利於在轉換節點上獲得乾淨的方波（圖 8 中的 V_{sw} ），並減少過電壓和 Cdv/dt 感應導通現象。

為最大限度地減少驅動器損耗，提高開關速度，應該將驅動電路放置在距離控制 FET 盡可能近的地方。這可以通過使用 PCB 背面來實現。控制 IC 應該放置在沒有雜訊的接地面上，回授感測電阻應該放置在距離 IC 較近而遠離負載的地方。分離的信號地和電源地應該連接在同一個點上，解耦電容應該放置在距離 IC 較近的位置。

更高的額定電流

在考慮能提高同步降壓轉換器的電流處理能力並克服發熱問題的技術時，開關頻率更高（高於 500kHz ）和典型導通電阻低於 $2\text{m}\Omega$ 的趨勢，使並聯連接 MOSFET 變得不可取。例如，在同步 FET 中，傳導損耗占主導地位，元件之間的導通電阻必須匹配（因為 20% 的電阻偏差將會導致 40% 的傳導損耗變化），因此我們不能混用不同批號或者不同廠商的元件。

對控制 FET 而言，閘極電壓的振鈴現象會出現在兩個 FET 並聯放置時形成的低阻抗通路中。這會大大增加開關損耗，甚至會損壞元件。通過在低阻抗迴路中增加兩個分離的閘極電阻，可以實現一定的阻尼。

對動態電流共用的需求進一步增大了並聯 MOSFET 實現的難度。具有最低臨界值電壓的元件總是最先導通、最後關閉，從而產生大部分的開關損耗。除了能減少振鈴現象之外，分離的閘極電阻還能有效實現 FET 的解耦，以改善電流共用效果。但是，額外的閘極電阻會增大開關損耗，因此最好不要並行連接控制 FET，而是選擇具有更高

額定峰值電流的 FET，或者增加一個轉換相位。

控制 FET 與同步 FET 晶片組

某些元件廠商以晶片組的形式提供成對的 MOSFET，專門針對控制 FET 和同步 FET 的功能進行了設計最佳化。例如，國際整流器公司推出了針對同步降壓轉換器應用而設計的多種 MOSFET 對，它們具有不同的額定電流和工作電壓。在這些元件中，控制 FET IRF6617 和同步 FET IRF6611 是 30V 的元件，在每相額定電流高達 20A 的轉換器設計中只需使用一個控制 FET 和一個同步 FET。

IRF6617 具有低達 11nC 的 Qg，以降低開關損耗。當在 VGS=10V 時，RDS(ON) 為 8.1mΩ。IRF6611 在 VGS=10V 時的 RDS(ON) 低至 2mΩ，與此同時，12nC 的

Qgd 和 1.22 的電荷比使該元件具有較高的 Cdv/dt 抗擾性。這兩種元件都採用了 DirectFET 封裝技術，能最大限度地減少寄生效應，提高元件的散熱能力。對功率需求更高的應用，還有更大的 MOSFET 晶片組可供選擇。

結論

POL 應用對先進的同步降壓轉換器的需求，要求控制 FET 和同步 FET 在性能、製造和封裝三個方面都應經過高度最佳化。市場上已有的功率晶片組包括經過共同最佳化的控制 FET 和同步 FET 元件，它們提前解決了很多技術挑戰，使電源設計工程師能快速實現高效而有效的解決方案。CTA

IR 全新 SupIRBuck 整合式 DC-DC 穩壓器系列 簡化嵌入式功率設計並縮少矽佔位面積多達 70%

功率半導體和管理方案領導廠商 - 國際整流器公司 (International Rectifier, 簡稱 IR) 推出多功能、兼容廣闊輸入的單輸出同步降壓穩壓器，適用於高密度、高效能資料中心，以及消費性應用。

IR38xx SupIRBuck 負載點 (POL) 電壓穩壓器系列把 IR 已成標準的 HEXFET 溝道技術 MOSFET 及一個高效能同步降壓控制 IC 融合到只有 5mm x 6mm 的功率四方扁平無引腳 (Power OFN) 封裝，使矽佔位面積較分立方案大幅減少 70%，並較另一類選擇一單片式 IC 所能提供的全負載效率高出 8% 至 10%。

IR 台灣分公司總經理朱文義表示：「由於 SupIRBuck 具備獨特的可延展通用佔位面積，設計師可以輕易以『剪下後貼』的方式設計新產品，從而顯著減低風險，也可加快產品推出市場的時間。IR 領導業界的 XPhase 和 DirectFET 多相位架構在增添 SupIRBuck POL 系列後，將讓我們能夠為包括企業伺服器在內的資料中心設備，提供最有效率及最全面的功率方案。」

IR38xx 乃為切換頻率在 600kHz 的 4A、7A 及 12A 輸出負載電流而設計，可在 2.5V 至 21V 這般廣闊的輸入電壓範圍下操作，並能提供低至 0.6V 的輸出電壓。通用功能包括預偏置起動、固定 600kHz 切換頻率、自動回復 (Hiccup) 電流限制保護、熱關閉，以及精確輸出電壓調節。其他功能選擇還包括電壓追蹤、可編程電源良好，以及 300kHz 切換頻率以提供額外 2A 的輸出電流能力。SupIRBuck 系列的熱加強封裝採用纖薄的 0.9mm 設計，讓元件可粘貼在主機板背面，使裝置非常適用於受空間限制的高密度伺服器應用。產品詳細數據可瀏覽 <http://www.irf.com>。

