

使用赛普拉斯的 Excelon™-Ultra Quad SPI (QSPI) F-RAM™ 进行设计

作者: Shivendra Singh

相关器件系列: CY15x102QSx、CY15x104QSx、CY15x108QSx

AN218375 介绍了四线 SPI (QSPI)，并展示了如何使用赛普拉斯 Excelon™-Ultra QSPI F-RAM 进行设计。QSPI 是标准的 SPI 协议的改善，它可以在保持该标准串行 SPI 的紧凑外形的前提下提供高达四倍的数据吞吐量。使用 QSPI F-RAM 器件的系统设计占用更小的电路板空间，具有增强的数据吞吐量和低脚数封装的特点，从而降低整体系统开发和集成成本。

目录

| | | | |
|--|----|-------------------------------|----|
| 1 简介 | 1 | 4.4 虚拟阶段 | 11 |
| 2 Excelon-Ultra QSPI F-RAM 信号与接口 | 2 | 4.5 数据阶段 | 12 |
| 2.1 Excelon-Ultra QSPI F-RAM 信号的详细信息 | 2 | 5 上电复位 (POR) 与初始化 | 15 |
| 2.2 Excelon-Ultra QSPI F-RAM 接口说明 | 3 | 5.1 电源重置与上电复位 (POR) | 15 |
| 3 系统接口 | 5 | 5.2 器件初始化 | 16 |
| 4 命令协议 | 7 | 6 硬件/软件复位 | 17 |
| 4.1 操作码阶段 | 8 | 6.1 硬件复位 (RESET) | 17 |
| 4.2 地址阶段 | 8 | 6.2 默认恢复 (JEDEC SPI 复位) | 18 |
| 4.3 模式阶段 | 10 | 6.3 软件复位 | 18 |

1 简介

为了管理一系列的多媒体、图形和其他数据密集型内容，嵌入式系统已经开发以提供更复杂的功能。这些功能对主机控制器（或 MCU）经常受限制的片上存储器提出了额外要求。具有并行接口的外部存储器长期以来用于扩展片上 MCU 的存储限制。并行地址/数据总线的存储器具有大引脚数量封装，并需要控制器上的更多引脚与其通信。

赛普拉斯开发了 Excelon-Ultra Quad SPI (QSPI) 铁电 RAM (F-RAM)，通过在紧凑尺寸型和高速串行访问中提供高性能存储器来解决上述挑战。Excelon-Ultra QSPI F-RAM 可作为非易失性 RAM 使用，用于存储关键系统参数、系统代码、图像和图标，另外可以高速访问。与传统 RAM 或缓冲存储器不同，F-RAM 能够提供瞬间非易失性，因此在突然断电或电源短时脉冲之前，不需要存储系统关键状态所需的任何系统电源备份。

高可靠性应用（如工业级控制和自动化、计算、汽车级安全系统、医疗设备和影像以及高端数据记录器）通常设计了专用的电源备份，以便能够在最后时刻捕获所有关键数据操作，而且在任何情况下都不会发生数据丢失的风险。Excelon-Ultra QSPI F-RAM 可以在这样的系统架构中发挥关键作用，通过免除将最后时刻的关键数据操作存储到硬盘或 Flash 之类的非易失性存储器中所需的任何电源备份，以便在后续电源周期内进行安全加电。

Excelon-Ultra QSPI F-RAM 支持高达 108 MHz 的所有 SPI 接口选项的单倍数据速率 (SDR)，同时也支持高达 54 MHz 的双倍数据速率 (DDR)，但仅针对特定的操作码。欲了解更多信息，请参考 Excelon-Ultra QSPI F-RAM 数据手册。54 MHz DDR 接口提供与 108 MHz SDR 相同的数据吞吐量，但频率仅为它的一半。与高速 SDR 相比，一些系统优先选择使用低频率的 DDR，它有助于降低系统内核和 I/O 频率，从而实现系统供电而不影响数据吞吐量。

2 Excelon-Ultra QSPI F-RAM 信号与接口

Excelon-Ultra QSPI F-RAM 是一个低脚数的串行接口器件，支持各种 SPI 接口选项，包括传统（或单通道）SPI、扩展 SPI、专用的双线 SPI (DPI) 和四线 SPI (QPI)，通过专用操作码或其配置寄存器的配置设置可以启用这些接口。

2.1 Excelon-Ultra QSPI F-RAM 信号的详细信息

Excelon-Ultra QSPI F-RAM 支持紧凑的 8 pin 封装、8 pin 带宽 SOIC (EIAJ) 和 8 引脚栅格 QFN (GQFN)。Excelon-Ultra QSPI F-RAM 提供多路复用 I/O 和控制引脚，通过 8 pin 封装支持上述所有 SPI 接口选项。表 1 描述了 SPI 信号的详细信息及其映射到相应的 SPI 接口。

图 1. Excelon-Ultra QSPI F-RAM 框图

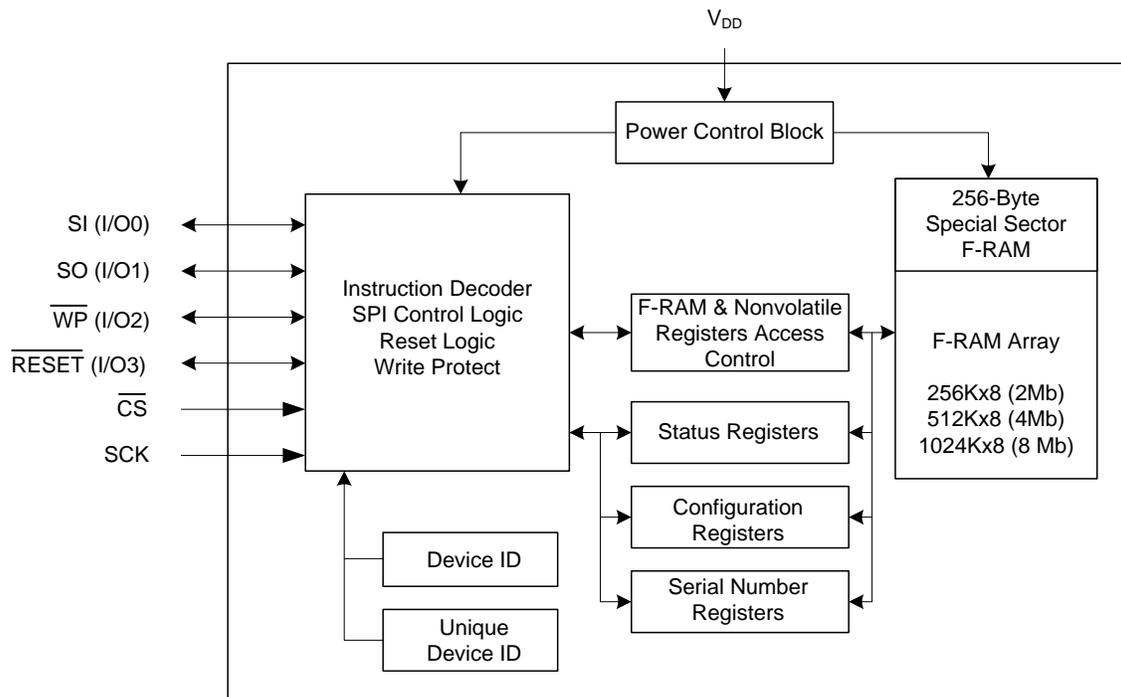


表 1. Excelon-Ultra QSPI F-RAM 信号

| 信号名称 | 类型 | 信号说明 | 不同 SPI 接口的信号映射 | | |
|-----------------|-------|----------------|-----------------|-------------------------|-------------------------|
| | | | 单端 SPI | 双线 SPI (增强双线 SPI 和 DPI) | 四线 SPI (增强四线 SPI 和 QPI) |
| SCK | 输入 | 串行时钟 | SCK | | |
| \overline{CS} | 输入 | 芯片选择 | \overline{CS} | | |
| SI/(I/O0) | 输入 | 标准 SPI 中的串行输入 | SI | I/O0 | I/O0 |
| | 输入/输出 | 双线或四线模式下的 I/O0 | | | |
| SO/(I/O1) | 输入 | 标准 SPI 中的串行输出 | SO | I/O1 | I/O1 |
| | 输入/输出 | 双线或四线模式下的 I/O1 | | | |

| 信号名称 | 类型 | 信号说明 | 不同 SPI 接口的信号映射 | | |
|---------------------------|-------|---------------------|--------------------|----------------------------|----------------------------|
| | | | 单端 SPI | 双线 SPI (增强双线 SPI 和 DPI) | 四线 SPI (增强四线 SPI 和 QPI) |
| \overline{WP} (I/O2) | 输入 | 标准 SPI 中的硬件写保护 | \overline{WP} | \overline{WP} | I/O2 |
| | 输入/输出 | 四线 SPI 模式下的 I/O2 | | | |
| \overline{RESET} (I/O3) | 输入 | 标准 SPI 和 DPI 中的硬件复位 | \overline{RESET} | \overline{RESET} | I/O3 |
| | 输入/输出 | 四线 SPI 模式下的 I/O3 | | | |

2.2 Excelon-Ultra QSPI F-RAM 接口说明

低脚数串行接口器件通过串行传输所有控制、地址、模式（如果适用）和数据来减少与主机系统连接所需的总引脚数量。这样降低了封装成本、信号开关电源和主机端 I/O 计数，因此主机可以使用额外的 I/O 使能其他功能。

QSPI F-RAM 支持以下四种模式：

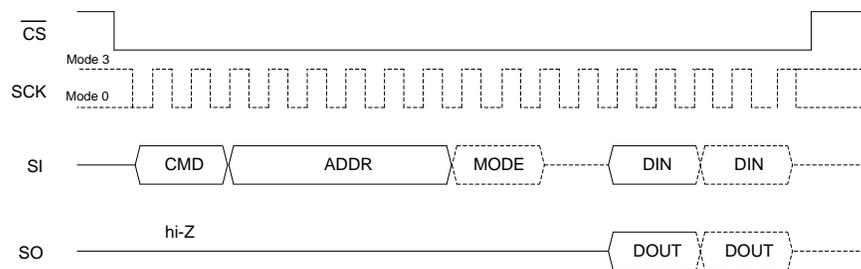
1. 单通道 SPI
2. 扩展型 SPI
3. 双线 SPI
4. 四线 SPI

命令 I/O 计数、地址 I/O 计数、模式 I/O 计数（如果适用）和数据 I/O 计数会因 SPI 模式不同而异，并以 (w,x,y,z) 显示，其中 w 是命令的 I/O 计数，x 是地址的 I/O 计数，y 是模式字节（如果适用）的 I/O 计数，z 是输入和输出的 I/O 计数。

2.2.1 单通道 SPI

单通道 SPI 模式 (1,1,1,1) 分别使用 SI (MOSI - 主输出从输入) 和 SO (MISO - 主输入从输出) 引脚进行输入和输出。主机通过 SI 线传输操作码、地址和模式字节，并通过 SO 线读取数据。图 2 显示的是单通道 SPI 模式的传输。

图 2. 单通道 SPI (1,1,1,1)



2.2.2 扩展型 SPI

扩展型 SPI 模式提供双数据 (1,1,1,2)、双地址/数据或双 I/O (1,2,2,2)、四线数据 (1,1,1,4) 和四线地址/数据或四线 I/O (1,4,4,4) 等工作模式。

没有设置特定的配置位来使能扩展型 SPI 模式。然而，当在四线模式（四线数据或四线地址/数据）下发送扩展型 SPI 的命令时，需要在 CR1 (CR1 [1]) 中将 QUAD 位置“1”，以禁用 \overline{WP} 和 \overline{RESET} 这两个引脚转换为 I/O2 和 I/O3。SI 和 SO 分别用于双线和四线 I/O 模式下的 I/O0 和 I/O1。图 3 至图 6 显示的是在不同模式下扩展型 SPI 的传输。

图 3. 扩展型 SPI – 双线数据 (1,1,1,2)

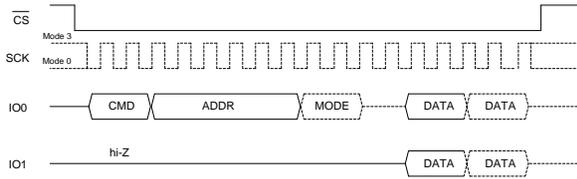


图 5. 扩展型 SPI – 双线地址/数据 (1,2,2,2)

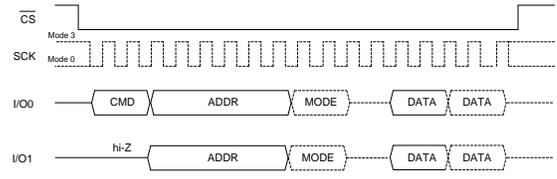


图 4. 扩展型 SPI – 四线数据 (1,1,1,4)

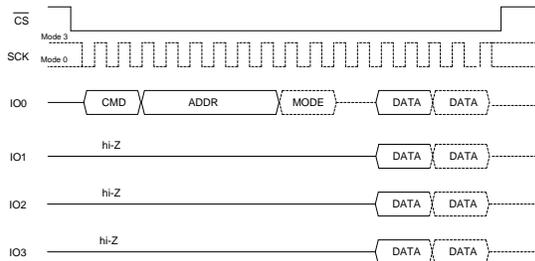
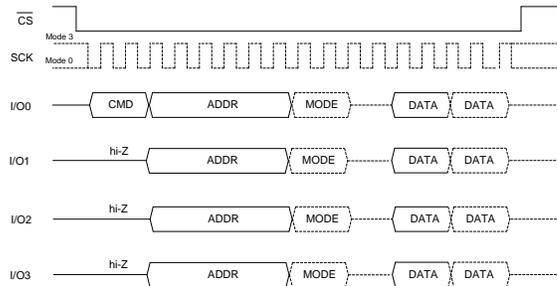


图 6. 扩展型 SPI – 四线地址/数据 (1,4,4,4)



2.2.3 双线/四线 SPI (DPI/QPI)

多通道双线和四线 SPI 或 DPI (2,2,2,2) 和 QPI (4,4,4,4) 模式用于通过两个或四个 I/O 允许操作码、地址、模式和数据的传输来增强 SPI 带宽。设置 QPI 的位 6 (CR2[6] = '1') 或 DPI 的位 4 (CR2[4] = '1') 后, 可以通过配置寄存器 2 (CR2) 来使能这些模式。一旦器件被配置为 DPI 或 QPI 模式, 它将保留接口配置, 直到被盖写新配置而改变为止。有关配置寄存器的描述, 请参阅 QSPI F-RAM 数据手册。图 7 和图 8 分别显示了 DPI 和 QPI 模式的传输。

图 7. 双线 SPI – DPI (2,2,2,2)

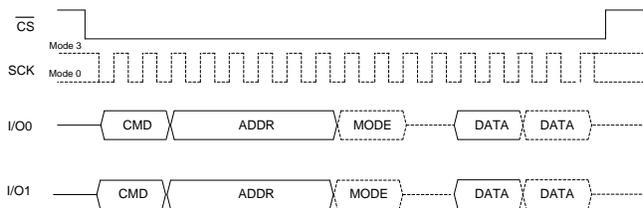
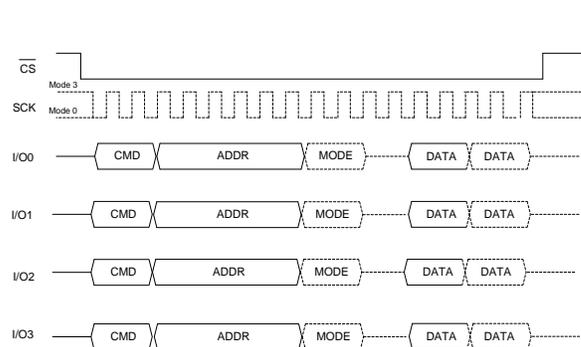


图 8. 四线 SPI – QPI (2,2,2,2)



2.2.4 四线 SPI SDR 和 DDR

通过特殊的操作码, QPI 模式还支持双倍数据速率 (DDR) (4_{SDR} , 4_{DDR} , 4_{DDR} , 4_{DDR}), 地址、模式和数据字节的传输将在时钟的两个边沿发生。在操作码阶段中没有 DDR 模式, 即为始终在 SDR 模式下传输操作码。主机在 SDR 模式下发送一个特定的命令, 用于确定处于 DDR 模式的地址, 模式和数据。然后, 器件才进入 DDR 模式。没有使能 DDR 模式的设置。只有在进行存储器读和写操作时, 才通过特殊操作码支持四线 SPI DDR 模式。

3 系统接口

Excelon-Ultra QSPI F-RAM 在单个器件中支持 SPI、DPI 和 QPI 接口，通过配置寄存器 2 (CR2) 可以配置这些接口。QSPI F-RAM I/O 与其它功能复用，如表 1 所示。根据所配置的 SPI 接口模式，可以将器件引脚配置为专用功能，也可以将其配置为 I/O。

图 9 至图 12 显示的是 QSPI F-RAM 与主机控制器在不同 SPI 接口模式下的接口示例。

所使用的信号和器件命名图 9 图 12 如下：

MOSI: 主出从入

MISO: 主入从出

CY15x102QS/CY15x104QS/CY15x108QS:

CY15V102QS/CY15V104QS/CY15V108QS — 1.8 V 典型器件

CY15B102QS/CY15B104QS/CY15B108QS — 3 V 典型器件

数据线 (输入、输出、I/O) —————

控制线 ($\overline{\text{CS}}$ 、SCK 与控制) —————

(可选连接) - - - - -

图 9. 使用 SPI 端口的系统接口

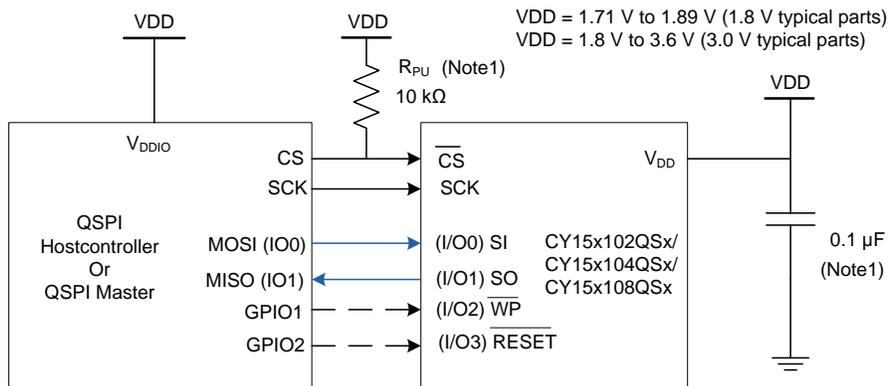


图 10. 使用双线 SPI 端口的系统接口

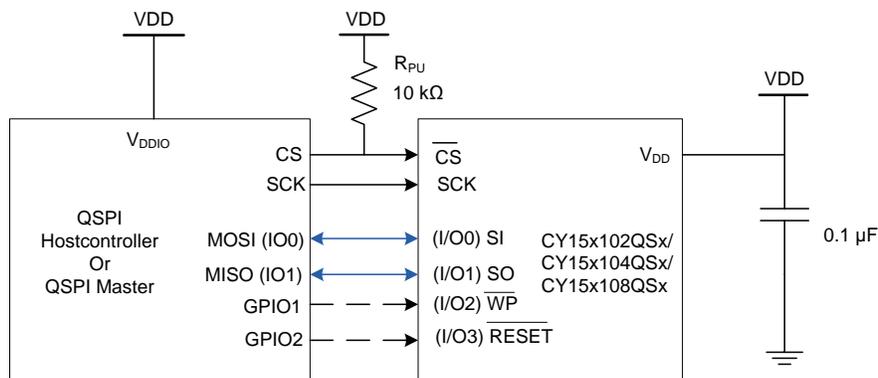


图 11. 使用单个四线 SPI 器件的系统接口

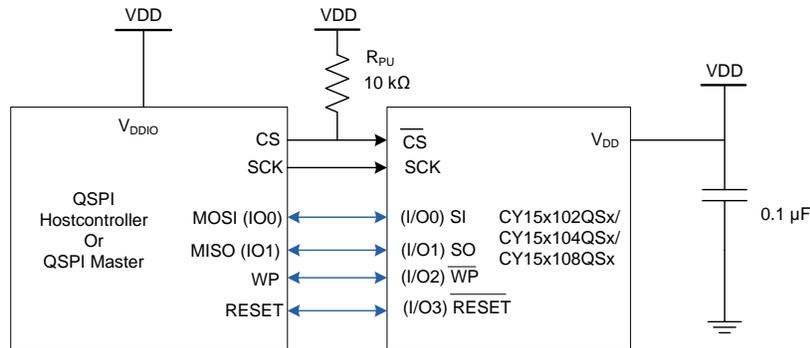
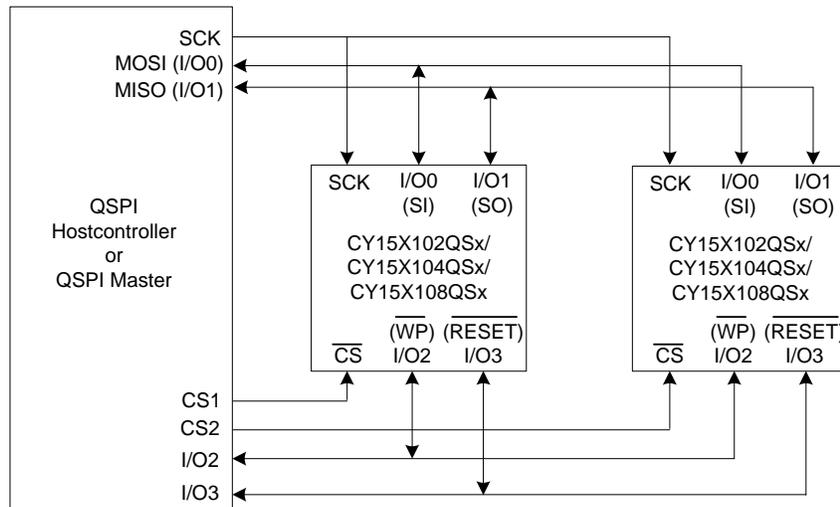


图 12. 使用多个四线 SPI 器件的系统接口


注意：上拉电阻 (R_{PU}) 值：

上拉电阻值的计算公式如下：

$$V_{DD} - (I_{LEAK} \times R_{PU}) \geq V_{IH} (\min)$$

- V_{DD} – 工作电压
- V_{IH} (min) 等于 70% V_{DD}，根据数据手册
- I_{LEAK} 是总漏电流，由所有三态连接中的输入、输出引脚的漏电流组成。在上述情况下，I_{LEAK} 包括三态连接中的 QSPI 主输出缓冲器和 QSPI F-RAM 控制输入引脚的漏电流。

注意：旁路电容值：

V_{DD} 引脚上的旁路电容用于过滤切换器件电路和 I/O 时所产生的高频噪声。通过 V_{DD} 上的旁路电容可以确保 V_{DD} 工作电压在运行期间任何时间都不会低于 V_{DD} (min)。赛普拉斯建议在 V_{DD} 引脚附近至少连接一个 0.1 μF 和一个 2.2 μF (或更高) 的电容，以确保器件可靠工作。

4 命令协议

Excelon-Ultra QSPI F-RAM 命令周期最多包含五个不同的命令阶段，即是：操作码、地址、模式、虚拟（延迟）和数据。每个命令周期的命令阶段数取决于在操作码阶段发送的操作码。根据在 SPI、DPI 或 QPI 接口中传输的线路数量 1、2 或 4 进行配置操作码、地址、模式和数据阶段。表 2 显示了在不同 SPI 接口模式下每个命令周期的命令阶段。图 13 到图 15 显示了 SPI、DPI 和 QPI 接口的命令阶段示例。

表 2. 通过不同 SPI 模式下的 I/O 传输命令

| 命令阶段 | I/O (命令 I/O、地址 I/O、模式和数据 I/O) 上的命令传输 | | | | | | |
|------------|---|---------------------------|---------------------------|---------------------------|---------------------------|------------------------|---------------------------|
| | 单通道 SPI (1, 1, 1, 1) | 扩展型 SPI | | | | 多通道 SPI | |
| | | 双倍数据速率 (1, 1, 1, 2) | 四倍数据速率 (1, 1, 1, 4) | 双线 I/O (1, 2, 2, 2) | 四线 I/O (1, 4, 4, 4) | DPI (2, 2, 2, 2) | QI (4, 4, 4, 4) |
| 操作码 | SI | I/O0 | I/O0 | I/O0 | I/O0 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 |
| 地址 | SI | I/O0 | I/O0 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 |
| 模式 | SI | I/O0 | I/O0 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 |
| 虚拟 (延迟) | 虚拟 SPI 时钟周期数不依赖于 SPI 接口。 0 至 15 个时钟周期用于访问存储器（可通过 CR1[7:4]进行配置） 0 至 3 个时钟周期用于寄存器访问（可通过 CR5[7:6]进行配置） | | | | | | |
| 数据 | SI/SO | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 | I/O0, I/O1 | I/O0, I/O1, I/O2, I/O3 |

图 13 至图 15 显示了一个具有表 2 中所示的所有 5 个阶段的读取命令周期示例。有关具体命令与其阶段，请参考器件数据手册。

图 13. SPI 接口的命令阶段

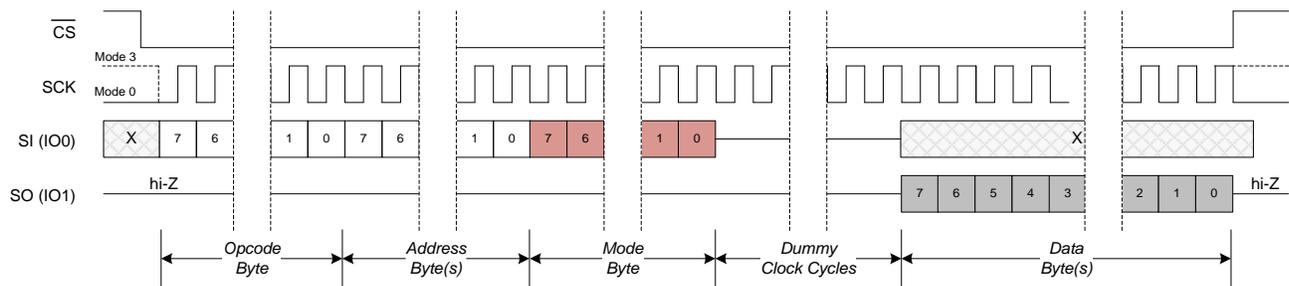


图 14. DPI 接口的命令阶段

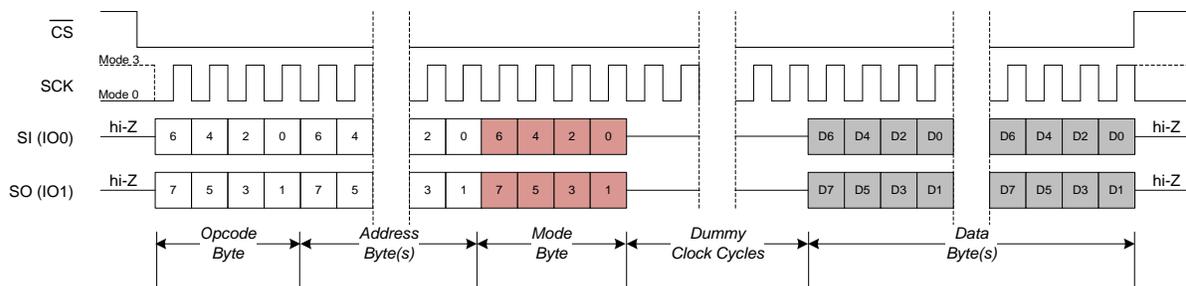
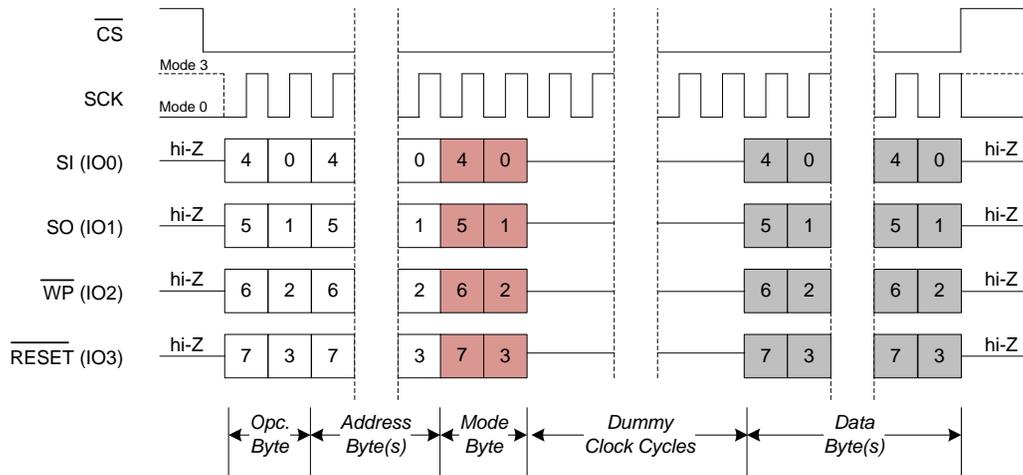


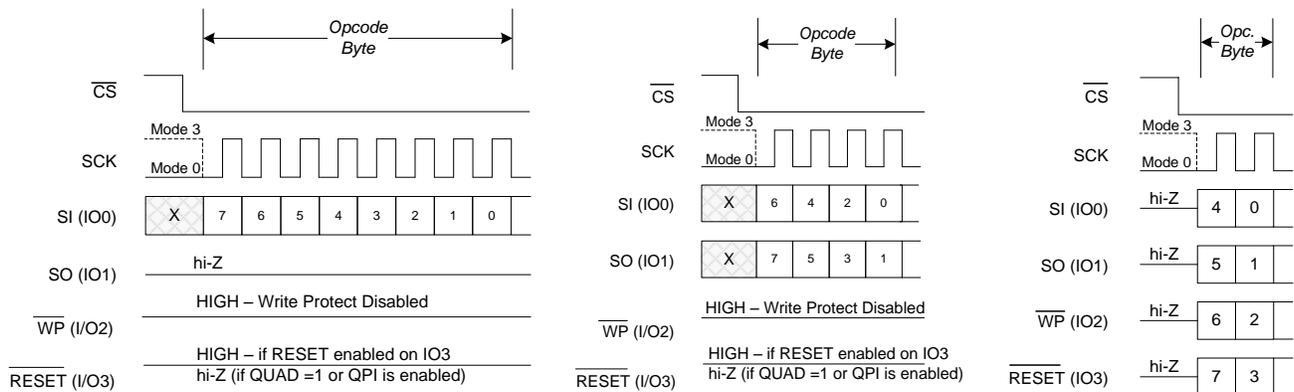
图 15. QPI 接口的命令阶段



4.1 操作码阶段

在操作码阶段期间发送一个 8 位操作码，以启动 Excelon-Ultra QSPI F-RAM 中所需操作。根据器件的配置（SPI、DPI 或 QPI），可以在一个、两个或四个 I/O 上发送操作码。在某些情况下，只执行操作码阶段，而跳过其它阶段。根据 SPI 模式和接口类型，传输操作码所需要的时钟周期数量将为两个时钟周期（四线，SDR）到八个时钟周期（SPI，SDR）。

图 16. SPI/DPI/QPI 接口的操作码阶段



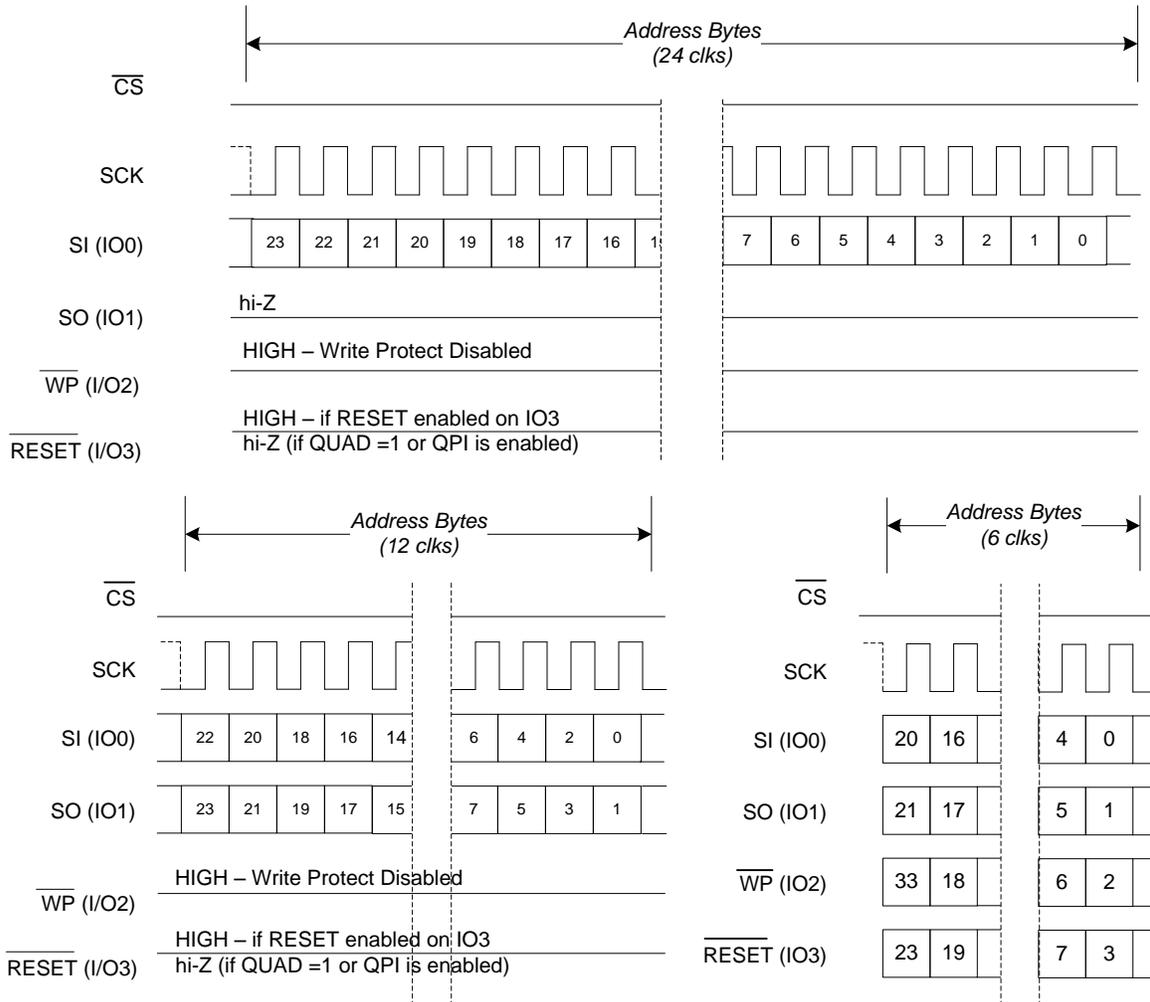
注意： 始终在 SDR 模式下发送 DDR 访问操作码。操作码被解码后，器件将判定要在 SDR 还是 DDR 模式下接收后续字节。

4.2 地址阶段

在地址阶段期间传送 3 字节地址。根据 SPI 模式和接口类型，传输 3 字节地址所需要的时钟周期数将为三个时钟周期（四线，DDR）到 24 个时钟周期（SPI，SDR）。

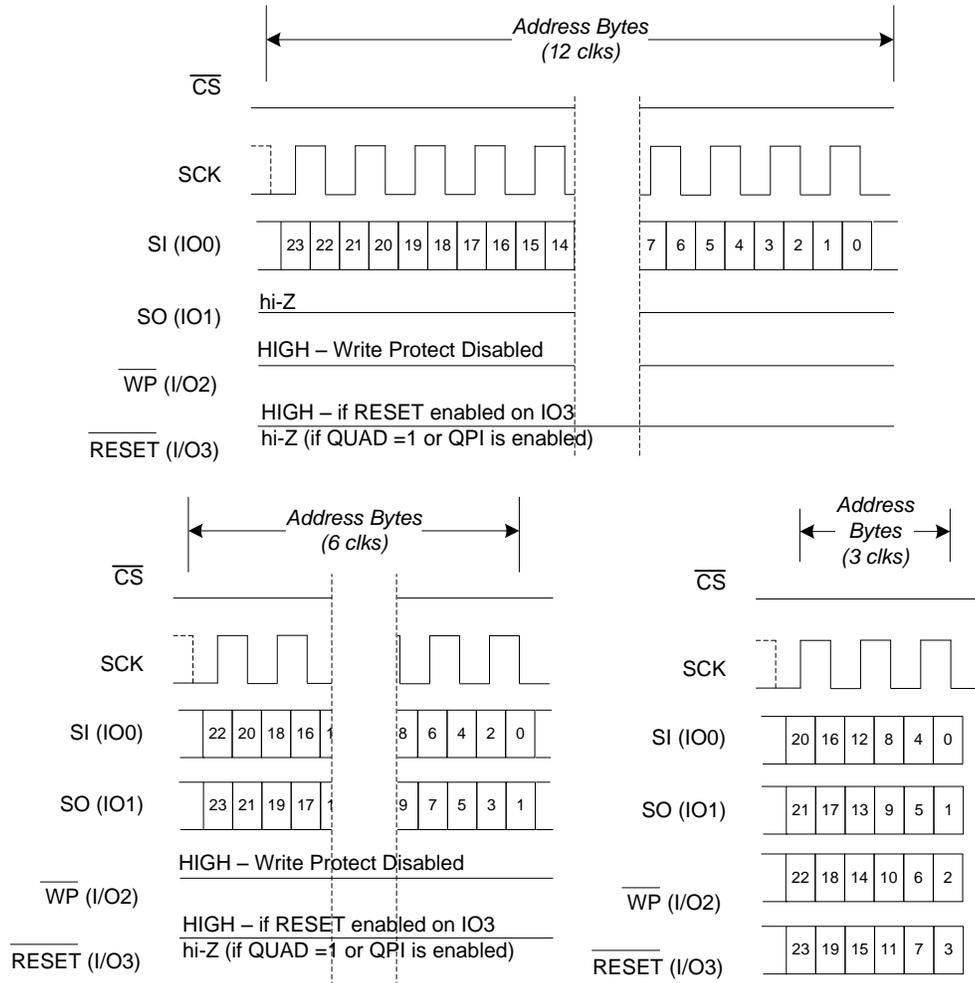
4.2.1 地址阶段 — SDR

图 17. 地址阶段 — SPI/DPI/QPI 接口的 SDR



4.2.2 地址阶段 — DDR

图 18. 地址阶段 — SPI/DPI/QPI 接口的 DDR



4.3 模式阶段

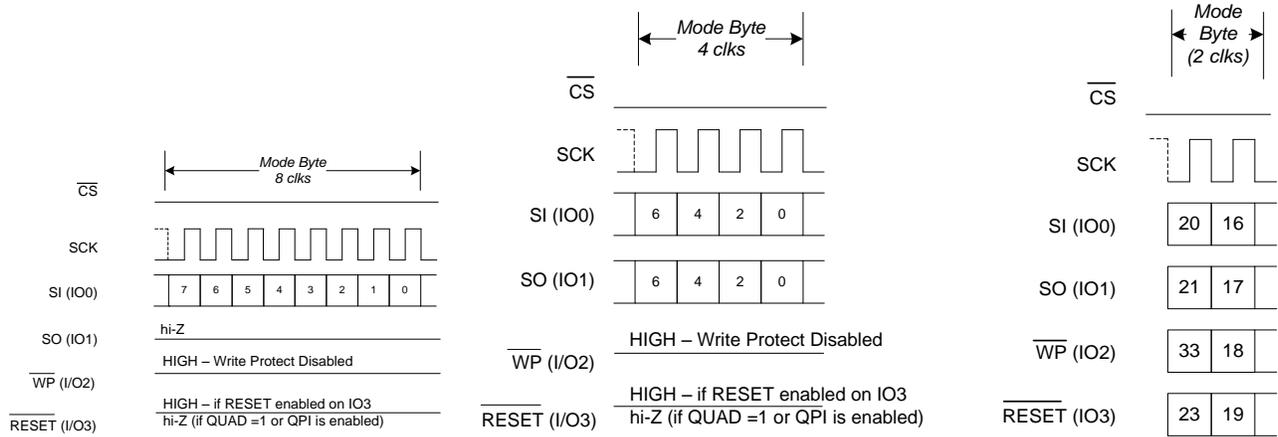
模式阶段适用于支持现场执行 (XIP) 的所有写入和读取命令。XIP 是直接从外部存储器执行程序 (代码) 的方法, 而不用将代码复制或映射到 RAM 中。当将某个写或读命令设置为 XIP 时, 器件在命令周期终止 ($\overline{\text{CS}}$ 切换为高电平) 后一直处于 XIP 模式, 以便后续命令周期 ($\overline{\text{CS}}$ 为低电平) 直接从地址阶段开始 (跳过操作码阶段)。在 XIP 中, 器件执行与上一个循环相同的操作。

在操作码和 3 字节地址周期之后, 在模式阶段期间传输的模式字节 $0xAX$ (X 为无需关注的位) 或 $0xA5$ (取决于操作码) 将使器件在下一个命令周期中维持 XIP 模式。在模式阶段期间发送的任何非 $0xAX$ 或 $0xA5$ 值 (! $0xAX$ 或 ! $0xA5$) 将使当前操作退出 XIP。

根据 SPI 模式和接口类型, 传输模式字节所需要的时钟周期数将为一个时钟周期 (四线, DDR) 到八个时钟周期 (SPI, SDR)。

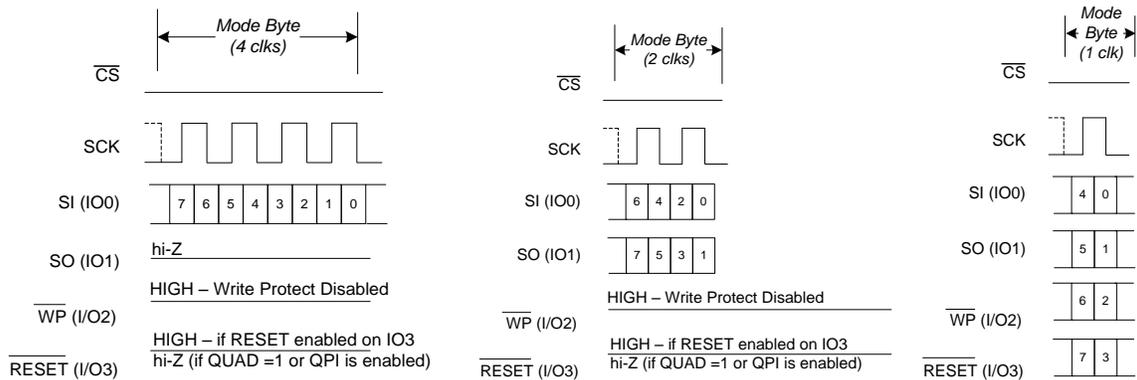
4.3.1 模式阶段 — SDR

图 19. 模式阶段 — SPI/DPI/QPI 接口的 SDR



4.3.2 模式阶段 — DDR

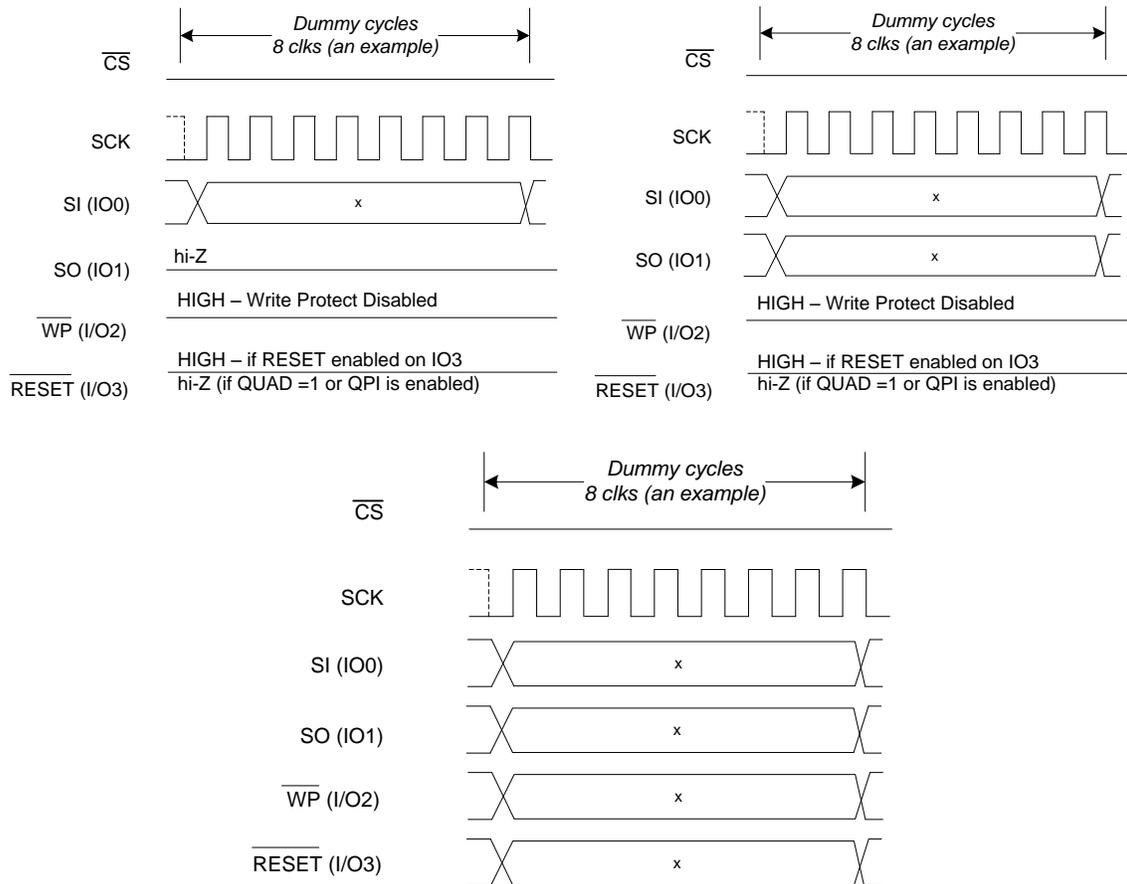
图 20. 模式阶段 — SPI/DPI/QPI 接口的 DDR



4.4 虚拟阶段

在虚拟阶段期间发送虚拟时钟周期，从而提供所需时钟延迟。作为虚拟时钟的 SPI 时钟周期数量 (SCK) 取决于相应配置寄存器中为存储器或寄存器访问配置的延迟时钟周期数量。时钟数量根据其编程值确定，并且不随 SPI 模式和/或接口类型不同而改变。可以通过配置寄存器 1 中的 4 位内存延迟代码 (MLC) (CR1[7:4]) 将存储器访问操作码的虚拟时钟设置为 0 到 15 个周期。同样，可以通过配置寄存器 5 中的 2 位寄存器延迟代码 (RLC) (CR5[7:6]) 将寄存器访问的虚拟时钟周期数设置为 0 到 3 个周期。虚拟阶段仅适用于存储器和寄存器的读取操作，不适用于写操作。在虚拟周期中，I/O 的状态为无需关注。因此，在该阶段，主机控制器可以将 I/O 保持为三态。

图 21. 虚拟阶段 — SPI/DPI/QPI 接口的 DDR

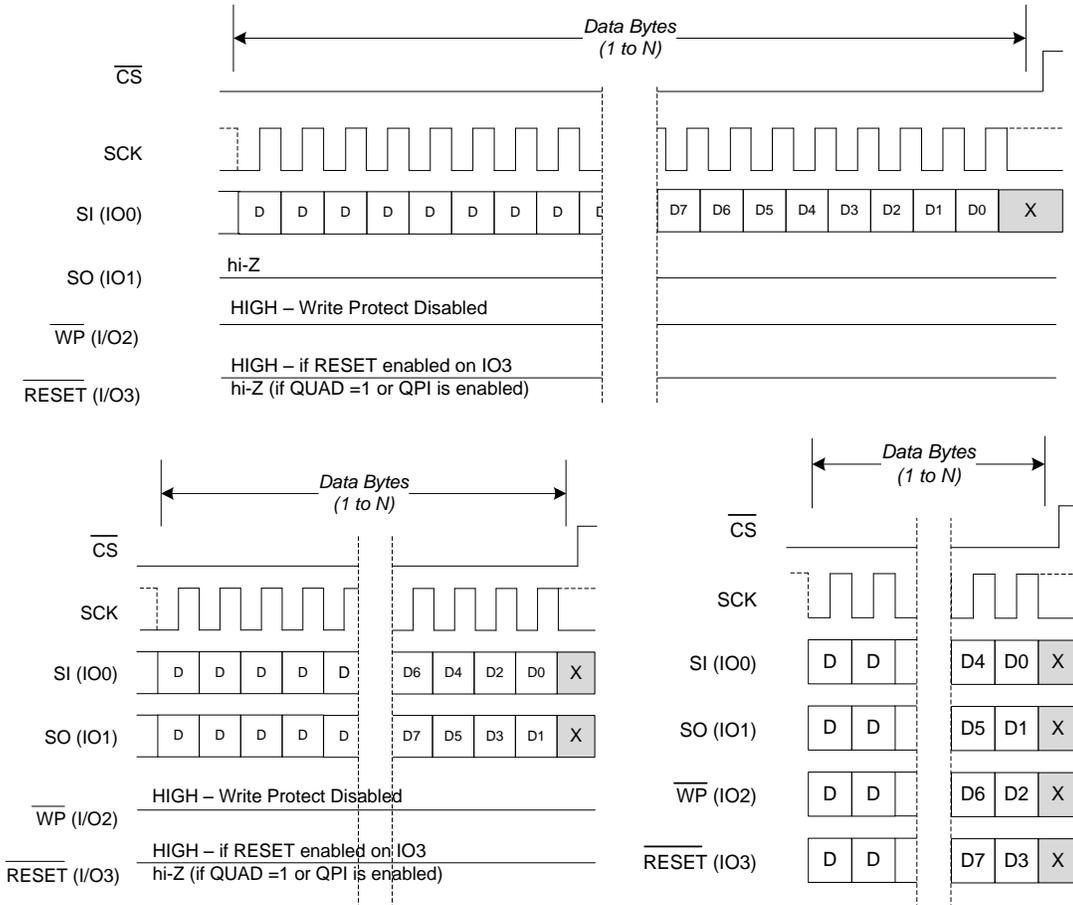


4.5 数据阶段

在数据字节阶段，可以将数据发送给 QSPI F-RAM（对于写操作）或接收从 QSPI F-RAM 的数据（对于读取操作）。数据长度的有效范围为一个字节到整个存储器阵列的大小。根据 SPI 模式和接口类型，传输一个数据字节所需要的时钟周期数将为一个时钟周期（四线，DDR）到八个时钟周期（SPI，SDR）。

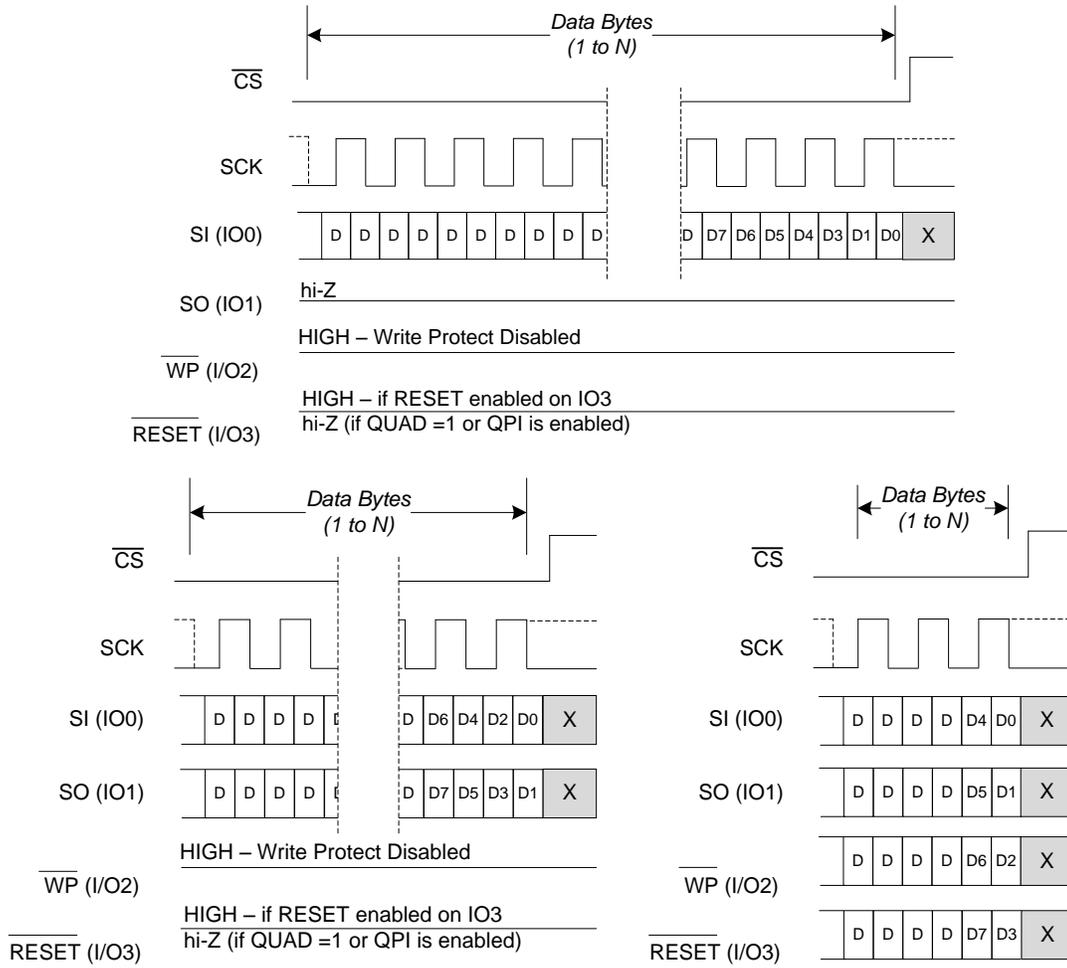
4.5.1 数据阶段 — SDR

图 22. 数据阶段 — SPI/DPI/QPI 接口的 SDR



4.5.2 数据阶段 — DDR

图 23. 数据阶段 — SPI/DPI/QPI 接口的 DDR



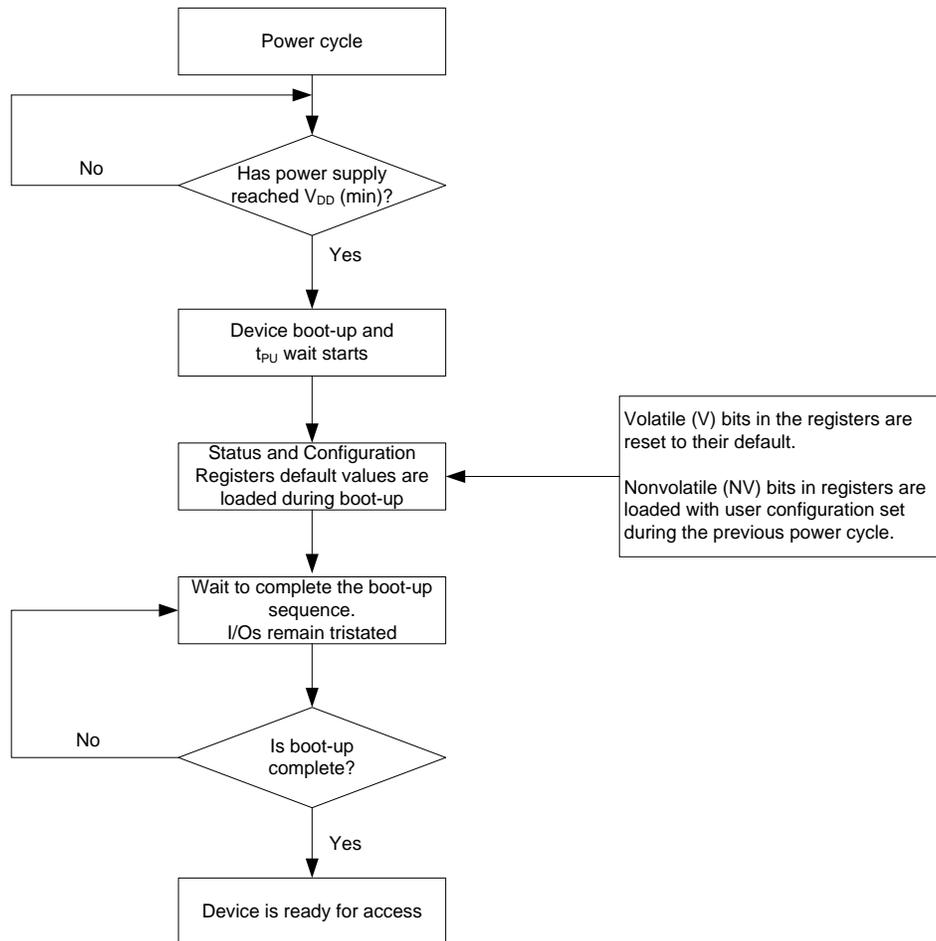
5 上电复位 (POR) 与初始化

5.1 电源重置与上电复位 (POR)

当 Excelon-Ultra QSPI F-RAM 遇到电源重置事件时，它将开始启动周期，并忽略所有命令，直到 V_{DD} 上升到大于最小 V_{DD} 值并在 t_{PU} 时长保持稳定状态。

启动周期包括以下阶段：重载所有内部配置和设，并保持器件的访问就绪状态。图 24 显示的是 POR 事件后的器件启动周期。QSPI F-RAM 寄存器将加载其默认值，如表 5 所示。

图 24. 电源重置与上电复位 (POR)



如果电源重置周期结束后器件不能正确启动，可以通过将 \overline{RESET} 置为低电平来重新启动电源重置周期或硬件复位。这样做，将重启启动周期。该过程最多需要 t_{PU} 时间。在 t_{PU} 之后，如果 CS 为高电平，则器件进入待机模式并消耗待机电流 (I_{SB})。可以将 $CR4$ 寄存器中的 $DPDPOR$ 位 ($CR4[2]$) 设置为 1，使器件经过 t_{PU} 后进入深度掉电模式。

POR 事件或硬件复位事件发生后，不能使用 WIP 位 ($SR1[0]$) 轮询器件的就绪状态，因为在 t_{PU} 时间结束之前，器件不会接受任何命令。但是，如果 t_{PU} 时间结束后， WIP 状态仍然保持高电平，表示器件没有正确启动（启动错误）。一旦发生启动错误，器件进入以下默认状态：

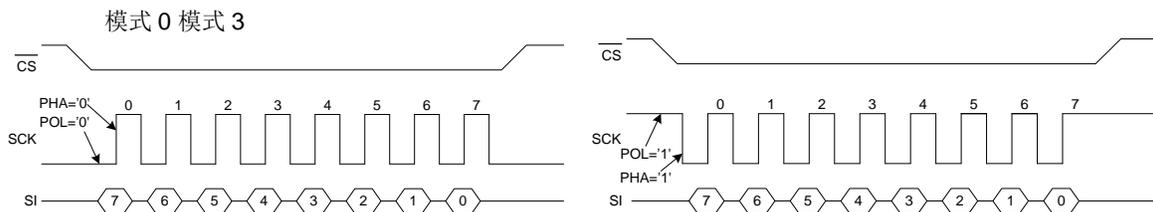
- 无论 $CR2$ 寄存器中的 DPI 和 QPI 位状态如何，接口模式均被设置为单线 SPI (SDR)。
- 寄存器延迟设置为三个时钟周期（最大值）
- 输出阻抗设置为 45Ω

- 只能通过 RDSR1 和 RDAR 命令（仅限 SPI SDR 模式）读取 SR1。所有其它命令将保持禁用状态，如果执行，将返回未定义的数据。
- 读取 SR1 将返回启动错误标签 0x61
器件将需要另一个电源重置周期来重新开始启动序列。

5.2 器件初始化

1. Excelon-Ultra QSPI F-RAM 的出厂默认模式为 SPI 模式。
2. 要想在 DPI 或 QPI 模式下运行 QSPI F-RAM，那么主机控制器需要更新 CR2 寄存器中的 DPI 或 QPI 位，从而将 QSPI F-RAM 配置为需要的 DPI 或 QPI 接口。表 3 列出了设置 SPI、DPI 或 QPI 接口的详细信息。CR2 是一个非易失性寄存器，因此在电源循环或硬件/软件复位后，接口模式的设置不会改变。要更改接口模式，主机控制器需要使用新的接口设置来覆盖掉以前的设置。
3. 通过使用 WRR 命令或 WRAR 命令对 CR2 进行写入操作，可以使能 SPI、DPI 或 QPI 模式。没有专用操作码来启用任何特定的接口模式或重置为默认 SPI，该功能是由一些 QSPI 接口设备中提供的，其中接口配置设置为在电源循环期间不保留的易失性空间。
4. 扩展的双线或四线 SPI 模式没有特别设置。器件在单通道 SPI 模式下接收一个特定命令后，它将决定是否切换为双倍数据速率和双线 I/O 还是四倍数据速率和四线 I/O 模式。要想访问扩展型四线 SPI 模式，需要通过 CR1[1]将 QUAD 位设置为 1。
5. QSPI F-RAM 支持通过 CR4 [7:5]选择输出驱动器上的阻抗。器件的默认值为 30 Ω。可以调整阻抗值，以便在应用板上实现更好的信号完整性。
6. SPI 主机控制器始终运行于 SPI 模式 0 (POL = 0 并且 PHA = 0) 或 SPI 模式 3 (POL = 1 并且 PHA = 1)，如图 25 所示。QSPI F-RAM 不支持 SPI 模式 1 和 SPI 模式 2。

图 25. SPI 模式 0 和模式 3 的时序



CPOL — 时钟 (SCK) 极性; CPHA — SCK 阶段

表 3. SPI 接口模式设置

| QUAD ^[注释 2] | CR1[1] | DPI CR2[4] | QPI CR2[6] | 工作模式 |
|------------------------|--------|------------|------------|--|
| 0 | 0 | 0 | 0 | SPI、扩展型 SPI (双线) |
| 1 | 0 | 0 | 0 | SPI、扩展型 SPI (双线/四线) |
| X | 1 | 1 | 0 | DPI |
| X | 0 | 0 | 1 | QPI |
| 0 | 1 | 1 | 1 | SPI ^[注释 3] ，扩展型 SPI (双线) — 不建议使用该 SPI 配置 |
| 1 | 1 | 1 | 1 | SPI ^[注释 3] ，扩展型 SPI (双线/四线) — 不建议使用该 SPI 配置 |

注意： QUAD = 1 将 I/O 重新配置为四线模式并影响 WP 和 RESET/IO3 操作。

注意： 读取寄存器始终返回写入到寄存器中的内容。

6 硬件/软件复位

6.1 硬件复位 (RESET)

RESET与 I/O3 引脚多路复用，I/O3 引脚上相应功能被使能还是禁用，依赖于 IO3Reset 位和接口模式位设置，如表 4 所示。使能RESET输入时会产生一个内部弱上拉电阻，因此如果不使用它，需要保持它为悬浮状态。当该引脚被配置为 I/O3 时，该上拉电阻被禁用。即使禁用RESET功能，始终不能将RESET信号置为低电平，因为它会增加由于内部上拉引起的漏电流。通过将 QUAD 位 (CR1 [1]) 设置为 0，可以使能复用 (I/O3) / RESET 引脚上的硬件复位特性。

在 QPI 模式下，RESET引脚与 I/O3 多路复用。在该模式下，要想使用硬件复位 (RESET)，必须将 CR2 [5]位设置为 1。这样，在CS为高电平时，可以将 I/O3 作为RESET输入使用。图 26 和图 27 显示了不同 SPI 模式下的RESET时序。表 5 显示了引脚复位后的寄存器状态。在硬件复位后，存储器阵列的状态保持不变。

在共享总线配置中，如果使能RESET功能，则每次 IO3/RESET引脚切换为低电平 (器件的CS为高电平) 时，器件均被复位。因此，在共享总线配置的 QPI 或扩展型 SPI 四线模式下，需要禁用RESET功能。

表 4. IO3/RESET功能

| 接口模式 | IO3/RESET功能 | | |
|----------------|---------------------------------|---------------------------------|---------------------------------|
| | IO3/Reset = 0 (IO3Reset 被禁用) | IO3/Reset = 1 (IO3Reset 被使能) | IO3/Reset = 1 (IO3Reset 被使能) |
| | CS = 低电平/高电平 | CS = 低电平 | CS = 高电平 |
| SPI (QUAD = 0) | 无功能 | RESET | RESET |
| DPI (QUAD = 0) | 无功能 | RESET | RESET |
| DPI (QUAD = 1) | NA | IO3 | RESET |
| SPI (QUAD = 1) | IO3 | IO3 | RESET |
| QPI | IO3 | IO3 | RESET |

图 26. RESET SPI (QUAD 位 = 1) 和 QPI 模式下的时序

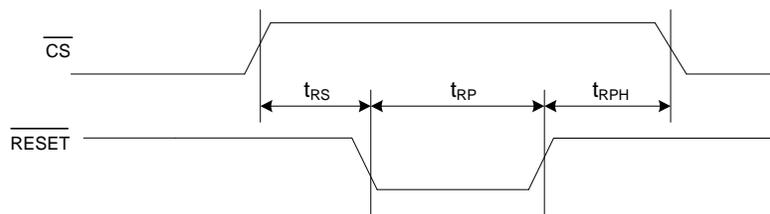
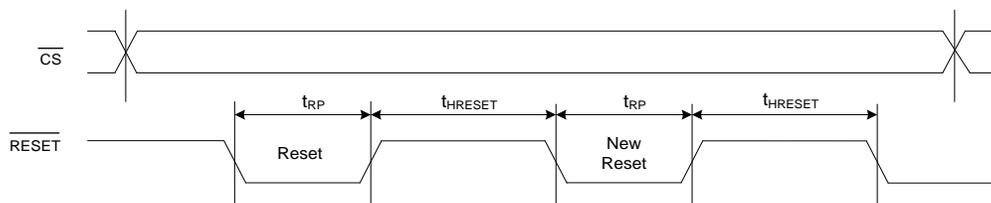


图 27. RESET SPI (QUAD 位 = 0) 和 QPI 模式下的时序



6.2 默认恢复 (JEDEC SPI 复位)

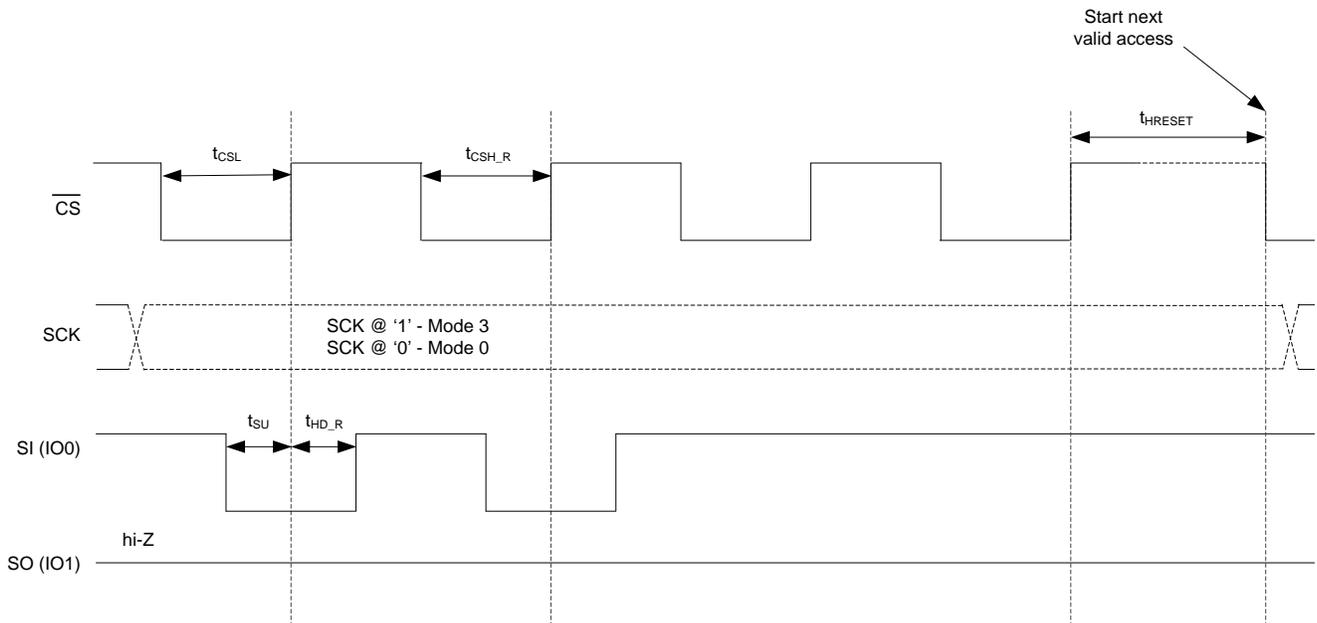
默认恢复是一种 JEDEC 信令协议，可以独立启动硬件复位，而不依赖于设备的操作 I/O 模式。它使器件进入状态和配置寄存器中所设置的默认模式。表 5 显示的是启动默认恢复后的寄存器状态。在 JEDEC 复位后，存储器阵列的状态保持不变。

默认恢复的步骤如下：

1. \overline{CS} 切换为低电平以选择 SPI 从设备。
2. SCK 在高电平或低电平下保持稳定状态。
3. SI (I/O0) 从高电平转为低电平，同时 \overline{CS} 转为低电平。其它 I/O (I/O1、I/O2 和 I/O3) 处于无需关注状态。
4. \overline{CS} 被驱动为高电平，而 I/O0 保持低电平状态。
5. 每次在 \overline{CS} 的下降沿上切换 SI (I/O0) 的状态时，重复第一到第四步，总共需要 4 次。
6. 在第四个 \overline{CS} 上升沿（无效）后，器件将复位。

图 28 显示了具体时序。有关时序参数值的详细信息，请参考器件的数据手册。

图 28. 默认恢复 (JEDEC SPI 复位时序)



6.3 软件复位

软件复位指令将复位 QSPI F-RAM 状态位和所有挂起操作。所有非易失性的设置保持不变。表 5 列出了发生软件复位后的 QSPI F-RAM 寄存器的状态。软件复位需要两个操作码周期来启动软件复位周期：先是 RSTEN (66h)，然后是 RST (99h)。需要 t_{RESET} 时间来完成软件复位周期。

要想启动软件复位，应在发送 RST 命令前先发送 RSTEN 命令。如果 RSTEN 命令后不是 RST 命令，将清除复位使能条件。下一个软件复位指令要重新开始于发送 RSTEN 命令。图 29 显示的是软件复位时序。表 5 列出了发生软件复位后的寄存器状态。在软件复位后，存储器阵列的状态保持不变。

图 29. 软件复位时序图

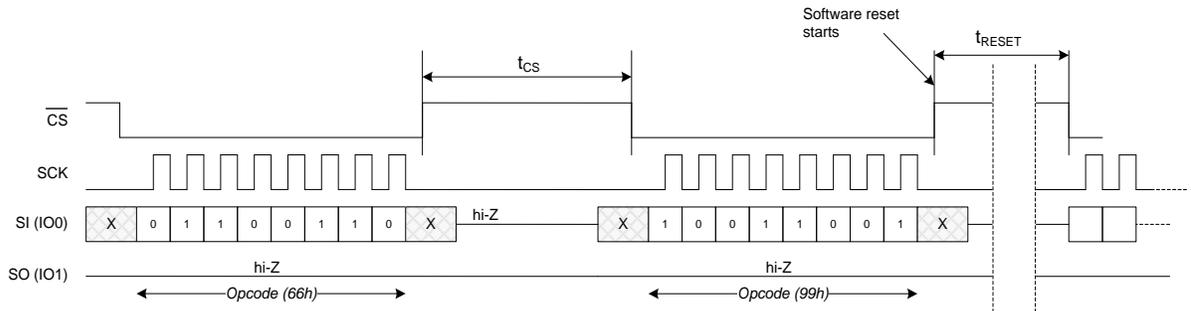


图 30. QSPI F-RAM 复位流程图 (JEDEC SPI)

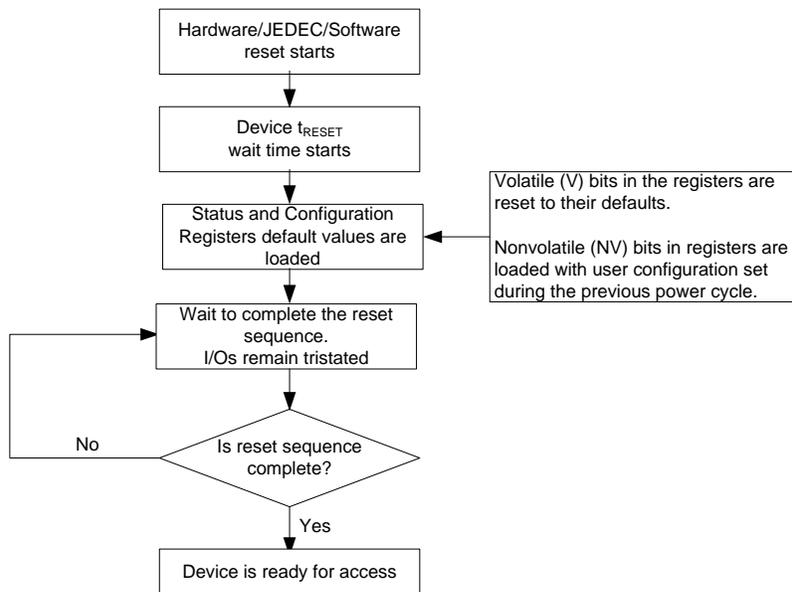


表 5. 复位后的 QSPI F-RAM 寄存器状态

| 复位事件 | I/O 要求 | 状态寄存器 | 配置寄存器 | ECC 状态 | CRC 寄存器 | 总线 CRC (BCRC) | ECC 计数寄存器 (ECCDC) | 地址陷阱寄存器 (ADDTRAP) | I/O 模式 |
|--------------------|--|-----------------------------|------------------------------|----------------|----------------|----------------|-------------------|-------------------|--------|
| 上电复位 | $\overline{CS} = 1'b1$ 忽略其它输入 所有输出处于三态 | SR1 保持不变 更改 SR2- 0x00 | CR1、CR2、 CR4、CR5 加载默认值 | Load – 0x00 | Load – 0x00 | Load – 0xFF | Load – 0x00 | Load – 0x00 | 保持不变 |
| 硬件复位 | $\overline{CS} = 1'b1$ 忽略其它输入 所有输出处于三态 | SR1 保持不变 SR2- 0x00 | CR1、CR2、 CR4、CR5 加载默认值 | Load – 0x00 | Load – 0x00 | Load – 0xFF | Load – 0x00 | Load – 0x00 | 保持不变 |
| 软件复位 | 命令 (RSTEN, RST) | SR1 保持不变 SR2- 0x00 | CR1、CR2、 CR4、CR5 加载默认值 | Load – 0x00 | Load – 0x00 | Load – 0xFF | Load – 0x00 | Load – 0x00 | 保持不变 |
| JEDEC 复位 (默认恢复) | CS 和 SI (IO0) 的状态被切换 忽略其它输入 所有输出处于三态 | SR1 保持不变 SR2- 0x00 | CR1、CR2、 CR4、CR5 加载默认值 | Load – 0x00 | Load – 0x00 | Load – 0xFF | Load – 0x00 | Load – 0x00 | 保持不变 |

文档修订记录

文档标题: AN218375 — 使用赛普拉斯的 Excelon™-Ultra Quad SPI (QSPI) F-RAM™进行设计

文档编号: 002-22038

| 版本 | ECN | 变更者 | 提交日期 | 更改说明 |
|----|---------|------|------------|---------------------------------------|
| ** | 5972086 | RZZH | 11/23/2017 | 本文档版本号为 Rev**, 译自英文版 002-18375 Rev**。 |
| *A | 6086077 | YOST | 03/05/2018 | 本文档版本号为 Rev*A, 译自英文版 002-18375 Rev*A。 |

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

| | |
|------------------|--|
| Arm® Cortex®微控制器 | cypress.com/arm |
| 汽车级产品 | cypress.com/automotive |
| 时钟与缓冲器 | cypress.com/clocks |
| 接口 | cypress.com/interface |
| 物联网 | cypress.com/iot |
| 存储器 | cypress.com/memory |
| 微控制器 | cypress.com/mcu |
| PSoC | cypress.com/psoc |
| 电源管理 IC | cypress.com/pmuc |
| 触摸感应 | cypress.com/touch |
| USB 控制器 | cypress.com/usb |
| 无线连接 | cypress.com/wireless |

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

此处引用的所有其它商标或注册商标都归其各自所有者所有。



赛普拉斯半导体公司
198 Champion Court
San Jose, CA 95134-1709

赛普拉斯半导体公司，2017-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表)赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。