

EZ-USB™ SX3 入門

本書について

適用範囲と目的

EZ-USB™ SX3 (以下、SX3) は、設定可能な USB 3.2 Gen 1 SuperSpeed [SS] ペリフェラル コントローラーであり、柔軟性の高い統合機能を提供します。SX3 には汎用設定可能インターフェースと呼ばれる完全に設定可能なパラレル インターフェースがあり、スレーブ FIFO またはビデオ インターフェースをサポートする ASIC、イメージ信号プロセッサ (ISP)、イメージセンサーまたは FPGA に接続できます。SX3 により、開発者は SX3 コンフィギュレーションユーティリティを使用してシステムに USB 3.0 機能を簡単に追加できます。

本アプリケーション ノートは、SX3 入門者に役立ちます。本書では、SX3 の主な用途、応用、および特長を強調し、SX3 コンフィギュレーションユーティリティを使用して UVC アプリケーションおよびデータ アプリケーション用にカスタマイズされた設定を生成する方法を説明します。また、ハードウェア設計ガイドラインを提供し、SX3 explorer キットおよび USB3-HDMI キャプチャカードを使用したさまざまなアプリケーション例についても説明します。

対象者

本アプリケーション ノートは、EZ-USB™ SX3 を使用しているお客様を対象とします。

目次

本書について.....	1
目次	1
1 SX3 バリエーションと特長	3
1.1 SX3 Data - 16 ビット (CYUSB3015)	3
1.2 SX3 Data - 32 ビット (CYUSB3016)	3
1.3 SX3 UVC (CYUSB3017)	3
2 詳細情報	4
3 ハードウェア設計ガイドライン	5
3.1 SX3 と FX3 の違い.....	5
3.2 固定機能 I/O.....	5
3.3 設定可能な GPIO	5
3.4 FIFO マスター (FPGA) イメージセンサーと SX3 のインターフェース	6
3.4.1 FIFO マスター (FPGA) と SX3 のインターフェース	6
3.4.2 カメラパラレルインターフェース	7
3.4.3 SX3 による FPGA の設定.....	7
3.4.3.1 Lattice ECP5 FPGA の設定.....	8
3.4.3.2 Lattice CrossLink FPGA の設定	8
3.4.3.3 Xilinx Artix®-7 FPGA の設定	9
3.4.3.4 Intel® Cyclone® 10 FPGA の設定.....	10
3.5 コンフィギュレーション格納用の SPI フラッシュ	11
3.5.1 イメージセンサーインターフェース	11
4 アプリケーション.....	12
4.1 SX3 - UVC アプリケーション	12
4.1.1 HDMI USB キャプチャカード アプリケーション	12
4.1.1.1 ビデオソースとしての HDMI	12

SX3 バリエーションと特長

4.1.1.2	ビデオおよびオーディオのサポート.....	13
4.1.1.3	HDMI - Generic コンフィギュレーションでの HDMI イベント処理.....	13
4.1.1.4	HDMI RX と SX3 のインターフェースの FPGA プロジェクト.....	13
4.1.1.5	PCLK 削減、32 ビットへのデータのパッキング、フレームバッファのサポート.....	14
4.1.1.6	FIFO マスターインターフェース(マルチソケットサポート、現時点のスレッド DMA フラグ).....	14
4.1.1.7	FPGA での I ² C スレーブインターフェースのサポート - レジスタの詳細.....	14
4.1.1.8	開発キット: e-Con systems 社の SX3 FPGA HDMI RX キット (PICTOR).....	16
4.1.1.9	EZ-USB™ SX3 HDMI 4K キャプチャソリューションデモキット (CY-SD4210).....	17
4.1.2	イメージセンサーと FPGA を使用した UVC カメラアプリケーション.....	18
4.1.2.1	開発キット: EZ-USB™ SX3 エクスプローラキット (CYUSB3KIT-004).....	18
4.1.2.2	FPGA の設定.....	19
4.1.2.3	イメージセンサーの設定.....	19
4.1.3	イメージセンサーの直接インターフェース.....	19
4.1.4	ホストアプリケーション.....	20
4.1.5	ドライバーの要件とマルチ OS サポート.....	20
4.2	データアプリケーション.....	20
4.2.1	FPGA を使用したデータストリーミングアプリケーション例.....	21
4.2.2	ホストアプリケーション - SX3 データ.....	22
4.2.3	ドライバーの要件とマルチ OS サポート - SX3 データ.....	22
5	コンフィギュレーションユーティリティ.....	23
5.1	特長.....	23
5.2	コンフィギュレーションユーティリティのインストール.....	23
5.2.1	Windows ドライバーのインストール.....	24
5.2.2	macOS ドライバーのインストール.....	24
5.2.3	Linux (Ubuntu) ドライバーのインストール.....	24
5.3	ファイル格納.....	24
5.4	SX3 コンフィギュレーションユーティリティの動作.....	24
5.4.1	ファイルのマージ.....	25
5.4.2	プログラミング.....	25
6	SX3 とカスタムデバイスのインターフェース.....	26
7	SX3 ベース設計のデバッグ.....	27
7.1	CDC インターフェース.....	27
7.1.1	デバッグレベル.....	27
7.1.2	端末アプリケーションのデバッグ.....	27
7.2	Help タブ.....	28
7.3	SX3 コンフィギュレーションユーティリティ ユーザーガイド.....	28
8	関連プロジェクトファイル.....	29
9	トラブルシューティング.....	32
10	ファームウェア更新.....	34
	参考資料.....	35
	改訂履歴.....	36
	免責事項.....	37

SX3 バリエーションと特長

1 SX3 バリエーションと特長

SX3 は強力なデータ処理とカスタムアプリケーションの構築のために、USB 3.2 Gen 1 と USB 2.0 物理層 (PHY) を 32 ビット ARM926EJ-S マイクロプロセッサと一体化しています。汎用設定可能インターフェースから USB インターフェースへの最大 375 MBps のデータ転送を可能にするアーキテクチャを実装しています。

SX3 には 3 つのバリエーションがあります。

1.1 SX3 Data - 16 ビット (CYUSB3015)

- 最大 190MBps のベンダー クラス IN, OUT, または IN + OUT コンフィギュレーションを持つ最大 2 個のエンドポイントをサポート
- データ取得アプリケーションでは、FPGA および高速 ADC とのインターフェース
- バス幅が設定可能な (8 または 16 ビット) 最大 100MHz のスレーブ FIFO インターフェースに対応する汎用設定可能インターフェースをサポート
- 周辺機器と通信するための設定可能な I²C インターフェースがある
- ファームウェアおよびコンフィギュレーション格納用の SPI フラッシュをサポート
- 最大 7 個の設定可能な GPIO をサポート

1.2 SX3 Data - 32 ビット (CYUSB3016)

- 最大 375MBps のベンダー クラス IN, OUT, または IN + OUT のコンフィギュレーションを持つ最大 2 個のエンドポイントをサポート
- データ取得アプリケーションでは、FPGA および高速 ADC とのインターフェース
- バス幅が設定可能な (8, 16, 24, または 32 ビット) 最大 100MHz のスレーブ FIFO インターフェースに対応する汎用設定可能インターフェースをサポート
- 周辺機器と通信するための設定可能な I²C インターフェース
- ファームウェアおよびコンフィギュレーション格納用の SPI フラッシュをサポート
- 最大 7 個の設定可能な GPIO をサポート

1.3 SX3 UVC (CYUSB3017)

- USB ビデオ クラス (UVC), USB オーディオ クラス (UAC), および UVC + UAC のコンフィギュレーションを持つ最大 2 個のエンドポイントをサポート
- オーディオ/ビデオ ストリーミングアプリケーション用のイメージセンサー、ISP, FPGA, HDMI レシーバなどとのインターフェース
- バス幅が設定可能な (8, 16, 24, または 32 ビット) 最大 100MHz のスレーブ FIFO またはカメラ 平行インターフェースに対応する汎用設定可能インターフェースをサポート
- 周辺機器と通信するための設定可能な I²C インターフェース
- ファームウェアおよびコンフィギュレーション格納用の SPI フラッシュをサポート
- 最大 7 個の設定可能な GPIO をサポート

詳細情報

2 詳細情報

インフィニオンは、www.infineon.com で豊富なデータを提供しており、設計に適したデバイスを選択し、デバイスを設計に迅速かつ効果的に統合するのに役立ちます。

- 概要: [USB portfolio](#)
- USB 3.0 製品セレクト: [EZ-USB™ SX3](#), [EZ-USB™ FX3](#), [EZ-USB™ FX3S](#), [EZ-USB™ CX3](#), [EZ-USB™ HX3](#)
- アプリケーションノート: インフィニオンは、基本レベルから高度なレベルまで、幅広いトピックをカバーする多数の USB アプリケーションノートを提供しています。EZ-USB™ SX3 の使用を開始するための推奨アプリケーションノートは次のとおりです。
 - [AN70707](#) - EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイドラインおよび回路図チェックリスト
 - [AN65974](#) - EZ-USB™ FX3 スレーブ FIFO インターフェースを使った設計
 - [AN75779](#) - USB ビデオクラス (UVC) フレームワーク内で EZ-USB™ FX3 を使用してイメージセンサーインターフェースを実装する方法
- 知識ベース記事 (KBA)
 - EZ-USB™ SX3 HDMI 4K Capture Card Solution Demo Kit - [KBA233573](#)
- 開発キット:
 - [CYUSB3KIT-004](#), [EZ-USB™ SX3 explorer kit](#)

ハードウェア設計ガイドライン

3 ハードウェア設計ガイドライン

3.1 SX3 と FX3 の違い

Table 1 に、SX3 と FX3 の主な違いを示します。

Table 1 SX3 と FX3 の違い

SX3	FX3
SX3 コンフィギュレーションユーティリティによる設定	FX3 SDK と EZ-USB™ Suite によるファームウェア開発
SPI フラッシュからのブート	USB, SPI または I ² C からのブート
最大 7 個のユーザー設定可能な GPIO	最大 60 個のユーザー設定可能な GPIO
最大 2 個の USB エンドポイント	最大 32 個の USB エンドポイント
汎用設定可能なインターフェース (スレーブ FIFO またはカメラパラレルインターフェース)	プログラミング可能な GPIF-II インターフェース
121-BGA パッケージ	121-BGA パッケージ
512 kB の RAM	最大 512 kB の RAM
設定可能な I ² C インターフェース	プログラミング可能な I ² C インターフェース
設定可能な SPI インターフェース (SPI フラッシュストレージおよび FPGA コンフィギュレーション用)	プログラミング可能な SPI インターフェース
デバッグに CDC インターフェース利用可能。JTAG デバッグは未対応	JTAG, UART, および CDC インターフェース対応

3.2 固定機能 I/O

SX3 には 4 個の固定 GPIO があります。

- PROGRAM#: FPGA 設定中に使用される SX3 の出力です。PROGRAM#が LOW にアサートされると、FPGA はデバイス コンフィギュレーションモードに入ります。
- INIT#/RESET: 双方向です。この信号は、FPGA がコンフィギュレーションモードに入ったかどうかを検出するために SX3 によって使用されます。FIFO マスター (FPGA) をリセットするためにも SX3 によって使用されます。ビデオストリーミング中にエラー状態が発生した場合、リセットピンがアサートされます。FIFO マスターは、この信号を使用して内部ロジックをリセットし、ストリーミングを再び開始する必要があります。
- FIFOM_SS: FIFO マスターの SPI インターフェース用のチップ選択に使用されます。
- SUSPEND_OUT: SX3 の出力であり、低電力モードへ移行のために FIFO マスターにより使用されます。

3.3 設定可能な GPIO

SX3 には 7 個の設定可能な GPIO (GPIO_0~GPIO_6) があります。これらの GPIO の機能は、SX3 コンフィギュレーションユーティリティを使用して割り当てることができます。

設定可能な GPIO のオプションは次のとおりです。

- コンフィギュレーション完了: この GPIO は SX3 への入力です。この信号は、コンフィギュレーションの更新が完了したことを示すために FIFO マスターによって使用されます。
- USER_GPIO_0~USER_GPIO_4: ユーザー GPIO は SX3 への入力であり、ユーザー GPIO の立ち下りエッジで、FIFO マスターの特定のレジスタへの I²C 書き込みが行われます。Table 2 に、各ユーザー GPIO の I²C レジスタ アドレスを示します。

ハードウェア設計ガイドライン

Table 2 ユーザーGPIO レジスタ アドレス

GPIO	I ² C レジスタ アドレス
USER_GPIO_0	0x10
USER_GPIO_1	0x11
USER_GPIO_2	0x12
USER_GPIO_3	0x13
USER_GPIO_4	0x14

- ストリーミング表示 LED (アクティブ LOW): この GPIO は、SX3 データ エンドポイントのいずれかがアクティブになるときにアサートされます。また、FIFO マスター設定の進行中にトグルします。
- エラーLED (アクティブ LOW): この GPIO は、デバイスが内部システムのエラー状態を検出したときにアサートされます。
- 静止画キャプチャ ボタン (アクティブ HIGH): この GPIO は、静止画キャプチャのハードウェアトリガー信号として使用できます (SX3 UVC コンフィギュレーションの場合のみ)。
- センサー リセット (アクティブ LOW): この GPIO は、ビデオ ソース コンフィギュレーションを更新する前にトグルされます。この信号は、イメージセンサーのリセットとして使用できます。

3.4 FIFO マスター (FPGA) イメージセンサーと SX3 のインターフェース

SX3 は、FIFO マスターと通信するためのスレーブ FIFO インターフェースをサポートします。FIFO マスターインターフェースは、FPGA, ISP またはその他のプロセッサに実装できます。

データ ストリーミング インターフェースは、データ バス幅が 8, 16, 24 または 32 ビットのスレーブ FIFO またはカメラ パラレル インターフェースのいずれかです。これらのインターフェースの信号詳細は、SX3 データシート [9] を参照してください。

3.4.1 FIFO マスター (FPGA) と SX3 のインターフェース

スレーブ FIFO インターフェースは、制御信号 (SLCS#, SLWR, SLOE, SLRD, PKTEND# および PCLK) および DMA フラグ (DMA_READY および DMA_PARTIAL) を使用します。インターフェースのタイミング詳細は、アプリケーションノート [1] を参照してください。

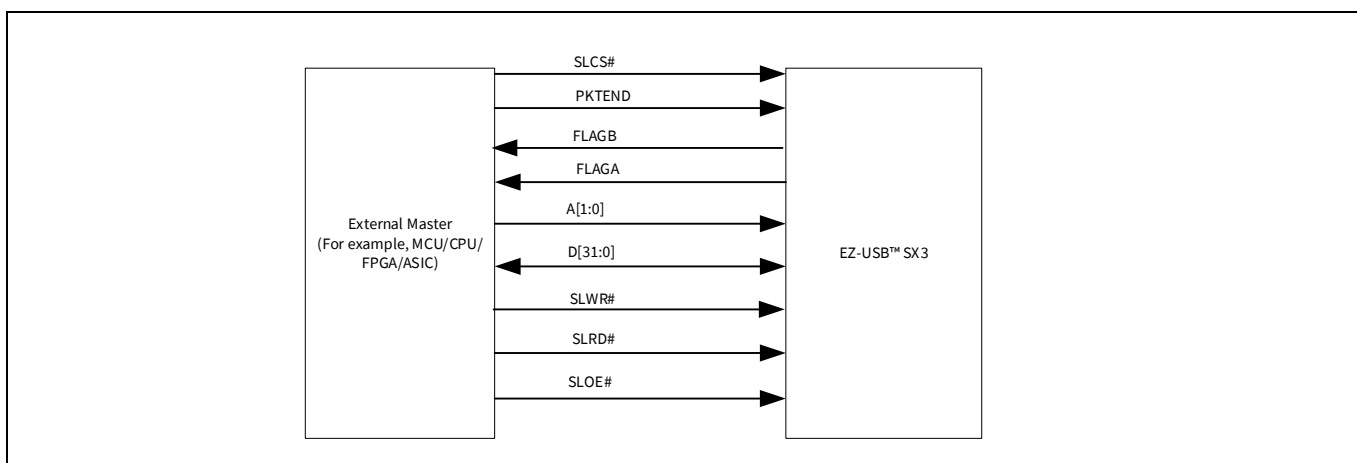


Figure 1 スレーブ FIFO インターフェース

スレーブ FIFO インターフェースはウォーターマーク値を使用して、読み出し/書き込み動作のために完全なバッファの可用性を検出します。Table 3 に、各種バス幅に使用されるウォーターマーク値を示しています。

ハードウェア設計ガイドライン

Table 3 ウォーターマーク値

FIFO バス幅	ウォーターマーク IN/OUT
8	8
16	8
24	12
32	8

SX3 は、SPI および I²C インターフェースを使用して FPGA コンフィギュレーションをダウンロードします。SX3 は設定後に、I²C インターフェースを使用して FPGA と通信します。

3.4.2 カメラ 平行インターフェース

カメラ 平行インターフェースは、フレーム有効 (FV), ライン有効 (LV), クロック (PCLK) および センサーリセット (INT#/RESET) 信号を使用します。このインターフェースは、平行インターフェースに対応するイメージセンサー/ISP を SX3 との直接接続のために使用できます。

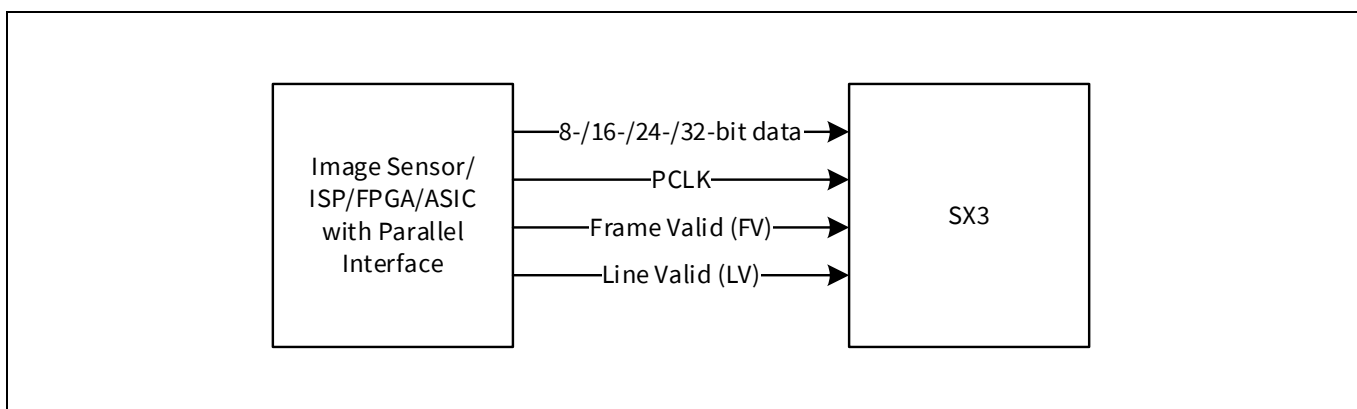


Figure 2 カメラ 平行インターフェース

MIPI-CSI, LVDS, ITU BT-656 インターフェースなどに対応するイメージセンサーや HDMI レシーバは、FPGA または ISP を使用して SX3 に接続できます。

3.4.3 SX3 による FPGA の設定

SX3 は、次のコンフィギュレーションモードをサポートしています。

- Lattice スレーブ SPI (SSPI) モード
- Lattice I²C コンフィギュレーションモード
- Xilinx スレーブシリアルモード
- Intel®パッシブシリアルモード

これらのコンフィギュレーションモードは、次の FPGA ファミリに対してテストされています。

- Lattice スレーブ SPI (SSPI) モード - Lattice ECP5
- Lattice I²C コンフィギュレーションモード - Lattice CrossLink
- Xilinx スレーブシリアルモード - Xilinx Artix®-7
- Intel®パッシブシリアルモード - Intel® Cyclone® 10 LP

FPGA の FPGA コンフィギュレーションファイル (.bit, .bin, .rbf など) は、EZ-USB™ SX3 コンフィギュレーションユーティリティを介して提供されます。提供されたコンフィギュレーションファイルは、SPI フ

ハードウェア設計ガイドライン

ラッシュに格納されている生成された SX3 コンフィギュレーションの一部になります。SX3 はこのファイルを読み出し、起動時に FPGA を設定します。サポートされている各 FPGA ファミリのコンフィギュレーションの詳細は、[Lattice ECP5 FPGA の設定](#)を参照してください。

3.4.3.1 Lattice ECP5 FPGA の設定

SX3 は、SSPI モードを使用して Lattice ECP5 を設定します。SX3 は SPI フラッシュから *.bit* ファイルを読み出し、30 MHz クロックを使用して FPGA に送信します。

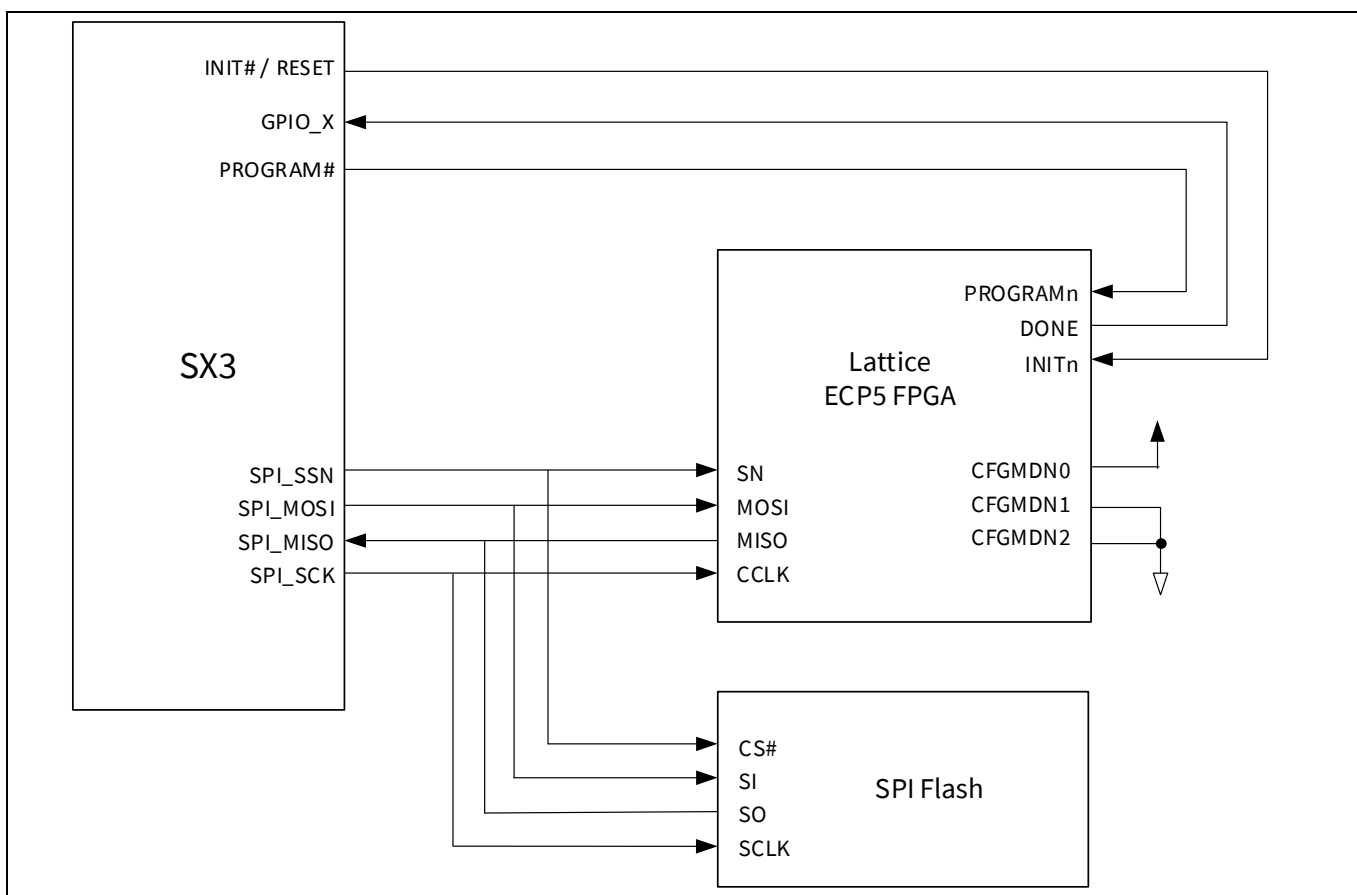


Figure 3 スレーブ SPI ポートと SX3 による ECP5 プログラミング

詳細は、Lattice 使用ガイド [\[5\]](#)を参照してください。

3.4.3.2 Lattice CrossLink FPGA の設定

SX3 は、Lattice I²C コンフィギュレーションモードを使用して CrossLink を設定します。*.bit* ファイルが SPI フラッシュから読み出され、1MHz クロックを使用して I²C 経由で CrossLink に送信されます。

詳細は、Lattice テクニカル ノート [\[6\]](#)を参照してください。

ハードウェア設計ガイドライン

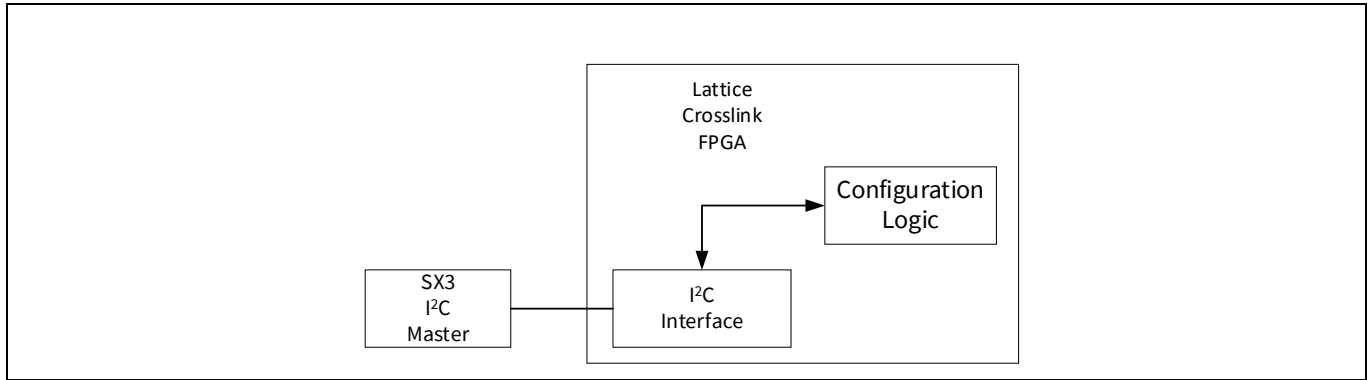


Figure 4 I²C コンフィギュレーションロジック

3.4.3.3 Xilinx Artix®-7 FPGA の設定

SX3 は、Xilinx スレーブシリアル コンフィギュレーション モードを使用して Artix®-7 を設定します。*.bin* ファイルが SPI フラッシュから読み出され、FPGA のデータ入力 (DI) ピンで受信されます。

詳細については、Xilinx ユーザー ガイド [\[7\]](#) を参照してください。

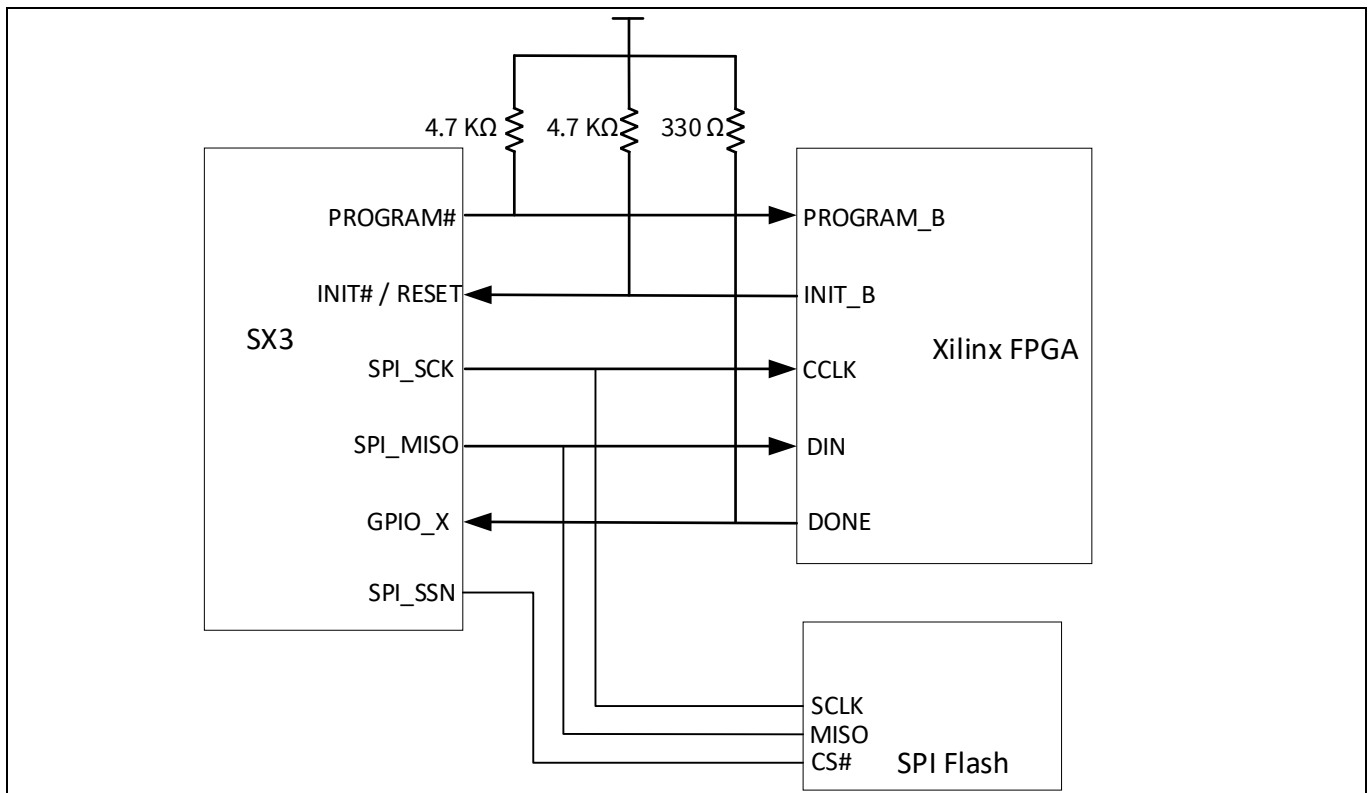


Figure 5 スレーブシリアルモード

ハードウェア設計ガイドライン

3.4.3.4 Intel® Cyclone® 10 FPGA の設定

SX3 は、Intel®パッシブシリアル コンフィギュレーション モードを使用して Cyclone® 10 を設定します。 .rbfファイルが SPI フラッシュから読み出され、FPGA の DI ピンで受信されます。 .rbfファイルは最下位ビット (LSB) ファースト形式である必要があることに注意してください。 生成された.rbfファイルを LSB ファースト形式に変換する Python スクリプトが、アプリケーションノートに添付されています。

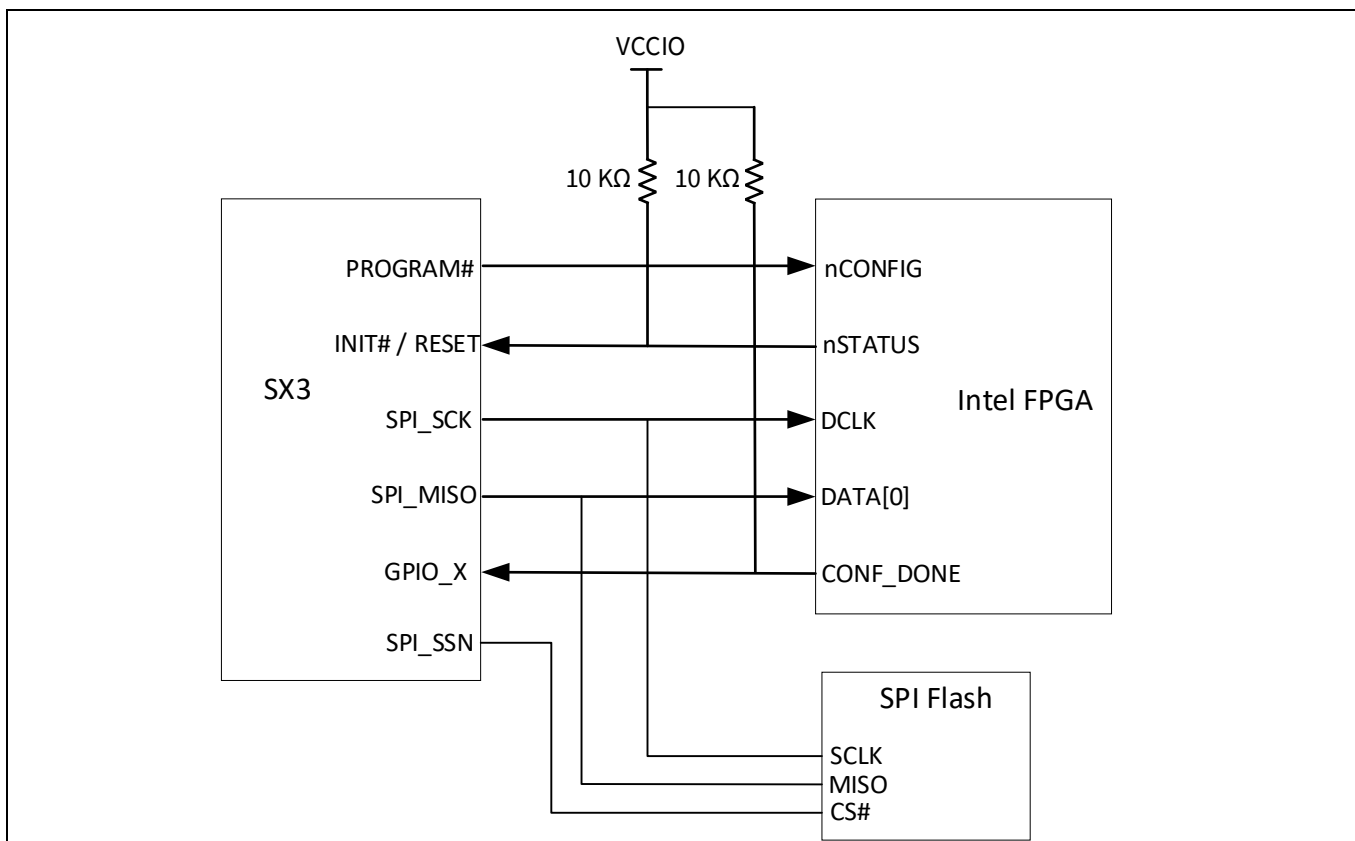


Figure 6 パッシブシリアル モード

詳細については、ハンドブック[8]を参照してください。

Table 4 に、各種 FPGA ファミリと SX3 間のコンフィギュレーション信号の相互接続を示します。

Table 4 各種 FPGA ファミリと SX3 間のコンフィギュレーション信号の相互接続

SX3 信号名	Lattice ECP5	Xilinx Artix®-7	Intel® Cyclone® 10 LP	Lattice CrossLink
FIFOM_SS	CSSPIN	-	-	-
PROGRAM#	PROGRAM_N	PROGRAM_B	N_CONFIG	-
INIT#/RESET	INIT_N	INIT_B	N_STATUS	CRESETB
GPIO_0~GPIO_6	DONE	DONE	CONF_DONE	CDONE
SPI_SCK	MCLK/CCLK	CCLK	DCLK	-
SPI_MOSI	MOSI	DIN	-	-
SPI_MISO	MISO	DOUT	DATA[0]	-
I2C_SCL	-	-	-	SCL
I2C_SDA	-	-	-	SDA

ハードウェア設計ガイドライン

3.5 コンフィギュレーション格納用の SPI フラッシュ

SX3 は、SX3 コンフィギュレーションのダウンロードを目的としてのみ、USB ブート モードをサポートします。SX3 コンフィギュレーションがダウンロードされたら、アプリケーション実行のために SPI ブート モードが選択されます。SX3 コンフィギュレーションは、SX3 コンフィギュレーションユーティリティを使用して SPI フラッシュにダウンロードできます。SX3 コンフィギュレーションユーティリティは、FIFO マスター (FPGA) コンフィギュレーションファイルを SX3 コンフィギュレーションとマージし、SPI フラッシュにダウンロードします。デバイスがアプリケーションモードに入ると、SPI インターフェースは使用できなくなります。SX3 への SPI フラッシュ インターフェースの詳細は、SX3 開発キットの回路図およびアプリケーションノート [2] を参照してください。

3.5.1 イメージセンサー インターフェース

I²C レジスタ コンフィギュレーションの初期化は、I²C インターフェースを介してイメージセンサーに書き込みます。

SX3 は、UVC ホスト アプリケーションでビデオ解像度が選択されるたびに、解像度に対応する I²C レジスタ コンフィギュレーションの書き込みをサポートします。

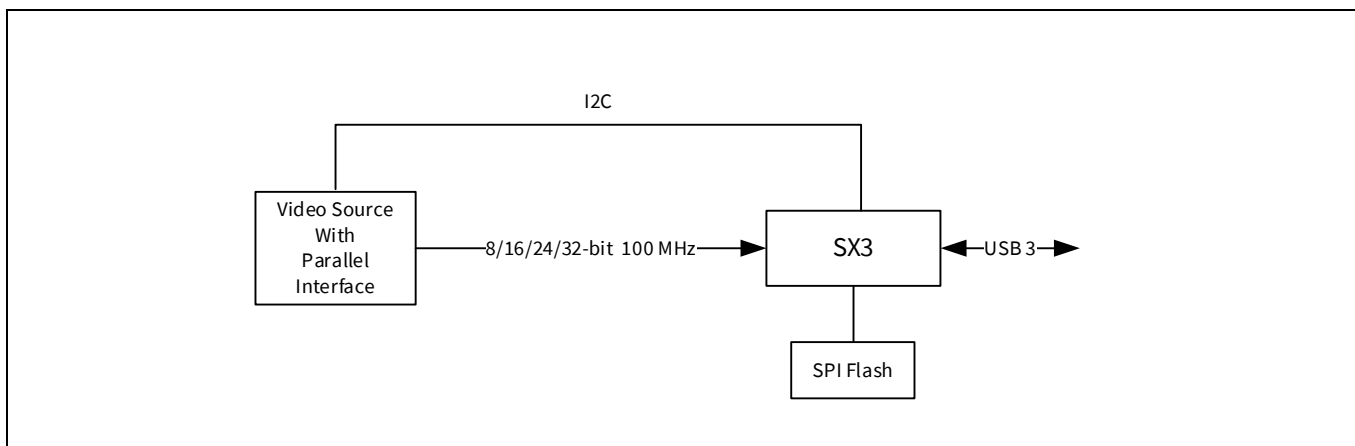


Figure 7 SX3 とイメージセンサーの直接インターフェース

- SX3 を使用したハードウェア設計の詳細については、[AN70707 - EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイドラインおよび回路図チェックリスト](#) を参照してください。

アプリケーション

4 アプリケーション

4.1 SX3 - UVC アプリケーション

SX3 UVC (CYUSB3017) は、UVC, UAC, または UVC + UAC として設定できる最大 2 個のエンドポイントに対応します。SX3 は UVC バージョン 1.1/1.5 および UAC 1.0 に対応します。UVC ストリーミングエンドポイントは、バルクまたはアイソクロナスにできます。USB High-speed モードでは、バルクコンフィギュレーションのみがサポートされます。次のセクションでは、これらのコンフィギュレーションを使用した SX3 の一般的なアプリケーション例について説明します。

4.1.1 HDMI USB キャプチャカード アプリケーション

HDMI USB キャプチャカードアプリケーションは、UVC + UAC コンフィギュレーションを使用して、ビデオとオーディオの同時ストリーミングをサポートします。Figure 8 に、このアプリケーションのブロック図を示します。

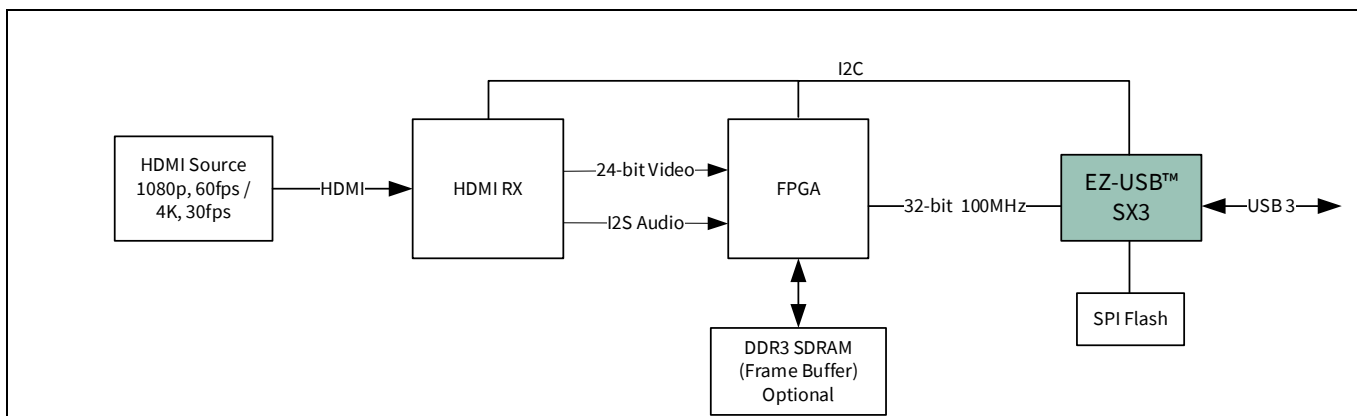


Figure 8 4K HDMI USB3 キャプチャカード

HDMI レシーバは、HDMI ビデオとオーディオストリームをパラレルビデオインターフェースおよび I²S オーディオインターフェースに変換します。データを変換し、スレーブ FIFO インターフェースを介して SX3 に送信するには、FIFO マスター (FPGA) が必要です。FIFO マスターは、4K ビデオストリームのサポートに必要なフレームバッファに対応しています。SX3 は I²C インターフェースを使用して HDMI RX および FIFO マスターと通信します。

4.1.1.1 ビデオソースとしての HDMI

SX3 コンフィギュレーションツールはビデオソースとして 2 種類の HDMI レシーバをサポートします。

- HDMI RX IT6801: このモードでは、IT6801 HDMI レシーバ固有のすべての HDMI イベントがカスタムコンフィギュレーションによって処理されます。
- HDMI RX Generic: このモードでは、SX3 は I²C ベースのレジスタポーリングを使用して HDMI イベントを検出するように設定できます。

Table 5 HDMI RX IT6801 と HDMI RX Generic コンフィギュレーションの違い

HDMI RX IT6801	HDMI RX generic
IT6801 HDMI レシーバに適用可能。	他のすべての HDMI レシーバおよび IT6801 のカスタムコンフィギュレーションに適用可能。

アプリケーション

HDMI RX IT6801	HDMI RX generic
HDMI イベント処理は設定できません。	SX3 コンフィギュレーションユーティリティを使用して HDMI イベントを処理するように SX3 を設定できます。
HDMI の初期化と EDID の設定は I ² C インターフェースを介して行えます。	HDMI の初期化と EDID の設定は I ² C インターフェースを介して行えます。
HDMI 解像度の変更と UVC インターフェースの再エニューメレーションを自動検出。	HDMI ソースの解像度と一致するように、UVC プレーヤー ホスト アプリケーションの解像度の手動による切り替えが必要。
インターレースおよびプログレッシブ解像度を自動検出し、インターレースをプログレッシブに変換するように FPGA を設定。	インターレース-プログレッシブ変換は未対応。

4.1.1.2 ビデオおよびオーディオのサポート

SX3 は、最大 4K 30 fps の非圧縮ビデオと、最大 32 ビットの 12 チャンルのオーディオに対応します。FPGA は I²S レシーバを実装しており、スレーブ FIFO インターフェースを介してデータを送信します。

4.1.1.3 HDMI - Generic コンフィギュレーションでの HDMI イベント処理

SX3 は、HDMI - Generic コンフィギュレーションをサポートし、HDMI - Generic レシーバと USB デバイスコントローラー間のインターフェースを可能にします。USB デバイスコントローラーによって処理される HDMI イベントを、SX3 コンフィギュレーションユーティリティのイベント処理テーブルに追加します。SX3 はイベントを検出し、特定のイベントを処理するために I²C 書き込みを実行します。SX3 コンフィギュレーションユーティリティの **Help content** タブおよび SX3 コンフィギュレーションユーティリティ ユーザー ガイドに記載されている特定のフォーマットで書き込まれる HDMI 割込みイベントレジスタ、イベントマスクおよび I²C 構造を追加します。

4.1.1.4 HDMI RX と SX3 のインターフェースの FPGA プロジェクト

ITE HDMI レシーバ IT6801 とのインターフェースの FPGA サンプルプロジェクトが、SX3 HDMI キャプチャカードキットで利用できます。この FPGA プロジェクトは、Lattice ECP5 FPGA に向けて開発されています。プロジェクトを他の FPGA ファミリに移植できます。

FPGA は、内部ブロックメモリを使用して着信ビデオをバッファリングし、FIFO インターフェースを介して SX3 にストリーミングします。

FPGA は、ECP5 メモリコントローラーブロック (MCB) を使用して、着信ビデオフレームを UHD (4K) 30 fps ビデオのフレームバッファとして外部 DDR3 メモリに保存します。

FPGA はまた、UHD ビデオフォーマットを YUV422 から YUV420 に変換して、4K 30 fps ビデオを USB 3 帯域幅に適合させます。インターレース-プログレッシブ変換は、1920 x 1080i, 60 Hz HDMI 解像度の FPGA でもサポートされます。SX3 はインターレースビデオを検出し、FPGA と通信します。奇数行と偶数行が RAM から 2 回読み出され、インターレースビデオがプログレッシブフォーマットに変換されます。

オーディオデータは、2 チャンネル、16 ビットのサンプル幅、48 kHz の I²S フォーマットで受信されます。I²S レシーバはデータを逆シリアル化し、オーディオバッファに保存します。オーディオデータは、ビデオフレームのブランキング期間中にスレーブ FIFO インターフェースを介して送信されます。

HDMI 1.4 規格によると、次の解像度がサポートされています。

1. 640 x 480p、60 Hz
2. 720 x 480p、60 Hz

アプリケーション

3. 720 x 576p、50 Hz
4. 1280 x 720p、60 Hz
5. 1920 x 1080i、60 Hz
6. 1920 x 1080p、60 Hz
7. 3840 x 2160p、30 Hz

4.1.1.5 PCLK 削減、32 ビットへのデータのパッキング、フレームバッファのサポート

HDMI RX は、最大 150 MHz のクロック周波数が可能な 16 ビット インターフェースを介して FPGA にデータを送信します。FPGA は、フレームバッファを使用してデータを 32 ビット幅のフォーマットにパックし、100 MHz クロックで SX3 スレーブ FIFO インターフェースに送信します。

4.1.1.6 FIFO マスター インターフェース (マルチソケット サポート、現時点のスレッド DMA フラグ)

SX3 は、エンドポイント (UVC/UAC) ごとに 2 つのソケットをサポートします。使用されるスレーブ FIFO 信号とウォーターマーク値の定義の詳細は、アプリケーションノート [\[1\]](#) を参照してください。HDMI RX FPGA プロジェクトは 32 ビット データバスをサポートし、使用されるウォーターマーク値は 8 です。

4.1.1.7 FPGA での I²C スレーブ インターフェースのサポート - レジスタの詳細

SX3 は、FPGA に実装される、[Table 6](#) にリストされている固定 I²C レジスタを使用します。FPGA は、アドレス幅が 2 バイト、データ幅が 1 バイトの I²C スレーブ インターフェースを実装します。

SX3 は、[Table 6](#) にリストされているレジスタマップを使用して、さまざまなイベントについて FPGA と通信します。一部の機能では、レジスタアドレスは固定されています。FPGA プロジェクトは、[Table 6](#) にリストされているレジスタごとにリファレンス実装を提供します。

Table 6 レジスタ表

FPGA レジスタアドレス	レジスタ名	SX3 での固定レジスタアドレス	初期値 (16 進)	説明/備考
0x0000	DMA チャンネルリセット	有	0x00	0: アクティブな DMA リセットイベントはなし
				1: SX3 で UVC DMA リセットが発生
				2: SX3 で UAC DMA リセットが発生
0x0009	エンドポイント 1 ストリーム制御	有	0x01	「1」: ストリームを有効にする
				「0」: ストリームを無効にする
0x000A	エンドポイント 2 ストリーム制御	有	0x01	「1」: ストリームを有効にする
				「0」: ストリームを無効にする
0x000E	静止画キャプチャシグナリング	無	0x00	「1」: 静止画キャプチャを開始
				「0」: 静止画キャプチャを停止
0x0010	GPIO0 レジスタ	有	0x00	値 0x01 は GPIO0 の立ち下りエッジで書き込まれる

アプリケーション

FPGA レジスタ アドレス	レジスタ名	SX3 での固定 レジスタ アドレ ス	初期値 (16 進)	説明/備考
0x0011	GPIO1 レジスタ	有	0x00	値 0x01 は GPIO1 の立ち下り エッジで書き込まれる
0x0012	GPIO2 レジスタ	有	0x00	値 0x01 は GPIO2 の立ち下り エッジで書き込まれる
0x0013	GPIO3 レジスタ	有	0x00	値 0x01 は GPIO3 の立ち下り エッジで書き込まれる
0x0014	GPIO4 レジスタ	有	0x00	値 0x01 は GPIO4 の立ち下り エッジで書き込まれる
0x0015	GPIO5 レジスタ	有	0x00	値 0x01 は GPIO5 の立ち下り エッジで書き込まれる
0x0016	GPIO6 レジスタ	有	0x00	値 0x01 は GPIO6 の立ち下り エッジで書き込まれる
0x0021	画像の高さ (MSB)	無	0x04	フレーム内の行数 (MSB)
0x0022	画像の高さ (LSB)	無	0x38	フレーム内の行数 (LSB)
0x0023	画像幅 (MSB)	無	0x07	1 行のピクセル数 (MSB)
0x0024	画像幅 (LSB)	無	0x80	1 行のピクセル数 (LSB)
0x0025	YUV422-YUV420 変換有効化	無	0x00	0x01: YUV422-YUV420 変換を有効 にする 0x00: YUV422-YUV420 変換を無効 にする
0x0026	インターレース 入力有効化	有	0x00	0x01: インターレース フォーマッ トの入力を示す 0x00: プログレッシブ フォーマッ トの入力を示す

Note:

- 「固定」とマークされた I²C レジスタアドレスは必須であり、FIFO マスターに実装する必要があります。
- SX3 は、SX3 コンフィギュレーション ユーティリティを介して渡されるカスタム I²C レジスタ アドレスに書き込むこともできます。詳細については、[コンフィギュレーション ユーティリティ](#)を参照してください。
- ユーザー-GPIO 処理 SX3 は、対応するレジスタに「1」を書き込むことにより、任意のユーザー-GPIO の立ち下りエッジを FIFO マスターに通知します。FIFO マスターは、設定値を読み出した後、値を「0」にクリアすることが期待されます。

アプリケーション

4.1.1.8 開発キット: e-Con systems 社の SX3 FPGA HDMI RX キット (PICTOR)

SX3 HDMI キャプチャカードキットには、SX3 FPGA ベースボードとアドオンボード HDMI RX の 2 つの基板を含みます。別の HDMI RX または他のイメージングソース (SDI レシーバ, DP レシーバ, イメージセンサー/ISP など) を使用して独自のアドオンボードを作成し、SX3 FPGA ベースボードとインターフェースできます。このキットの詳細については、[SX3 製品 Web ページ](#)にアクセスしてください。



Figure 9 SX3 HDMI USB3 キャプチャカードキット (PICTOR)

SX3 FPGA HDMI RX キットにより、次のコンフィギュレーションを評価できます。

- SX3_UVC_UAC_HDMI_ITE_1080p
- SX3_UVC_UAC_HDMI_GENERIC_1080p
- SX3_UVC_UAC_HDMI_ITE_4K
- SX3_UVC_UAC_HDMI_GENERIC_4K
- SX3_UVC_FV_LV_BULK_32
- SX3_UVC_UAC_COLORBAR_BULK_32
- SX3_UVC_UAC_COLORBAR_ISOC_32
- SX3_UVC_24_BIT_ISOC

アプリケーション

4.1.1.9 EZ-USB™ SX3 HDMI 4K キャプチャソリューション デモキット (CY-SD4210)

EZ-USB™ SX3 HDMI 4K キャプチャカードソリューション デモキットは、USB ビデオ クラス (UVC), USB オーディオ クラス (UAC) に準拠したキャプチャカードで、あらゆる HDMI ソースからビデオとオーディオをキャプチャするのに最適です。YUV420 フォーマットで最大 4K, 30 fps のビデオ ストリーミング、または YUV422 フォーマットで最大 1080p, 60 fps のビデオ ストリーミングをサポートします。

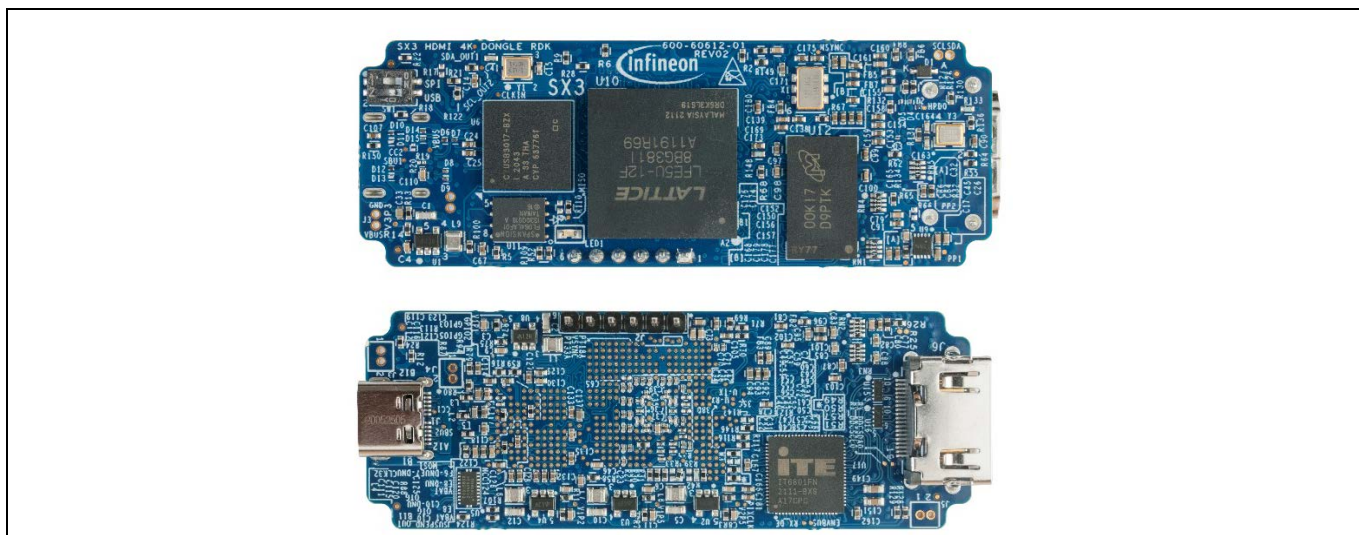


Figure 10 SX3 HDMI 4K キャプチャソリューション デモキット (CY-SD4210)

このキットを使用して、次のコンフィギュレーション例を評価できます。

- SX3_UVC_UAC_HDMI_ITE_1080P_DONGLE
- SX3_UVC_UAC_HDMI_ITE_4K_DONGLE

これらのテンプレート コンフィギュレーションは、SX3 コンフィギュレーション ユーティリティ (v1.1.0.5 以降) とともに提供されることに注意してください。

キットの回路図, BOM, およびボード ファイルは、[Knowledge Base Article](#) として、また [SX3 製品ウェブページ](#) でも入手できます。お客様は、これらのファイルを使用してカスタマイズされたボードを構築できます。

アプリケーション

4.1.2 イメージセンサーと FPGA を使用した UVC カメラ アプリケーション

SX3 UVC バリエーションは、イメージセンサーが ISP/FPGA に接続されている UVC アプリケーションを設計するためにも使用できます。Figure 11 は、FPGA を使用してイメージセンサーを SX3 にインターフェースする例です。

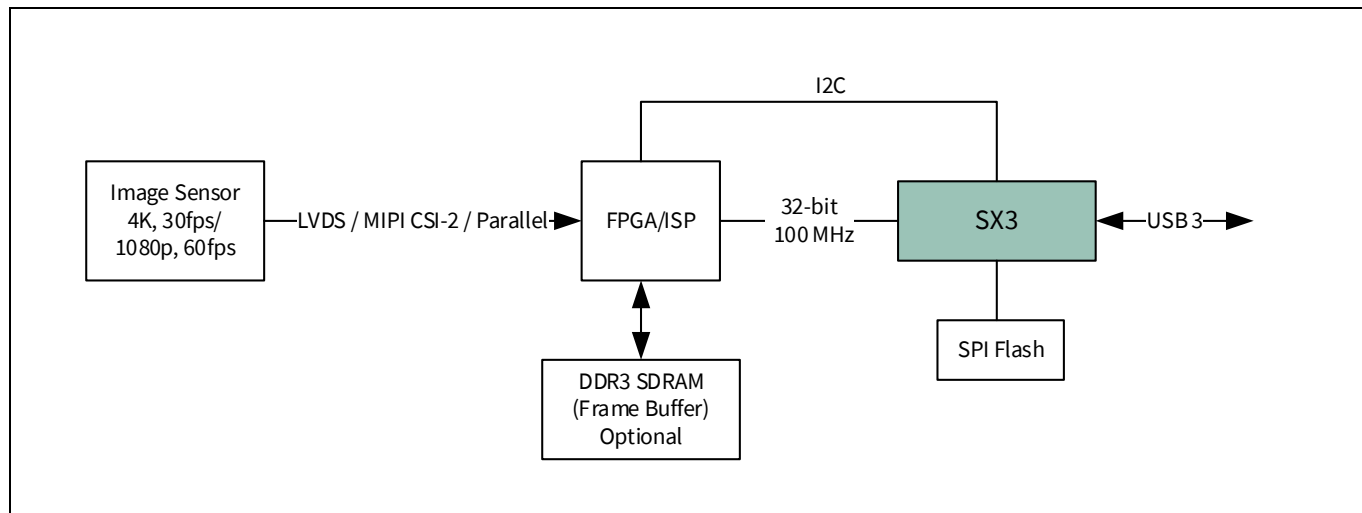


Figure 11 SX3 を使用した USB3 カメラ

4.1.2.1 開発キット: EZ-USB™ SX3 エクスプローラキット (CYUSB3KIT-004)

EZ-USB™ SX3 エクスプローラキットは、ハードウェア、ソフトウェア、およびドキュメントを組み合わせ、SX3 デバイスを評価します。このキットは、SX3 を使用した USB オーディオおよびビデオストリーミング アプリケーションの開発キットを意図しています。

CYUSB3KIT-004 EZ-USB™ SX3 エクスプローラキットは、2つのボードで構成されます。

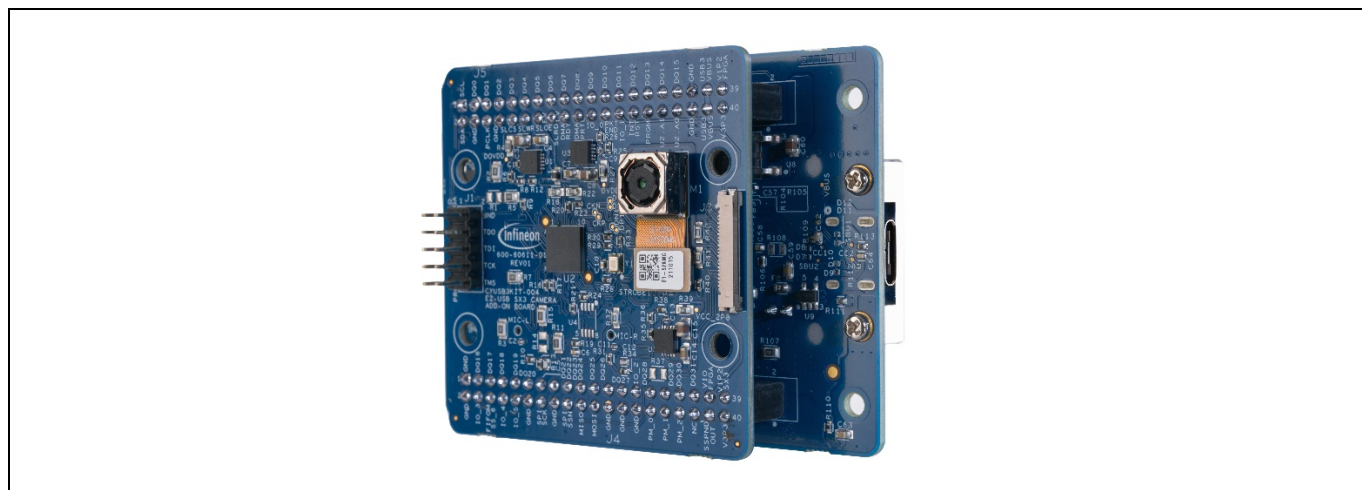


Figure 12 EZ-USB™ SX3 エクスプローラキット (CYUSB3KIT-004)

CYUSB3KIT-004 EZ-USB™ SX3 エクスプローラキットは、次の主要機能をサポートします。

- オンボード イメージセンサー モジュールからの YUV 形式で最大 1080p 30fps のビデオストリーミング
- オンボード L/R デジタル MEMS マイクロフォンからのオーディオストリーム

アプリケーション

- Raspberry Pi からの外部既製 MIPI カメラ インターフェース
- FX3 エクスプローラキット インターコネクト ボードとの互換性
- USB バス パワー動作
- ファームウェア制御の LED とユーザー スイッチ
- GPIO ヘッド

このキットを使用して、次のコンフィギュレーション例を評価できます。

- SX3_EXPLORER_KIT_UVC_UAC_CROSSLINK_SLAVEFIFO
- SX3_EXPLORER_KIT_UVC_UAC_CROSSLINK_RPI

これらのサンプルプロジェクトは、最大 YUV 1080p 60fps のビデオ ストリーミングと、オンボード ステレオ マイクロフォンからのオーディオ ストリーミングを示します。これらのテンプレート コンフィギュレーションは、SX3 コンフィギュレーションユーティリティ (v1.1.0.5 以降) とともに提供されることに注意してください。

4.1.2.2 FPGA の設定

SX3 は起動時に、I²C インターフェースを使用して Lattice CrossLink FPGA を設定します。

4.1.2.3 イメージセンサーの設定

SX3 は、I²C インターフェースを使用して OV5640 センサーを設定します。

4.1.3 イメージセンサーの直接インターフェース

本アプリケーションノートで提供される FPGA サンプルプロジェクトは、FV, LV 信号を使用した 32 ビット 平行インターフェースを備えたイメージセンサーをシミュレートします。これは、SX3 FPGA HDMI RX キットに同梱の SX3 FPGA ベースボードを使用して評価できます。

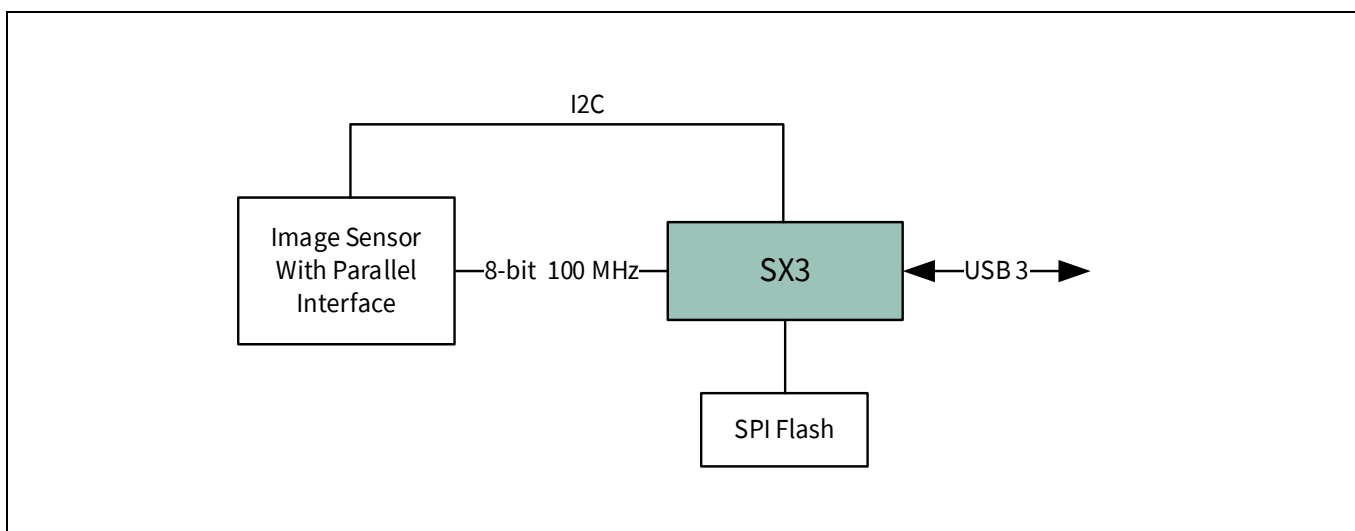


Figure 13 SX3 とイメージセンサーの直接インターフェース

SX3 FPGA HDMI RX キットにより、次のコンフィギュレーションを評価できます。

- sx3_uvc_fv_lv_bulk_32

アプリケーション

4.1.4 ホスト アプリケーション

さまざまなホスト アプリケーションにより、SX3 UVC デバイスからビデオを表示およびキャプチャできます。Table 7 に、さまざまなオペレーティング システムで使用できる一般的なホスト アプリケーションを示します。

Table 7 各種オペレーティング システムのホスト アプリケーション

オペレーティング システム	ホスト アプリケーション
Windows	Microsoft Windows Camera, MPC-HC, e-CAMView, VLC Player
Linux	QtCAM, VLC Player, Guvvview
macOS	Webcamoid, Photo Booth, QuickTime Player

UVC 静止画キャプチャは e-CAMView でのみサポートされます。

4.1.5 ドライバーの要件とマルチ OS サポート

SX3 UVC は、OS に含まれているデフォルトの組み込みドライバーによってサポートされます。

Table 8 ドライバーの要件とマルチ OS サポート

オペレーティング システム	ドライバー
Windows	Windows UVC ドライバー
Linux	uvcvideo ドライバー
macOS	組み込みドライバー

4.2 データ アプリケーション

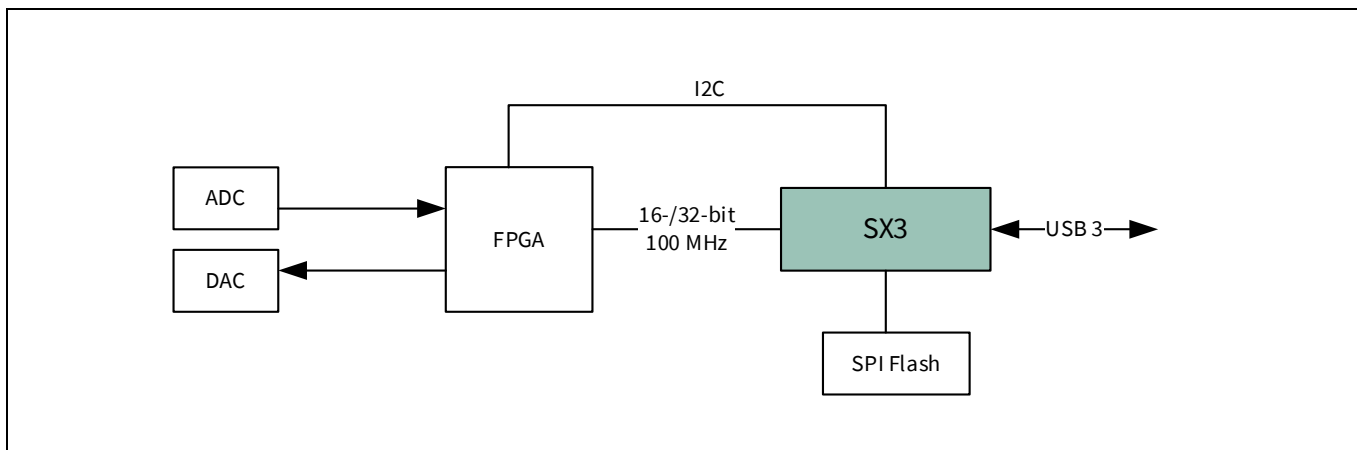


Figure 14 FPGA とインターフェースする SX3 データ

SX3 データ - 16 ビット (CYUSB3015)、SX3 データ - 32 ビット (CYUSB3016) パーツは、IN のみ、OUT のみ、または IN + OUT コンフィギュレーションとして設定できる最大 2 個のデータ ストリーミング エンドポイントをサポートします。これらの SX3 バリエーションは、汎用データ取得、ロジック アナライザ、および USB オシロスコープ アプリケーションで使用できます。SX3 は、USB バルク エンドポイントと、クロック速度が最大 100MHz のスレーブ FIFO インターフェースを使用します。次のセクションでは、SX3 データ バリエーションの一般的なアプリケーション例について説明します。

アプリケーション

4.2.1 FPGA を使用したデータ ストリーミング アプリケーション例

アプリケーション ノートに付属の FPGA サンプル プロジェクトを使用して、IN または OUT 方向にデータを連続的に転送できます。

Table 9 に、FPGA プロジェクトでサポートされるコンフィギュレーションと、Super-speed および High-speed モードで測定されたスループットを示します。ただし、達成できる最大スループットは、ホスト PC コントローラーのタイプ、オペレーティング システム、USB 設計 (転送タイプとバッファ サイズ) などの重要な要素にも依存します。

Table 9 SX3 データ バリエーションのスループット測定

バリエーション	エンドポイントの コンフィギュレーション	スループット		ホスト アプリケーション
		Super-speed	High-speed	
SX3 データ - 32 ビット	IN	390 MBps	46 MBps	Streamer
SX3 データ - 32 ビット	OUT	389 MBps	42 MBps	Streamer
SX3 データ - 32 ビット	IN + OUT	該当なし	該当なし	Bulkloop
SX3 データ - 16 ビット	IN	195 MBps	46 MBps	Streamer
SX3 データ - 16 ビット	OUT	192 MBps	42 MBps	Streamer
SX3 データ - 16 ビット	IN + OUT	該当なし	該当なし	Bulkloop

Note: Bulkloop ホスト アプリケーションはデータ比較のために追加のオーバーヘッドがあり、実際のスループットを提供しないため、IN + OUT コンフィギュレーションではスループットを測定しません。

次の SX3 テンプレート プロジェクトは SX3 コンフィギュレーション ツールの一部であり、SX3 HDMI RX キットに同梱の SX3 FPGA ベースボードで評価できます。

- SX3_DATA_IN_32
- SX3_DATA_OUT_32
- SX3_DATA_IN_OUT_32
- SX3_DATA_IN_16
- SX3_DATA_OUT_16
- SX3_DATA_IN_OUT_16

SX3 データ - 16 ビット (CYUSB3015) テンプレート プロジェクトは、SX3 データ - 32 ビット (CYUSB3016) および SX3 UVC (CYUSB3017) のパーツにも適用できます。

SX3 データ - 32 ビット (CYUSB3016) テンプレート プロジェクトは、SX3 UVC (CYUSB3017) パーツにも適用できます。

SX3 データ - 32 ビット (CYUSB3016) および SX3 データ - 16 ビット (CYUSB3015) は、USB 低電力モード (LPM) を有効/無効にするためのベンダー コマンドをサポートします。LPM は、データ転送中は SX3 で無効にし、データ転送が完了した後に有効にする必要があります。**Table 10** に、ベンダー コマンドを示します。

Table 10 ベンダー コマンド

コマンド	bmRequestType	bRequest	wValue	wIndex	wLength
LPM の無効化	0x40	0xEA	0x0000	0x0000	0x0000
LPM の有効化	0x40	0xEA	0x0001	0x0000	0x0000

アプリケーション

ホストアプリケーションは LPM を取扱うために、[Table 10](#) に示されているベンダー コマンドをサポートする必要があります。

4.2.2 ホスト アプリケーション - SX3 データ

SX3 データ バリエーションは、Streamer, Control Center, Bulkloop などのさまざまなホストアプリケーションでテストできます。ホストアプリケーションは、SX3 コンフィギュレーションユーティリティのインストールパスの *tools* フォルダにあります。カスタムホストアプリケーションの作成の詳細については、アプリケーションノート[\[3\]](#)を参照してください。

[Table 11](#) に、各種オペレーティングシステムで使用できるホストアプリケーションを示します。

Table 11 各種オペレーティングシステムのホスト アプリケーション

オペレーティングシステム	アプリケーション	機能
Windows	Streamer	独立した IN または OUT 転送
	Control Center	シングル IN/OUT 転送
	Bulkloop	IN + OUT のループバック
Linux, macOS	cybulkwrite_performance	独立した IN 転送
	cybulkread_performance	独立した OUT 転送

4.2.3 ドライバーの要件とマルチ OS サポート - SX3 データ

テンプレートプロジェクトは、インフィニオンの VID と PID を使用し、Windows のベンダー クラス ドライバーである *cyusb3.sys* ドライバーにバインドします。SX3 コンフィギュレーションユーティリティを使用して VID/PID を変更することで、別のドライバーにバインドできます。

テンプレートプロジェクトは、macOS および Linux で *libusb* ドライバーを使用します。これらのプロジェクトは、Linux Ubuntu 20.04 および macOS High Sierra でテストされています。

コンフィギュレーションユーティリティ

5 コンフィギュレーションユーティリティ

EZ-USB™ SX3 コンフィギュレーションユーティリティは、アプリケーションとシステムの要件に応じて SX3 デバイスを設定するためのソフトウェアアプリケーションです。ユーティリティを使用すると、アプリケーションのパラメーターを直感的に選択および設定できるため、ファームウェア開発時間を節約できます。また、生成されたコンフィギュレーションで接続された SX3 デバイスをプログラミングもできます。

5.1 特長

- Windows, Linux, および macOS に対応
- SX3-UVC (CYUSB3017) および SX3 データ (CYUSB3015 と CYUSB3016) バリエーションのコンフィギュレーションをサポート
- 新しいコンフィギュレーションの生成と既存のコンフィギュレーションのインポートをサポート
- SX3 デバイス コンフィギュレーション, FIFO マスター (FPGA/ISP) コンフィギュレーションおよびビデオソース (イメージセンサー/HDMI レシーバ) コンフィギュレーションをマージした 1 つのファイルを作成
- 生成されたコンフィギュレーションファイルによる SX3 デバイスのプログラミングをサポート
- 生成されたデバイス コンフィギュレーションのインポートとエクスポートをサポート
- **Help** タブで各コンフィギュレーションパラメーターの統合ヘルプコンテンツを提供
- **Log** タブでアプリケーションログの表示および保存をサポート

5.2 コンフィギュレーションユーティリティのインストール

このツールは、[SX3 製品 Web ページ](#) からダウンロードしてインストールできます。

インストール後、Windows の **Start > All Programs > Cypress > EZ-USB SX3 Configuration Utility > EZ-USB SX3 Configuration Utility** に移動します。

任意の SX3 デバイスの設定ワークフローには、次の 3 つの段階があります。

1. **既存のコンフィギュレーションの作成またはインポート:** ユーティリティの **File** メニューから新しいコンフィギュレーションを作成するか、既存のコンフィギュレーションをインポートして修正します。
2. **パラメーターの編集:** アプリケーション固有のパラメーターを編集します。
3. **デバイスの設定:** **Program Configuration** オプションを使用してデバイスをプログラミングします。

デバイスのコンフィギュレーションとファームウェアの更新の詳細は、メニューパス **Help > User Guide** に従って、EZ-USB™ SX3 コンフィギュレーションユーティリティのユーザーガイドにアクセスしてください。

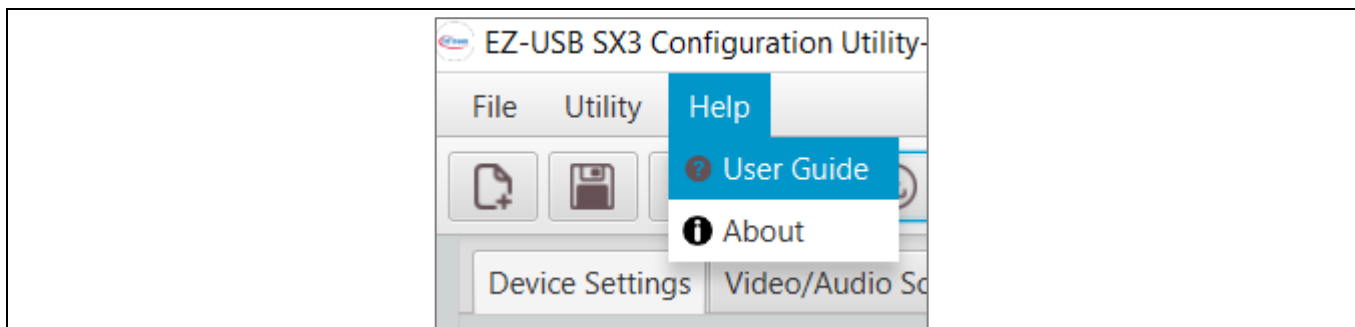


Figure 15 Help メニュー

コンフィギュレーションユーティリティ

SX3 コンフィギュレーションユーティリティは、Windows, Linux, および macOS に対応しています。コンフィギュレーションユーティリティは、次のバージョンでテストされています。

- Windows 10
- Linux Ubuntu 20.04
- macOS High Sierra

SX3 コンフィギュレーションユーティリティは、[Table 12](#) にリストされているドライバーを使用したデバイスプログラミングをサポートします。

Table 12 サポートされているドライバー

オペレーティングシステム	ドライバー
Windows	インフィニオンが提供する <i>Cyusb3.sys</i>
Linux	Libusb
macOS	Libusb

5.2.1 Windows ドライバーのインストール

SX3 コンフィギュレーションユーティリティのインストール中、*cyusb3.sys* ドライバーが自動的にコピーされ、ドライバー ファイルが <installation path>\Config tool\SX3ConfigurationUtility\app\drivers\Win10 にあります。ドライバーのインストール詳細については、EZ-USB™ SX3 コンフィギュレーションユーティリティ ユーザーガイドの Windows ドライバー インストール セクションを参照してください。

5.2.2 macOS ドライバーのインストール

macOS での *libusb* のインストールの詳細は、EZ-USB™ SX3 コンフィギュレーションユーティリティ ユーザーガイドの macOS ドライバー インストールに関連する付録を参照してください。

5.2.3 Linux (Ubuntu) ドライバーのインストール

Linux (Ubuntu) での *libusb* のインストール詳細は、EZ-USB™ SX3 コンフィギュレーションユーティリティ ユーザーガイドの Linux ドライバー インストールに関連する付録を参照してください。

5.3 ファイル格納

インストールディレクトリの構造については、EZ-USB™ SX3 コンフィギュレーションユーティリティ ユーザーガイドのインストールフォルダセクションを参照してください。

5.4 SX3 コンフィギュレーションユーティリティの動作

SX3 コンフィギュレーションユーティリティは、次のファイルを生成します。

- コンフィギュレーション JSON ファイル: 入力したコンフィギュレーションは、ユーザー読み出し可能な JSON フォーマットで保存されます。JSON ファイルを使用して、保存されているコンフィギュレーションをインポートすることもできます。
- 16 進ファイル: JSON ファイルのデータに基づいてユーティリティによって生成されたコンフィギュレーションテーブルです。
- マージされたコンフィギュレーションファイル (.img): ファームウェア、コンフィギュレーションパラメーター、および FPGA ビットファイル(含める場合)を組み合わせて生成されます。このファイルは、プログラミング中に SPI フラッシュにダウンロードされます。

詳細については、[Figure 16](#) を参照してください。

コンフィギュレーションユーティリティ

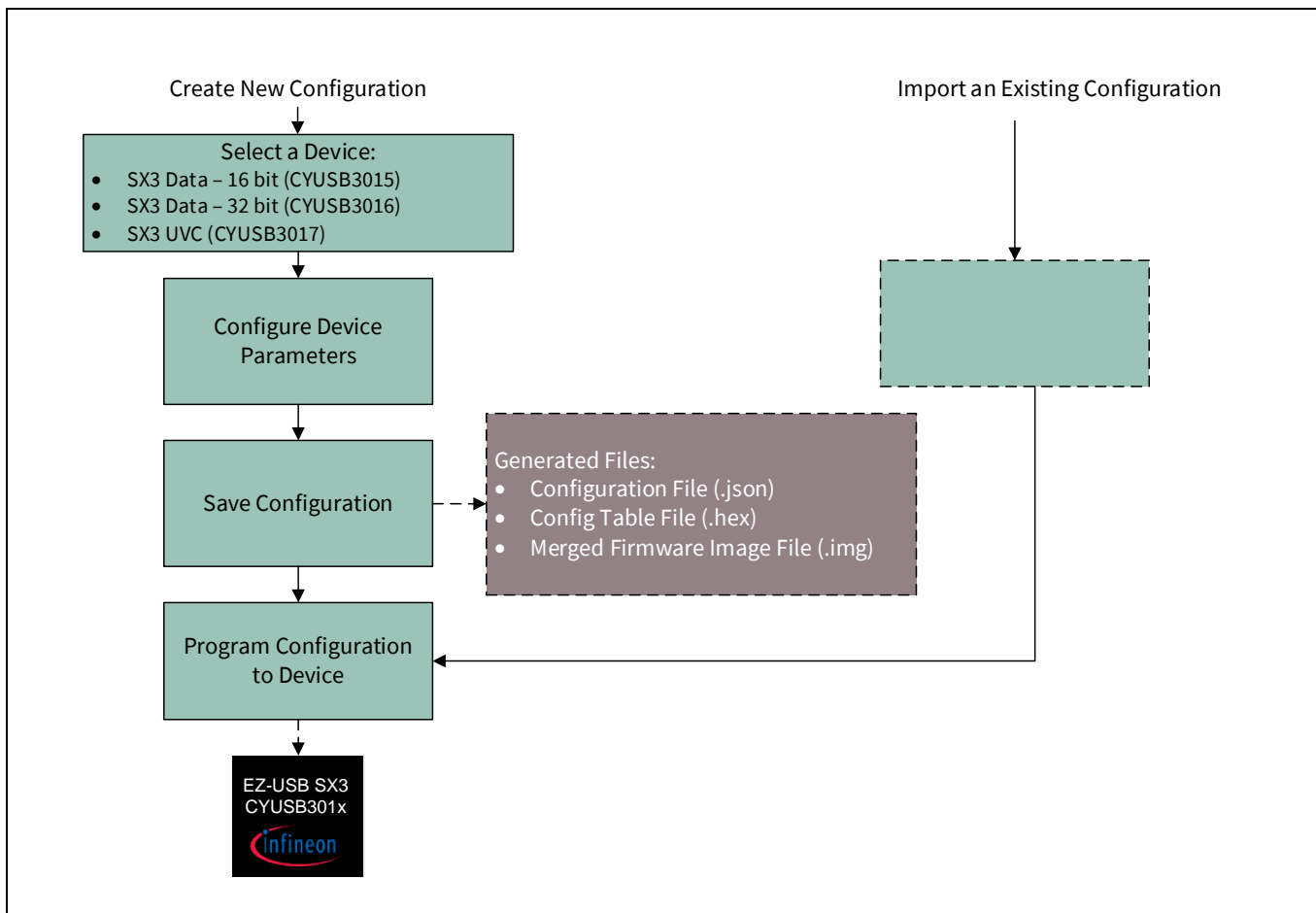


Figure 16 SX3 コンフィギュレーションユーティリティの動作

5.4.1 ファイルのマージ

SX3 コンフィギュレーションユーティリティは、FPGA ビットファイルを *firmware* フォルダにある SX3 コンフィギュレーションファイルとマージします。SX3 コンフィギュレーションは、最初のアドレス位置から保存されます。FPGA ビットファイルは、SX3 コンフィギュレーションの後に続くアドレス位置から始まります。

5.4.2 プログラミング

最終的なコンフィギュレーションファイルは、USB ブート モードまたは SPI ブート モードを使用して外部 SPI フラッシュにプログラミングできます。オプションの詳細については、[ファームウェア更新](#)を参照してください。

SX3 コンフィギュレーションユーティリティは、生成されたコンフィギュレーションの EZ-USB™ FX3 デバイスへのプログラミングもサポートすることに注意してください。

6 SX3 とカスタム デバイスのインターフェース

カスタム ビデオ ソース, FPGA, ISP などとのインターフェースについては、[インフィニオン テクニカル サポート](#)までお問い合わせください。

SX3 ベース 設計のデバッグ

7 SX3 ベース 設計のデバッグ

7.1 CDC インターフェース

SX3 デバイスは、SX3 コンフィギュレーションユーティリティを使用して有効にできる CDC インターフェース (仮想 COM ポート) をサポートします。デバッグ ログは、USB エミュレーション後に標準のターミナルアプリケーションを使用して収集できます。デバッグ ログには、エラー状態、DMA プロデューサ、コンシューマのイベント、フレーム レート、I²C 書き込みなどに関する情報が含まれます。

SX3 コンフィギュレーションユーティリティの **Device Settings** タブで CDC インターフェースを有効または無効にできます。使用可能なログは選択されたデバッグレベルに基づきます。

7.1.1 デバッグ レベル

SX3 CDC インターフェースは 5 つのデバッグレベルに対応します。Table 13 に、各レベルで使用可能なデバッグログを示します。

Table 13 SX3 デバッグレベル

デバッグレベル	使用可能なログ
レベル 0	エラーメッセージのみ
レベル 1	エラーメッセージ, 開始/停止メッセージ, 一時停止/再開ステータス
レベル 2	エラーメッセージ, 開始/停止メッセージ, 一時停止/再開ステータス, UVC および UAC コマンド, すべての I ² C 書き込み
レベル 3	エラーメッセージ, 開始/停止メッセージ, 一時停止/再開ステータス, UVC コマンド, すべての I ² C 書き込み, HDMI イベント ログ
レベル 4	エラーメッセージ, 開始/停止メッセージ, 一時停止/再開ステータス, UVC コマンド, I ² C 書き込み, HDMI イベント ログ, DMA の統計データ (プロデューサ数, コンシューマ数, fps など)

7.1.2 端末アプリケーションのデバッグ

任意の標準デバッグ端末アプリケーションを使用して、SX3 デバイスからログを収集できます。Table 14 に、各種オペレーティングシステムで使用できるサンプルホストアプリケーションを示します。

Table 14 端末アプリケーションのデバッグ

オペレーティングシステム	アプリケーション
Windows	Tera Term, PuTTY
Linux	Cutecom, PuTTY
macOS	CoolTerm

Note: 特定のフロー制御およびボーレート設定は不要です。COM ポート番号は、Windows の Device Manager, macOS の System Report, または Linux の dmesg コマンドで識別できます。

SX3 ベース 設計のデバッグ

7.2 Help タブ

設定可能なパラメーターについては、**Help** タブに移動してください。コントロールを選択すると、関連する情報が **Help** タブで表示されます。

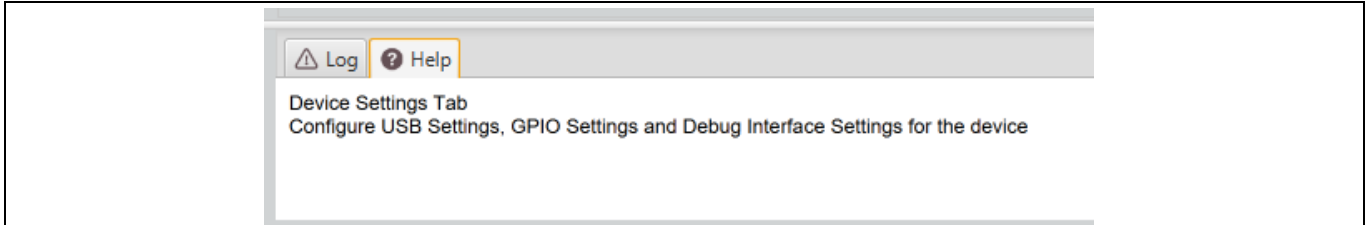


Figure 17 Help タブの表示

7.3 SX3 コンフィギュレーションユーティリティ ユーザー ガイド

Help メニューで SX3 コンフィギュレーションユーティリティ ユーザー ガイドを表示できます。

関連プロジェクト ファイル

8 関連プロジェクト ファイル

Table 15 に、GitHub リポジトリで使用可能な FPGA プロジェクトとサンプルアプリケーションのソースコードへのリンクを示します。

Table 15 プロジェクト ファイル

ファイル名/フォルダ名	説明
sx3_hdmi_4k_framebuffer	最大 4K 30 fps の解像度のサポートを目的とした、DDR ベースのフレーム バッファ実装ありの、HDMI レシーバを SX3 とインターフェースする FPGA プロジェクトソースコード
sx3_hdmi_1080p	最大 1080p 30fps の解像度のサポートを目的とした、フレーム バッファ実装なしの、HDMI レシーバを SX3 とインターフェースする FPGA プロジェクトソースコード
sx3_data_slavefifo_example	SX3 Data パーツのテストに使用できる FPGA ソースコード (CYUSB3015/CYUSB3016)。 3 つのモードに対応: <ul style="list-style-type: none"> • IN のみ • OUT のみ • ループバック モードでの IN + OUT I ² C スレーブの実装はこの FPGA プロジェクトに追加しない。モード間切り替えや 16 ビット/32 ビットのバス幅変更のためのコンパイル時スイッチを提供。
sx3_testpattern	I ² C インターフェース経由で設定可能な高さと幅のビデオ解像度用のシングル トーン正弦波オーディオ データとカラーバーを生成する FPGA ソースコード。テスト プロジェクトにより、HDMI レシーバインターフェースに依存せずに FPGA と SX3 間のインターフェースを検証できる。この FPGA プロジェクトを使用して、UVC のみ、UAC のみ、または UVC + UAC のコンフィグレーションをテストできます。 SX3 と FPGA 間のインターフェースは、次のいずれかになります。 <ul style="list-style-type: none"> • スレーブ FIFO モード: バス幅が 8/16/24/32 ビットのオーディオとビデオパターンをサポート • カメラパラレルインターフェース モード: バス幅が 8/16/24/32 ビットのビデオのみをサポート インターフェース モードとバス幅は FPGA プロジェクトのコンパイル時スイッチで選択できます。
sx3_explorer_kit_uvc_uac_crosslink_slavefifo	SX3 Explorer キットを使用したビデオとオーディオのストリーミングを実証するための FPGA プロジェクトソースコード。このプロジェクトは、SX3 Explorer キットの Camera Add-on ボード上の Lattice Crosslink FPGA でテストされています。FPGA は、オンボードの OV5640 イメージセンサーから MIPI を介してデータを受信し、16 ビットの標準スレーブ FIFO インターフェースを介して SX3 にストリーミングします。また、同じボード上のステ

関連プロジェクト ファイル

ファイル名/フォルダ名	説明
	レオ マイクロフォンからのオーディオ データを SX3 にストリーミングします。
sx3_hid_sample_app	HID インターフェース経由のファームウェア更新に使用できる Windows OS のサンプル HID コマンドライン アプリケーション。アプリケーションは、VID、PID およびファームウェア イメージを入力とし、SX3 に接続された SPI フラッシュを更新。 HID アプリケーションはまた、SPI フラッシュを消去し、USB ブートローダにフォールバックするためのコマンドもサポート。
sx3_uvc_xu_sample_app	SX3 ファームウェア バージョンの読み出しおよびデバイスリセットに使用できる Windows OS のサンプル UVC 拡張ユニット アプリケーション。SX3 は追加の拡張ユニット コマンドをサポートしません。

SX3 コンフィギュレーション テンプレートの一部である FPGA ビット ファイルは、[Table 15](#) にリストされている FPGA プロジェクトから生成できます。

[Table 16](#) に、サンプル コンフィギュレーション テンプレートとともに使用される FPGA ビット ファイルと、[Table 15](#) にリストされている FPGA プロジェクトから生成される方法を示します。

Table 16 FPGA ビット ファイルおよびサンプル コンフィギュレーション テンプレート

No	SX3 コンフィギュレーション テンプレート	FPGA ビット ファイル名	備考
1	sx3_data_in_16	slfifo_interface_impl1_16_streamin.bit	sx3_data_slavefifo_example から生成。params.v で STREAM_IN_ONLY, GPIF_WDT_16 を有効にする
2	sx3_data_in_32	slfifo_interface_impl1_32_streamin.bit	sx3_data_slavefifo_example から生成。params.v で STREAM_IN_ONLY, GPIF_WDT_32 を有効にする
3	sx3_data_in_out_16	slfifo_interface_impl1_16_loopback.bit	sx3_data_slavefifo_example から生成。params.v で LOOPBACK, GPIF_WDT_16 を有効にする
4	sx3_data_in_out_32	slfifo_interface_impl1_32_loopback.bit	sx3_data_slavefifo_example から生成。params.v で LOOPBACK, GPIF_WDT_32 を有効にする
5	sx3_data_in_out_intel	altera_input_flipped.rbf	ソースコード利用不可。コンフィギュレーション更新のテストにのみ使用。
6	sx3_data_in_out_xilinx	xilinx_artix7_abni_test.bit	ソースコード利用不可。コンフィギュレーション更新のテストにのみ使用。
7	sx3_data_out_16	slfifo_interface_impl1_16_streamout.bit	sx3_data_slavefifo_example から生成。params.v で STREAM_OUT_ONLY, GPIF_WDT_16 を有効にする。
8	sx3_data_out_32	slfifo_interface_impl1_32_streamout.bit	sx3_data_slavefifo_example から生成。params.v で STREAM_OUT_ONLY, GPIF_WDT_32 を有効にする。

 関連プロジェクト ファイル

No	SX3 コンフィギュレーション テンプレート	FPGA ビット ファイル名	備考
9	sx3_uac	testptrn_proj_slfifo_audonly.bit	sx3_testpattern から生成。parameters.v で SLFIFO_INTERFACE, SLFIFO_INTERFACE_AUD を有効にする。
10	sx3_uvc_24_bit_isoc	sx3_uvc_24bit_isoc.bit	sx3_testpattern から生成。parameters.v で SLFIFO_INTERFACE を有効にする。i2c_slave.v で INIT_GPIF_WDT 値を 3 に変更。
11	sx3_uvc_fv_lv_bulk_32	testptrn_proj_camera_interface.bit	sx3_testpattern から生成。parameters.v で CAMERA_INTERFACE を有効にする。
12	sx3_uvc_uac_colorbar_bulk_32	Colorbar_Audio_SlaveFIFO.bit	sx3_testpattern から生成。parameters.v で SLFIFO_INTERFACE を有効にする。
13	sx3_uvc_uac_colorbar_isoc_32	Colorbar_Audio_SlaveFIFO.bit	sx3_testpattern から生成。parameters.v で SLFIFO_INTERFACE を有効にする。
14	sx3_uvc_uac_generic_4k	hdmi_4k_project_audio_video.bit	sx3_hdmi_4k_framebuffer から生成。
15	sx3_uvc_uac_generic_1080p	hdmi_fullhd_project_audio_video.bit	sx3_hdmi_1080p から生成。
16	sx3_uvc_uac_hdmi_ite_4K	hdmi_4k_project_audio_video.bit	sx3_hdmi_4k_framebuffer から生成。
17	sx3_uvc_uac_hdmi_ite_1080p	hdmi_fullhd_project_audio_video.bit	sx3_hdmi_1080p から生成。

トラブルシューティング

9 トラブルシューティング

- **デバイスが起動しない**
 - SX3 デバイスは USB ブート モードと SPI ブート モードをサポートします。ブート オプションの詳細は、アプリケーションノート[\[4\]](#)を参照してください。
 - USB エニユメレーション前、デバイス ログは CDC インターフェース経由で利用できません。したがって、CDC インターフェースは起動中にデバッグに使用できません。
- **デバイスが常にブートローダ モードでエニユメレート**
 - PMODE が SPI からのブートに設定されていることを確認してください。ブート モードの選択の詳細は、SX3 データシート [\[9\]](#)を参照してください。
 - コンフィギュレーションが正しい SX3 バリエーションのために作成されていることを確認してください。SX3 UVC コンフィギュレーションは SX3 Data バリエーションではサポートされません。
 - SPI フラッシュが SX3 に適していることを確認するために、アプリケーションノート[\[2\]](#)の「SPI and UART」および「Selection of SPI Flash」のセクションを参照してください。
 - SPI フラッシュが破損すると、SX3 デバイスは USB ブートローダにフォールバックします。ハードウェアに関する問題がないことを確認するために、SPI フラッシュはテンプレート コンフィギュレーションで再プログラミングする必要があります。
 - SX3 は、セカンドステージブートローダをサポートしません。デバイス回復のために、ブート オプションは USB ブートに設定する必要があります。
- **ファームウェアがダウンロードできない**
 - PMODE が USB ブートに設定されているかどうかを確認してください。
 - ブートローダ エニユメレーションが成功していること確認してください。
 - SX3 コンフィギュレーション ツールで報告されたエラーがないことを確認してください。
 - ファームウェアのダウンロードに使用できるツールについては、[ファームウェア更新](#)を参照してください。
- **I²C エラー**
 - FIFO マスターは、SX3 デバイスの必須なレジスタを実装する必要があります。SX3 は、I²C スレーブから ACK を受信しないとき、I²C エラーを報告します。I²C インターフェースおよびレジスタの詳細は、[FPGA での I2C スレーブ インターフェースのサポート - レジスタの詳細](#)を参照してください。
 - FIFO マスターに入力された I²C スレーブ アドレスおよびビデオ ソースが正しいかどうかを検証してください。
 - 必要な I²C 電圧レベルは VIO5 パワードメインと一致する必要があります。アプリケーションノート[\[2\]](#)の I²C インターフェースのセクションを参照してください。
 - SX3 はマルチマスター I²C コンフィギュレーションで使用してはいけません。SX3 データシート[\[9\]](#)のエラッタ セクションを参照してください。
- **FPGA が設定できない**
 - ハードウェア接続が [SX3 による FPGA の設定](#)に従っているかどうかを検証してください。
 - 正しいビット ファイルが SX3 コンフィギュレーションユーティリティで提供されているかどうかを検証してください。
 - Altera Cyclone® 10 FPGA の場合は、.rbf ファイルが LSb ファースト形式であることを確認してください。

トラブルシューティング

• ビデオがストリーミングされない

- `usbview.exe` アプリケーションを使用して、デバイスのエニユメレーションが成功しているか、またビデオフォーマットとフレーム解像度がユーティリティパラメーターと一致しているかを確認してください。
- UVC エンドポイントの DMA バッファサイズがビデオフレームサイズの倍数でないことを確認してください。
- ビデオ解像度のラインサイズ (H 解像度 * ピクセルあたりビット数) が FIFO バス幅の倍数であることを確認してください。
- ビデオ解像度に関連するセンサー²C 書き込みが正しいことを確認してください。これは、CDC インターフェースを使用して確認できます。
- CDC インターフェースレベル 4 で DMA プロデューサ数, コンシューマ数, フレーム レートを検証してください。表示されるプロデューサ数/コンシューマ数は、1 秒あたりに受信/コミットされるバッファ数となります。
- フレーム レートが次の式に基づいて計算されていることを確認してください。
$$\text{Frame rate} = (\text{producer count} \times \text{DMA buffer size (in bytes)}) / (\text{Hresolution} \times \text{Vresolution} \times \text{bytes per pixel})$$
- 周期的な DMA リセットシーケンスを避けるために、DMA ウォッチドッグ オプションを無効にし、ビデオストリーミングをチェックしてください。

• オーディオがストリーミングされない

- オーディオ エンドポイントの DMA バッファサイズを次のように設定してください。
`sample width x number of channels x sampling frequency`
- 必要な ISOC サービス間隔を使用してください。
- Windows Control Panel またはオーディオ ホスト アプリケーションから正しいオーディオソースが選択されていることを確認してください。

ファームウェア更新

10 ファームウェア更新

SX3 ファームウェアは EZ-USB™ SX3 コンフィギュレーションユーティリティのダウンロード オプションを使用して更新できます。

Table 17 に、各種オペレーティングシステムでの SX3 ファームウェア ダウンロードに使用できるツールとドライバーを示します。

Table 17 ファームウェア更新オプション

オペレーティングシステム	ドライバー	ツール	備考
Windows	cyusb3.sys	Control Center	FX3 SDK の一部
	cyusb3.sys	SX3 コンフィギュレーションユーティリティ	イメージとプログラムを生成
	cyusb3.sys	fwdownload_fx3	コマンドラインツール。FX3 SDK の一部
	hidusb.sys	HID_Sample_App.exe	コマンドラインツール。HID インターフェイスが有効になっている状態で、有効な FW がロードされている場合にのみ使用可能
Linux	libusb	SX3 コンフィギュレーションユーティリティ	イメージとプログラムを生成
		cyusb_linux	GUI ベースのツール。FX3 SDK の一部
		download_fx3	コマンドラインツール。FX3 SDK の一部
macOS	libusb	SX3 コンフィギュレーションユーティリティ	イメージとプログラムを生成
		cyusb_linux	GUI ベースのツール。FX3 SDK の一部
		download_fx3	コマンドラインツール。FX3 SDK の一部

参考資料

参考資料

- [1] [AN65974 - EZ-USB™ FX3 スレーブ FIFO インターフェースを使った設計](#)
- [2] [AN70707 - EZ-USB™ FX3/FX3S/SX3 ハードウェア設計ガイドラインおよび回路図チェックリスト](#)
- [3] [AN70983 - EZ-USB™ FX2LP/FX3 のバルク転送ホスト アプリケーションの設計](#)
- [4] [AN76405 - EZ-USB™ FX3/FX3S ブートオプション](#)
- [5] [Technical Note TN1260 - ECP5 and ECP5-5G sysCONFIG Usage Guide](#)
- [6] [FPGA-TN-02014-1.2 - CrossLink Programming and Configuration Usage Guide](#)
- [7] [UG470 - 7 Series FPGAs Configuration User Guide](#)
- [8] [Intel C10LP51003 - Intel® Cyclone® 10 LP Core Fabric and General Purpose I/Os Handbook](#)
- [9] [EZ-USB™ SX3 Datasheet](#)

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2022-03-31	これは英語版 002-31295 Rev. *A を翻訳した日本語版 002-35139 Rev. **です。
*A	2023-01-10	これは英語版 002-31295 Rev. *B を翻訳した日本語版 002-35139 Rev. *A です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-01-10

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2023 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Go to www.infineon.com/support

Document reference

002-35139 Rev. *A

重要事項

本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。