

电快速瞬变脉冲群（EFT）抗扰度设计注意事项

作者：**Shruti Hanumanthaiah、Srinivas NVNS**

相关项目：无

相关器件系列：所有 **PSoC** 器件

相关应用笔记：**AN2155、AN78175、AN96475**

AN80994 介绍了提高嵌入式系统设计中的电快速瞬变脉冲群（EFT）抗扰度的最佳实践。本应用笔记说明了快速瞬变脉冲群对混合信号的嵌入式控制器的影响，并提供了提高 EFT 抗扰度方法，以及有助于降低这些影响的设计建议。它还总结了 IEC 61000-4-4 EFT 测试要求。

目录

1	简介	2	6.3	目标板设计时的注意事项	20
2	EFT 是什么?	2	6.4	固件技术	36
2.1	EFT 波形特性	3	7	总结	38
3	故障模式	4	8	关于作者	38
3.1	复位	5	9	参考材料	39
3.2	闩锁	6	A	附录 A: IEC 61000-4-4 EFT 测试要求	40
3.3	模拟和数字信号的损坏	7	A.1	测试等级	40
3.4	通信故障	7	A.2	测试装置	41
3.5	存储器破坏	7	A.3	测试程序	42
4	性能标准	8		文档修订记录	44
5	故障排除以及提高某出错系统的 EFT 抗干扰方法	8		全球销售和 design 支持	45
5.1	系统	9		产品	45
5.2	PCB 布局	11		PSoC® 解决方案	45
5.3	原理图	13		赛普拉斯开发者社区	45
6	设计注意事项和错误降低技术	16		技术支持	45
6.1	系统级注意事项	17			
6.2	电源供电设计注意事项	18			

安全注意事项



EFT 测试包含危险电压。
必须充分遵守电气安全规则。
请咨询获得认证的安全技术人员。

1 简介

本应用笔记说明了电快速瞬变脉冲群（EFT）对嵌入式控制器的影响，并提供了降低这些影响的硬件和固件技术。本应用笔记还介绍了一系列指南，使用这些指南，设计人员能够构建瞬变抗扰系统。

制订了国际标准，以便说明瞬变特性。这些标准还给产品设计人员提供了有关合规性的测试方法的指导。电气产品快速瞬变抗扰度要求由国际电工委员会（IEC）在 IEC 61000-4-4 中（针对 EFT）定义。

EFT 是什么？ 章节说明了 IEC 61000-4-4 标准中所定义的 EFT 以及测试波形的特性。下一章节，**故障模式**，则介绍了瞬变可能给嵌入式系统造成的影响。**故障排除以及提高某出错系统的 EFT 抗干扰方法** 章节中提供了调试技巧，并列出了一些提高故障系统的 EFT 抗扰度的可用方法。

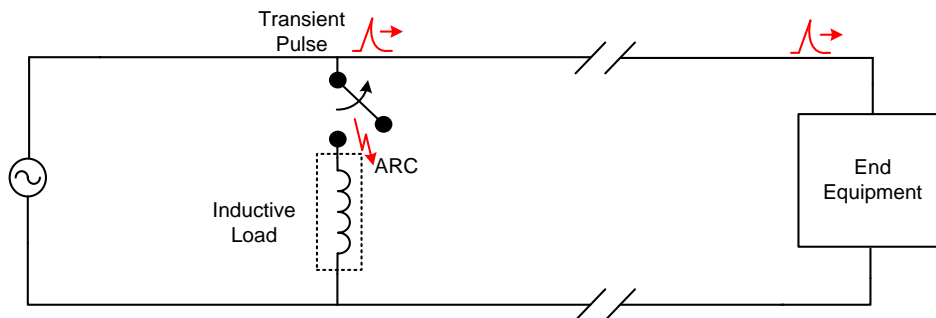
设计工程师的首要目标是：即使在非导电环境下使用，也要确保一个终端产品正常操作及其性能。通常，重点内容为产品的功能，而不是系统本身。设计工程师必须考虑产品设计方面的内容，包括多个问题，比如电磁干扰和抗扰度要求。如果一个产品未通过兼容测试（EFT 或其他测试），则需要重新设计或返工。这样，设计成本会明显增加。这些成本还不包括延迟时间、客户的不满以及市场份额流失。因此，进行系统设计的同时，设计工程师应尽量降低系统的错误。**设计注意事项和错误降低技术** 章节说明了系统设计工程师通过考虑某些设计时间规则可以预先阻止的有关 EFT 的问题。本应用笔记的重点内容是目标电路板设计中的注意事项。它还总结了一个系统及其电源的某些重要设计注意事项。此外，它还提供了固件技术，这些技术可由错误检测和恢复机制组成。

附录部分介绍了 IEC 61000-4-4 标准的总结。本应用笔记还提供了资料以供参考。

2 EFT 是什么？

当电感负载（如继电器、开关接触器或重型电机）处于断电状态时，它将在电源分配系统上生成时间短但频率高的瞬态突变。当工具供电插入或拔出功率因数校正设备时，也会生产这种瞬态突变。导致电源线路瞬变的常见原因是电火花，只要插入交流电源线，并关掉设备，或者打开或关闭电路断路器，将会发生电火花。图 1 显示的是如何生成瞬变噪声，并通过电源线路将其耦合到终端设备。

图 1. 生成瞬变噪声并将其耦合到终端设备

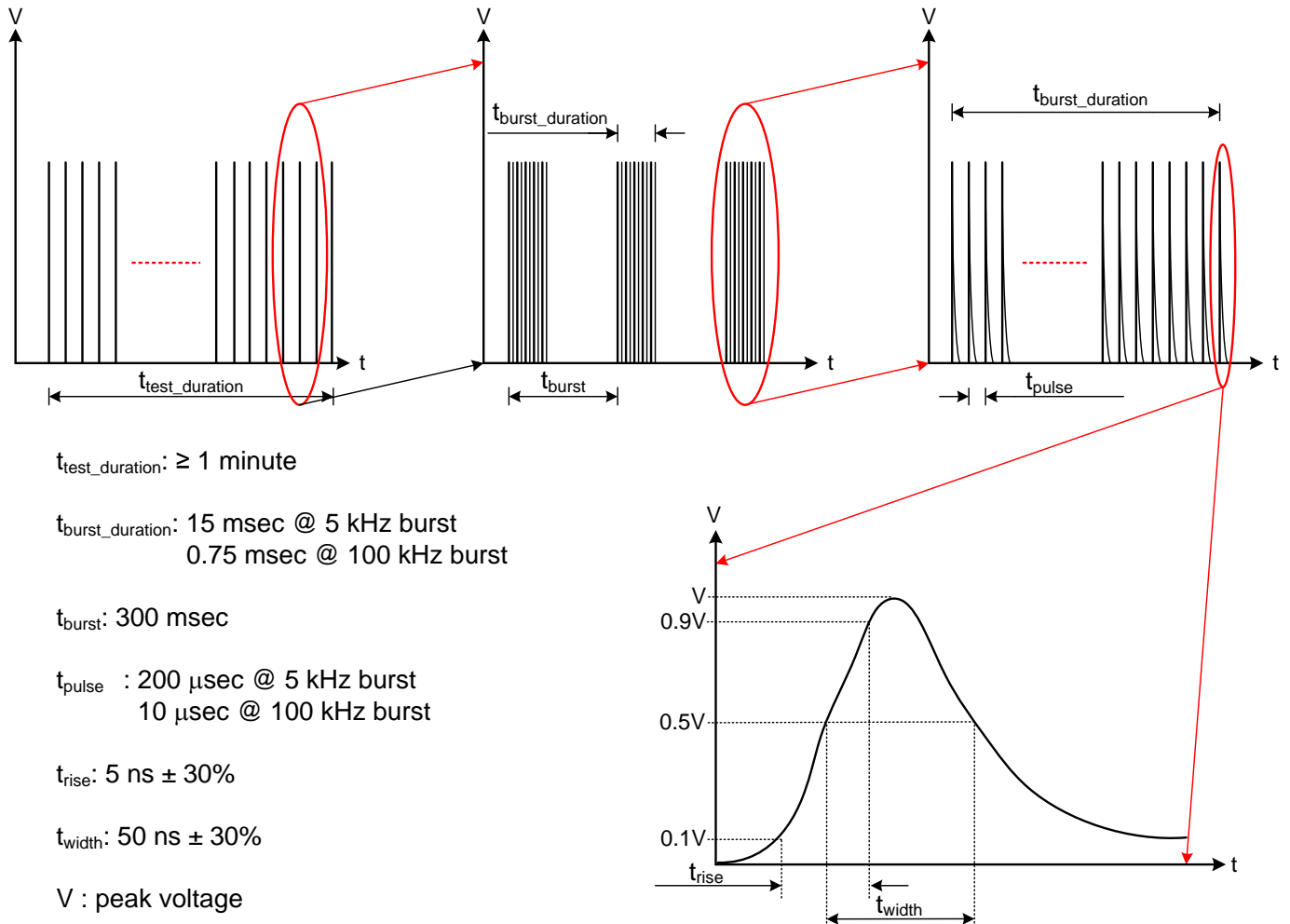


IEC 61000-4-4 规范定义了测试电压波形，这种波形用于模仿通过在交流电源线路路上切换电感负载所造成的瞬变。该规范还定义了抗扰度对重复快瞬变的要求，以及系统所需的测试方法。

制造商会使用 IEC 61000-4-4 标准所定义的 EFT 波形，以便测试经过快瞬变后设备的性能。该测试主要涉及到 EFT 脉冲被注入到设备的交流电源线路内。EFT 波形还可以被注入到信号线路、控制线路以及接地连接内，以便模仿这些线路上瞬变噪声的耦合。脉冲波形具有高幅度（0.5 ~ 4 kV）、上升时间短、高重复率和低能量等特性。IEC 61000-4-4 还根据脉冲波形的幅度定义了测试级别。图 2 显示的是 IEC 61000-4-4 规范中所定义的波形形状。它包含在一分钟的时间内每隔 300 毫秒重复一次的 75 个脉冲突发。测试期间，正极性和负极性 EFT 脉冲均被注入。

这样，测试目的是为了显示电气和电子设备经过这种快速瞬变时的抗扰度。实际上，存在多个国际标准，它们指定了特定类型的设备的瞬变抗扰度性能的要求。例如，欧洲联盟的 EN 55024 介绍了信息技术设备的测试要求和性能标准。与之类似，IEC 61547 则说明了照明设备的测试要求和性能标准。全部这些标准的要求和测试方法都来自于 IEC 61000-4-4。请咨询您当地的标准制定机构，以获得所设计设备的相关抗扰度性能标准。

图 2. EFT 测试脉冲波形



2.1 EFT 波形特性

图 2 显示的是连接至一个 50Ω 负载的单个脉冲（如 IEC 61000-4-4 规范中定义）的波形形状。每个单独脉冲都是一个双指数波形，其特性表现在上升时间为 5 ns 和总持续时间为 50 ns 。IEC 61000-4-4 定义了 EFT 抗扰度的各种测试级别。峰值电压随着测试级别而不断增加。表 1 列出了每个测试级别中脉冲的峰值电压 V （如图 2 所示）。

表 1. IEC 61000-4-4 测试级别

级别	电源终端		I/O 信号/数据终端	
	峰值电压 (kV)	重复率 (kHz)	峰值电压 (kV)	重复率 (kHz)
1	0.5	5 或 100	0.25	5 或 100
2	1	5 或 100	0.5	5 或 100
3	2	5 或 100	1.0	5 或 100
4	4	5 或 100	2.0	5 或 100
X ^a	特殊	特殊	特殊	特殊

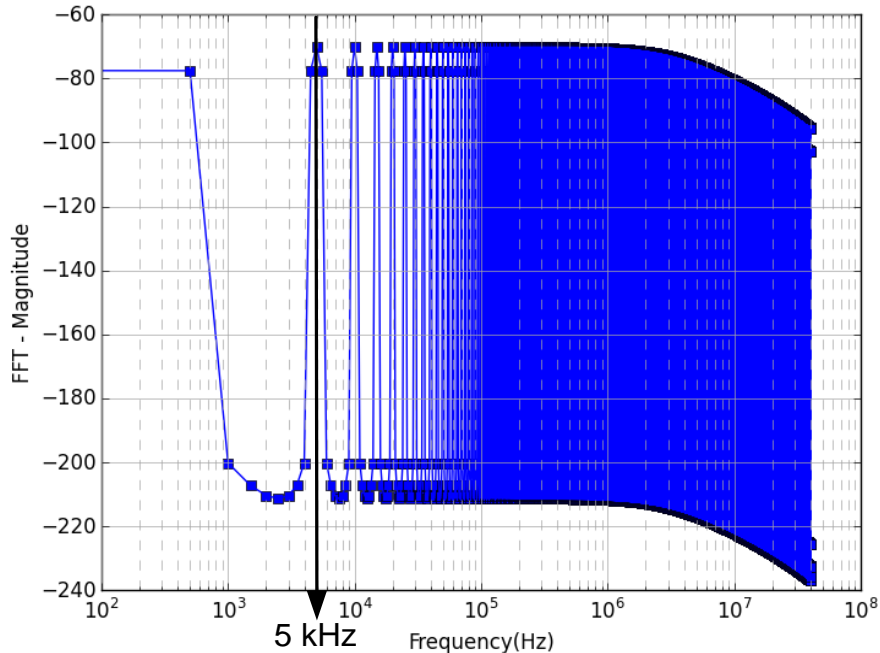
注意 1: 重复率的典型值为 5 kHz; 但在现实生活中, 100 kHz 更接近实际值。

注意 2: 制造商决定了需要测试的终端。

“X” 是一个特殊级别。该级别必须在设备规范中被指定。

它有助于深入了解 EFT 突发的频谱。图 3 显示的是在 5 kHz 时脉冲突发的频谱。请注意, 突发频率 (5 kHz) 可以是频谱中最具优势的幅度之一。该问题应多加考虑。通常, 过滤 EFT 脉冲相当容易, 然而当提供了较低频率 (5 或 100 kHz) 的突发时, 进行过滤会变得比较难。如果每 300 ms 低频率突发本身又被重复一次, 这样将提供另一个频率为 3.33 Hz 的组件。

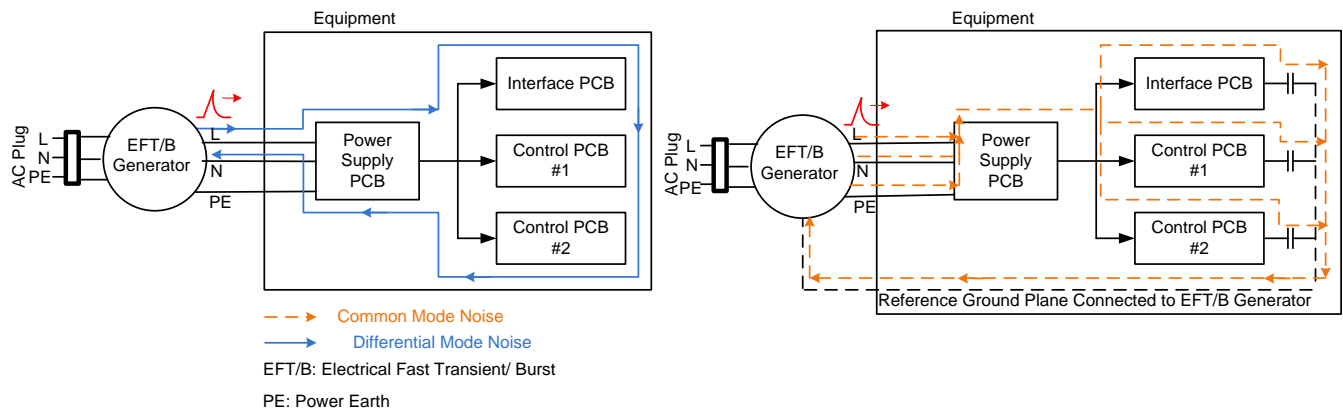
图 3. EFT – 5 kHz 突发: 频谱



3 故障模式

瞬变引发的噪声将通过交流电源线、直流电源和信号/控制线路导电被耦合到终端设备。在该设备中, 如果没有采取适当的过滤方式, 则噪声会传输到不同的 PCB 上, 如图 4 所示。在设备中可以存在直接或间接耦合的噪声。直接耦合指的是瞬变作为噪声时通过电源、地面、信号或控制线路流过易受影响的电路。间接耦合是通过一个与电磁辐射相邻的导电界面发生的。

图 4. 差模和共模噪声 (由设备中正极性瞬变引发) 的可用传输路径



如图 4 所示，瞬变引发的噪声可能是共模噪声，也可能是差模噪声。共模噪声在两个导体中存在或被其“共用”。通常，共模噪声存在于各导体的“同相位”中。差模噪声仅存在于一个导体中，或存在于两个导体的反相位中。

嵌入式控制器的设计目的是生成信号（如高速串行通信时钟，该信号的时序规范相当于瞬变引发的噪声的实现规范），并在这些信号上进行操作。因此，瞬变引起的噪声会干扰这些信号。在广泛的分类中，以下模块、引脚和信号受瞬变引发的噪声的影响最大：

- 电源与接地信号
- 复位电路
- 时钟/振荡器信号
- 边沿敏感的触发器
- 高频率数字信号
- 模拟信号
- 通信模块，如 I2C、SPI、UART
- CPU
- 闪存/RAM

如果瞬变引发的噪声影响到这些模块中的一个或多个，则会发生以下系统故障类型：

- 复位
- 闩锁
- 模拟和数字信号的损坏
- 通信故障
- 存储器破坏

3.1 复位

由于瞬变引发的噪声，器件可以进行以下某种复位：

- 外部复位
- 上电复位
- 基于低压检测（LVD）的复位
- 欠压复位
- 看门狗复位
- 软件复位

复位引脚上瞬变引发的噪声可以触发一个外部复位。因此，根据复位引脚为高电平有效或低电平有效，一个外部复位可以因供电电压降低或接地参考电压发生变化而发生。某些控制器还具有备用的复位引脚。在这种情况下，器件还可以因备用复位引脚上的噪声而被复位。

图 5. 供电线路上的瞬变噪声波形 (在一个交流-直流转换器的输出上测量得出)

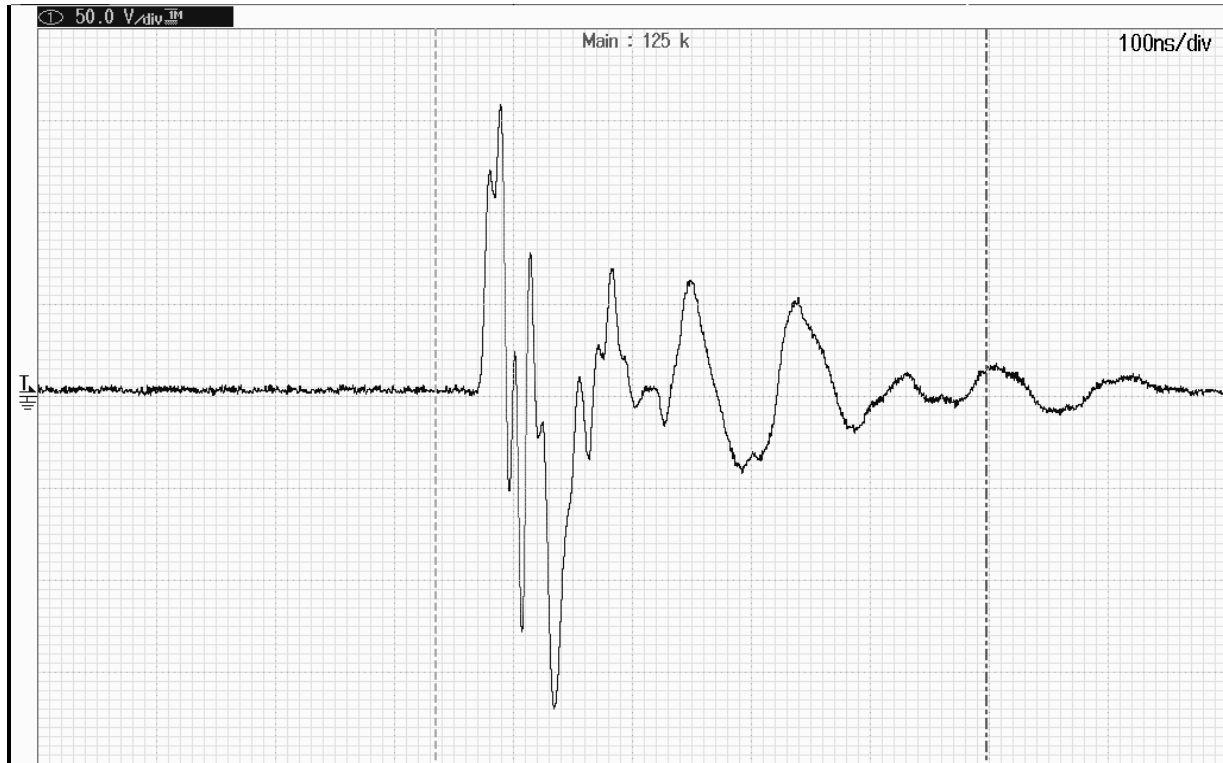


图 5 显示的是 EFT 测试波形被注入到转换器时供电线路上的瞬变噪声波形 (在一个交流-直流转换器的输出上测量得出)。正如您所看到的, 峰值电压为~350 V。当交流-直流转换器的输出端存在负载 (如控制器电路) 时, 噪声的特性可能会因滤波器以及控制器供电引脚上的去耦网络不同而不同。

上电、LVD 和欠压等复位类型将在以下各种情况下发生:

- 瞬变引发的噪声下拉了供电电压
- 瞬变引发的噪声改变了接地参考电压
- 瞬变引发的噪声触发了 I/O 上 ESD 钳制电路, 使器件能够观察到有效供电电压降低, 从而触发欠压复位

如果有效供电电压低于器件工作电压范围的最小值, 则会发生上电复位。如果在控制器使能了欠压复位和基于 LVD 的复位, 则当有效供电电压低于触发电压并能够在超过最小时间内保持该电压值时, 会发生这些事件。

如果固件无法及时清除看门狗定时器中的内容, 那么会发生一个看门狗复位。这是因为一个故障子系统 (如 CPU 或闪存) 通常会引发意外的固件操作。

如果检测到系统中的异常行为 (如: 由于信号完整性的损坏, 主设备收到错误数据) 时, 主设备需要复位从设备, 那么将发生一个软件复位。如果代码执行不正常, 并且输入了一个异常代码, 也会发生软件复位。这种不正常的代码执行的原因可能是 CPU、时钟、闪存或 RAM 中的损坏状态。

3.2 闩锁

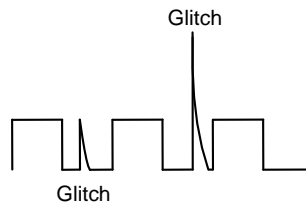
闩锁指的是瞬变引发的噪声没有造成实际损害的系统故障类型。它会使能电路上的所有组件, 从而使电源能够破坏器件, 或者电路无法运行 (除非执行一个电源周期复位)。接地反弹或接地参考电压的变化 (由瞬变引发的噪声导致) 可以使 CMOS 电路进入闩锁状态。具体地讲, 这是在 CMOS 电路的电源轨之间创建一个低阻抗路径的过程, 从而触发一个承载寄生电流的路径, 该触发操作会破坏器件的正常运行。进行一个电源周期复位可纠正这种情况。由于过电流, 闩锁会引起器件的破坏。

3.3 模拟和数字信号的损坏

与低带宽数字电路或慢速模拟电路相比，快速数字电路更容易发生基于 EFT 的故障。

边沿敏感的输入更易受瞬变引发的噪声的影响。即使已经使用了低通滤波器，一个足够大的瞬变能够注入的电能仍足以破坏器件的操作。瞬变还可以作为毛刺传输，如图 6 所示。在输入是高速数字输入（如时钟和数据输入）的情况下，这些毛刺会被误认为是有效的数据脉冲。

图 6. I/O 信号上的毛刺（由瞬变导致）



振荡器/外部时钟引脚也会受瞬变噪声的影响。瞬变本身可以被控制器视为有效时钟脉冲。

由于信号的损坏，在模拟模块的模拟输入引脚上出现的瞬变，会导致失真数据。处理低电平模拟信号时，该效应可能更严重。

通常，控制器上的输入/输出端口具有多种功能。通过更改引脚状态、驱动模式或引脚功能，瞬变事件也会破坏引脚/端口的正常运行。在极端情况下，实际上，瞬变事件可以触发引脚上的 ESD 保护模块并使控制器进入闩锁状态。

3.4 通信故障

嵌入式应用中的常用通信协议分别是 I2C、SPI 和 UART。通信故障可以由以下原因引发：

- 控制器中的通信模块故障
瞬变引发的噪声（通过电源和地面传输到内部电路）可能会使该模块受到损害或应力。
- 时钟线路上的时钟延展或毛刺
时钟信号上的毛刺可能会破坏操作。另一方面，如果器件无法收到其他器件的 ACK 信号，时钟可能被延展。这可能是由内部模块的故障或主设备的故障（需要发送 ACK）引起。当控制器中的状态机发生故障时，时钟也可能被延展。
- 信号完整性破坏
由于电源和地面上的高噪声被传输到被引用的通信线路上，信号完整性可能受到破坏，因此违背了协议规范。
- 收发器的故障
在 UART 通信的另一端，I²C、SPI 主设备/从设备或发送器/接收器易受瞬变噪声的影响。这些器件的复位、损害或故障会破坏该通信。
- 数据查看系统（如电脑）和控制器（如 USB 至 UART 桥接器、RS232、UART 电平转换器和串行线缆）间的接口会发生故障。

本质上，UART 比 I²C 或 SPI 协议更稳定，因为在 UART 协议中，信号采样将在位时间窗口的中心进行，而 I²C 或 SPI 中的信号采样则在时钟边沿进行的。用于 UART 通信时，由于更高的电压电平，电平转换器提高了信号容限，从而提高了 SNR。

3.5 存储器破坏

瞬变引发的噪声会破坏存储器（如闪存或 RAM），因为这些存储器会对系统时钟或闪存写入电压造成干扰。存储器被破坏时，由于一个闪存校验和错误，系统可能会无法被启动，或者闪存或 RAM 中的损坏数据或代码可以使系统无法正常操作。闪存损坏可能是永久性的，或者需要进行一个电源周期复位或重新编程才能恢复到正常状态。另一方面，由于 RAM 的损坏，要想恢复正常操作，可能需要进行一个电源周期复位或任意其他复位。

子系统故障可能是永久性的，也可能是暂时的。如果损害是永久性的，那么很容易检测出来。如果损害是暂时的（如门锁或存储器损坏），那么对设备执行电源周期复位能够恢复其正常操作状态。经过 EFT 测试时，子系统可能被部分损害，但仍是功能齐全的。受到电源、高温或不正常工作条件的影响时，被损害的组件可能会发生永久性的故障。这种潜在影响很难被发现和解决。

4 性能标准

一个控制器的功能损失或性能降低（与其规范在 IEC 61000-4-4 中所定义的性能相关）可被分为以下各种标准。

表 2. 性能标准

标准	说明
性能标准 A	测试后，正常的性能符合制造商指定的标准。
性能标准 B	测试期间，它们的功能会暂时损失或性能被降低；测试后，无需任何干预，控制器可以恢复其正常性能。
性能标准 C	测试期间，功能会暂时损失或性能被降低；测试后，需要干预才能使控制器恢复其正常性能。
性能标准 D	测试期间功能会损失，并且性能会降低；由于损害，控制器无法恢复正常状态。

需要特别注意的是，被评定为特定系统的故障条件可能与另一个系统无关。例如，在执行 EFT 测试期间，一个工业处理控制器不能接受间接性的器件复位，但用户接口可接受这种复位。因此，必须考虑终端应用的要求及其容忍瞬变噪声的能力。

5 故障排除以及提高某出错系统的 EFT 抗干扰方法

对瞬变引发的噪声问题进行有效的故障排除非常重要，但它通常被视为系统合规性测试的部分。在进行合规性测试时，如果发生故障，设计师应确定故障原因。设计师和负责运行合规性测试的人必须合作确定故障的原因。

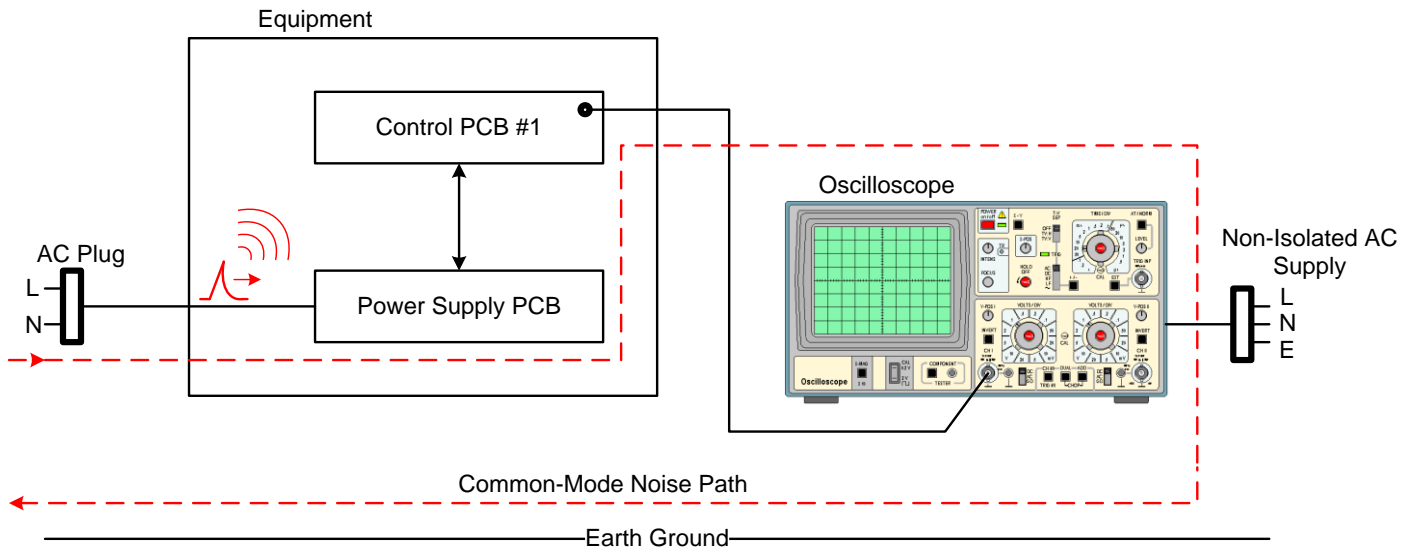
如果能确定故障类型，那么可以快速识别在使用微控制器的系统中发生的大多数故障。在进行 EFT 测试期间或在进行该测试后，您应该确定在系统中所发生的故障类型（前面内容中介绍了这些类型）以及它们的原因。

您一旦确定了相关故障的原因，请逐步解决它。下面是一些故障排除的提示：

1. 查找复位相关的问题时，在测试期间检测该控制器的供电引脚并查找明显的原因。在固件中设置一个调试程序，用于指示一个复位。
2. 如果发生了某个栓锁，请观察由控制器抽取的电流是否超过它的普通额定值。在其他情况下，请通过引入调试程序来查找一个固件冻结。
3. 对于模拟或时钟相关问题，请检测相关的 I/O 线以发现噪声或短时脉冲。如果同某个器件的通信被限制，则需要注意时钟延展。
4. 如果闪存/RAM 被损坏，则应该配置一个固件调试程序（如端口引脚切换）并监控该引脚的状态，从而检查固件流程是否满足预期条件。在进行这些测试期间以及进行这些测试后，请读取受影响存储器中的内容。

请注意，建议使用带有隔离接地的示波器。否则，示波器接地会分流瞬变噪声，从而使读取结果有误。在典型的示波器中，信号接地端被内部接地。请参考图 7。

图 7. 通过示波器分流的瞬变噪声



如果某个设备因存在瞬变噪声而发生故障，那么请根据下列各进行项尝试并解决这些问题：

- 在系统级别上，优化系统连接器和线缆路由。
- 在硬件级别上，更改布局并使用滤波器
- 固件级别的抗干扰技术

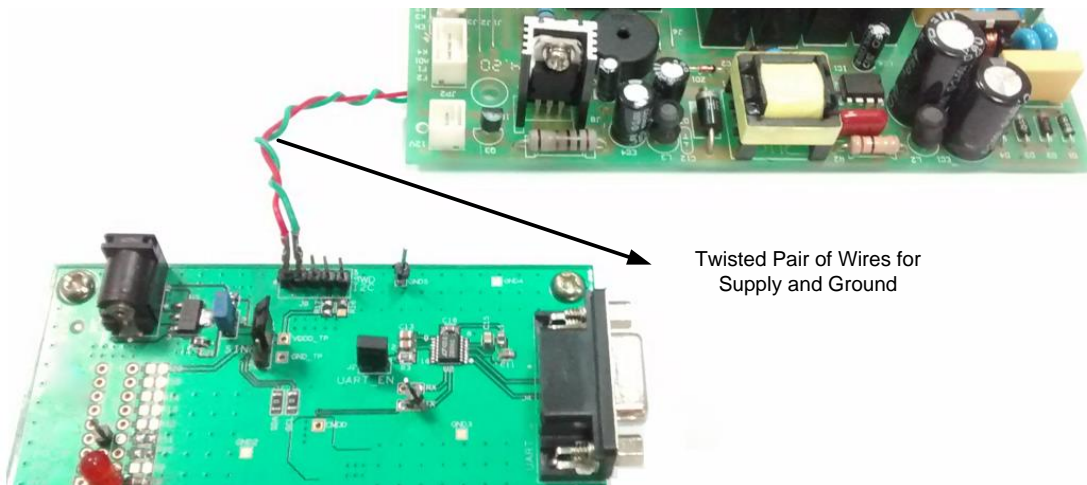
5.1 系统

如果没有注意某些系统级的基本注意事项，系统易受瞬变噪声的影响。下述普通注意事项有助于提高 EFT 抗干扰：

5.1.1 系统连接器

尽量缩短各个线的长度或通过缠绕电源和接地线和/或缠绕信号和接地线（如果它们的长度如图 8 所示）在输入点上优化电源和信号连接，从而抑制瞬变突变。这样能够最小化目标板上的敏感信号和外部噪声源间的耦合。

图 8. 目标板和电源板间的系统电源连接



5.1.2 系统线缆路由

请勿将经滤波和未经滤波的导线路由到单线缆组合内，或使它们相互接近。要使噪声生成器（如继电器和电感负载）中的各条导线远离敏感导线（如低电平模拟信号和通信线（如 I²C、SCL、SDA 和 UART））。

5.1.3 焊接实践

实现导线或组件的良好焊接，不正确的焊接或干燥焊接会使路径上的电感递增。一个好的设计需要确保电流路径上的电感最小（这样阻抗最小）。更多有关焊接实践的信息，请参考电阻组件标准 IPC-A-610F 中介绍的内容。

5.1.4 系统测试

将系统设置为它的正常工作条件，以实现 EFT 测试。在目标板的最终系统中测试该板，这样可以避免发生所有现场故障。在最终系统中调校系统原型，以获取 EFT 抗干扰性能。通过遵守测试规范，您可以准确评估设备的抗干扰能力。

5.1.5 电源和信号线的连接

如果您在电路板上多个点进行了电源、接地和信号/控制线的连接，则所有点上的连接不需要提供相同的性能。例如，在图 9 内放置电源和接地（GND）输入点，以便进行去耦和批量电容被旁路，而且控制器可以检测到所有噪声。所形成的电流环路为 L1。由电源或接地挑选的噪声会通过该控制器。这样会引起控制器复位。

为了避免这种情况，请按照图 10，更改该电路板的接地输入点。去耦和批量电容在这里有效。形成环路 L2 和 L3。经过 L2 的电流会通过该控制器，它是滤波后的电流。通过使用 L3 可以消除高频噪声。

图 9. 错误电源输入点（电源和接地旁路滤波器电容，并且直接为控制器供电）

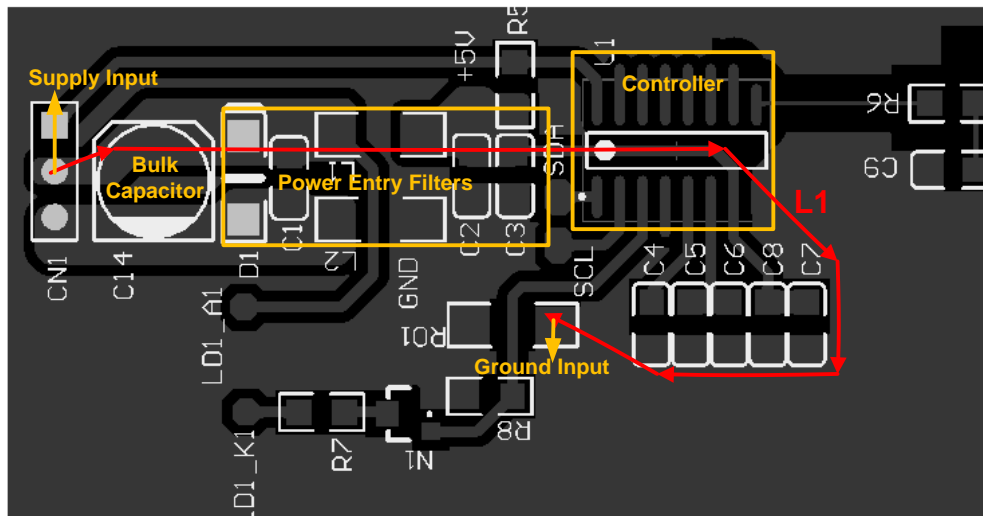
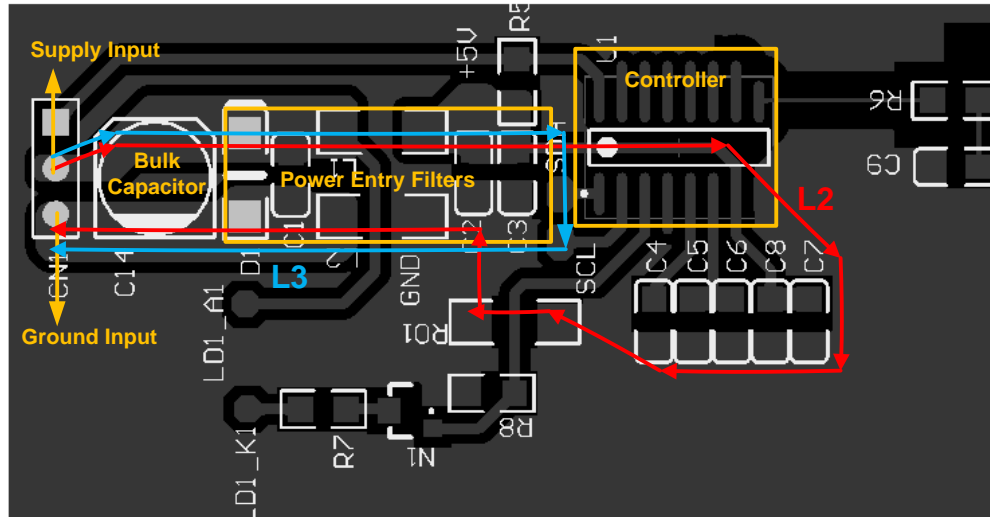


图 10. 正确的电源输入点（去耦电容滤波电源线，并为控制器供电）



5.2 PCB 布局

查看 PCB 布局并注意 PCB 的关键部分，如下所示：

5.2.1 去耦/旁路网络

如果 PCB 的布局很差，那么会使电路板上的去耦/旁路电容无效。对于去耦网络，应考虑以下内容。

请勿将连接至电源的过孔放置在旁路电容前面，而要将电源路由到不同的功能模块。在这种情况下，在电源检测到旁路电容前，仍能够将电源路由到该电路的其他部分，从而使旁路电容无效。错误路由可以旁路去耦电容，因此，控制器可以直接检测到带有耦合噪声的电源和接地线。

应该路由电源和接地线，从而使去耦电容为控制器供电。图 11 和图 12 显示的是错误的和正确路由的示例。在图 11 中，在电源输入点和控制器的 V_{DD} 引脚间形成 L1。请注意，电源路径 L1 会旁路储能和去耦电容。在图 12 中路由走线，从而使电源在到达控制器前先经过批量和去耦电容（通过路径 L2）。

图 11. 错误布局：旁路去耦电容

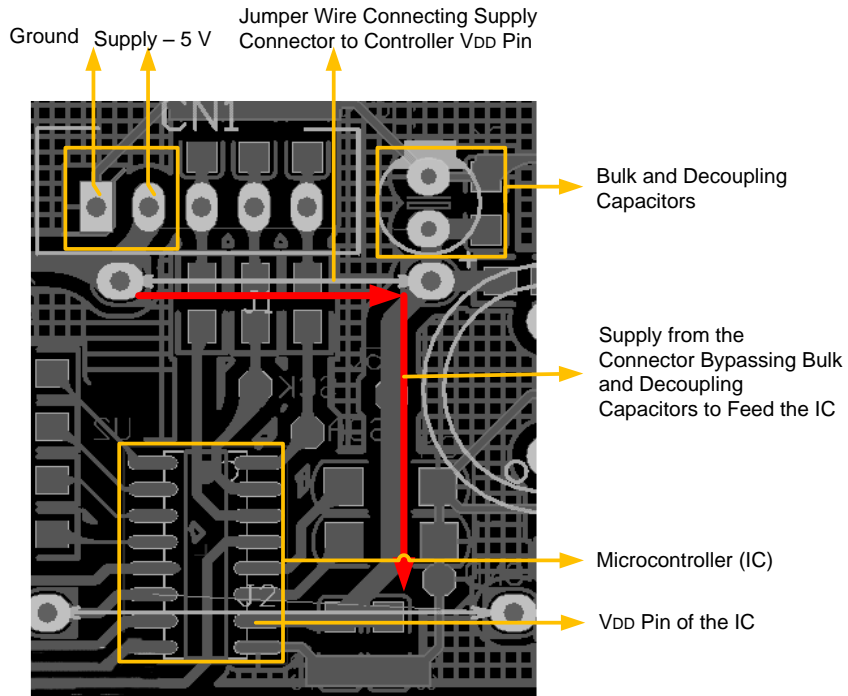
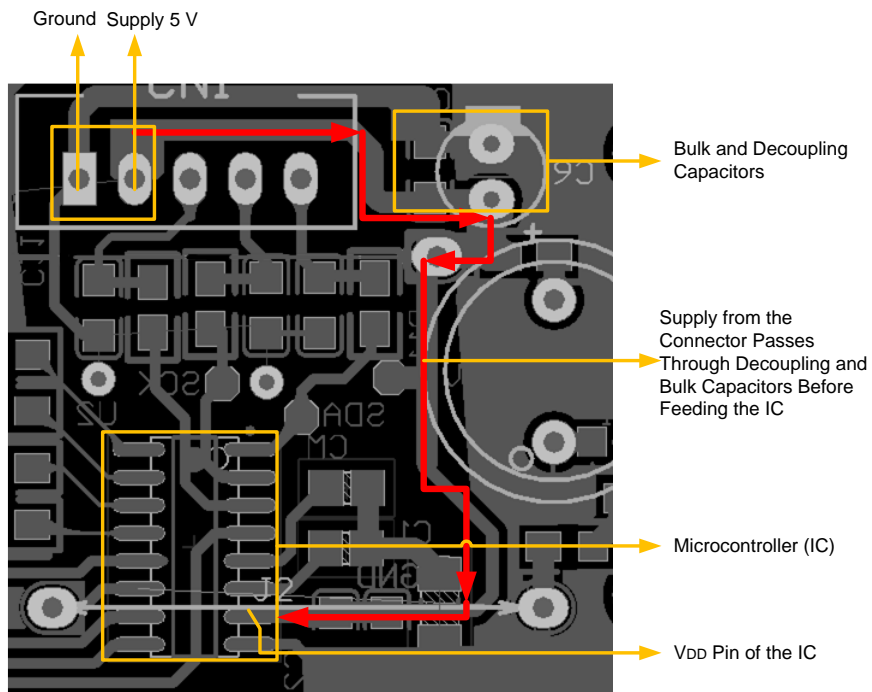


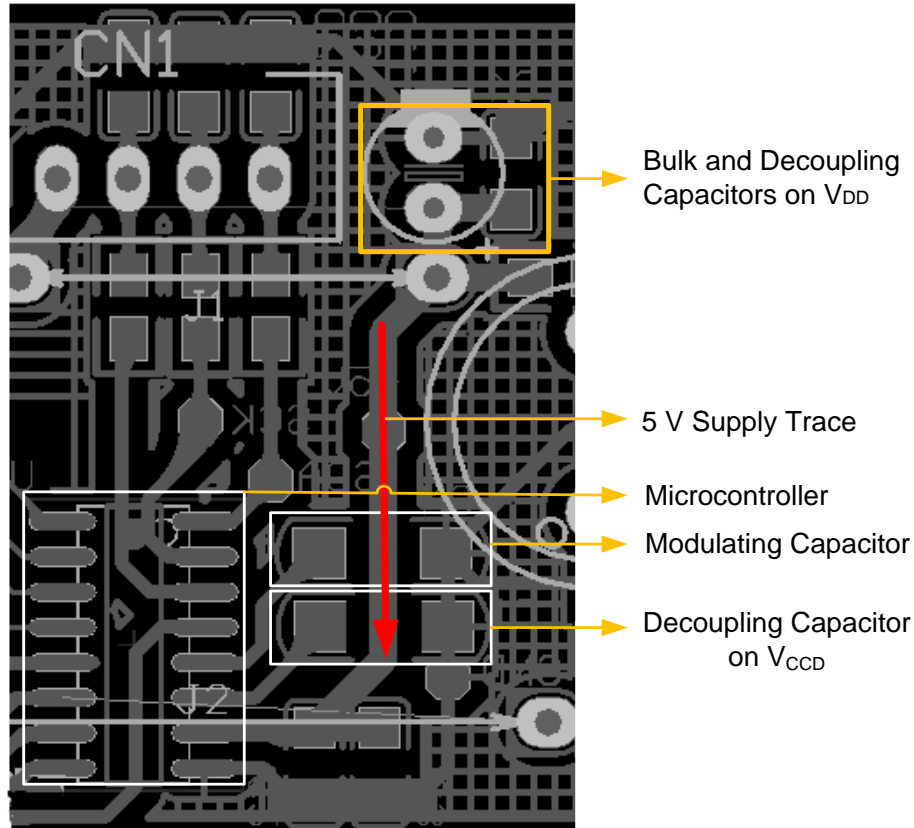
图 12. 正确布局：去耦电容有效



5.2.2 信号交互

检查是否存在噪声，如未经滤波的电源交叉敏感信号或组件。

图 13. 信号交叉的示例布局



在图 13 中，未经滤波的 5 V 电源线需要通过去耦电容，以生成需要用于 CapSense 功能的内部稳压静态电源和调制电容。5 V 电源上的噪声可以与稳压电源和经调制的信号耦合。

如果您在该布局中找到任何相似的错误，应尝试修改该 PCB。请注意，并非所有布局问题都可以在现有的电路板上得到纠正。对布局进行大量改进，或者正确布局经过了测试并通过了 EFT 测试时，您需要重制电路板。更多有关 PCB 原理图和布局的建议，请参考设计注意事项和错误降低技术部分的内容。

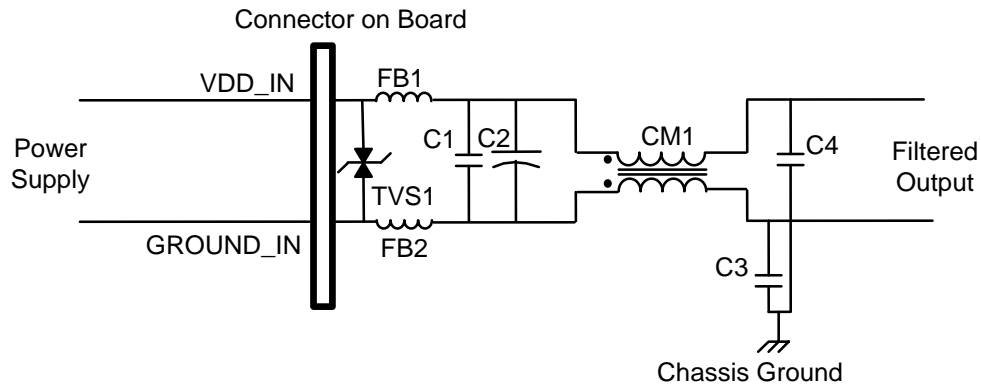
5.3 原理图

通过使用滤波器提高出错电路板的性能。电路板上不同部分的滤波器如下：

5.3.1 电源输入点滤波器

- TVS 二极管 (TVS1)，示例 1：由 Littlefuse 生产的 SMAJ6.0CA
- 铁氧体磁珠 (FB1、FB2)，示例 1：由 Murata 生产的 BLM18PG331SN1
- 旁路电容 (C1)，典型范围 1：0.1 μF – 1 μF
- 储能电容 (C2)，典型范围 1：10 μF – 100 μF
- 共模扼流圈，典型范围 1：2-10 mH；示例 1：由 Murata 生产的 50475C（5000 系列）
- 旁路电容 (C3、C4)，典型范围 1：0.1 nF - 1 μF

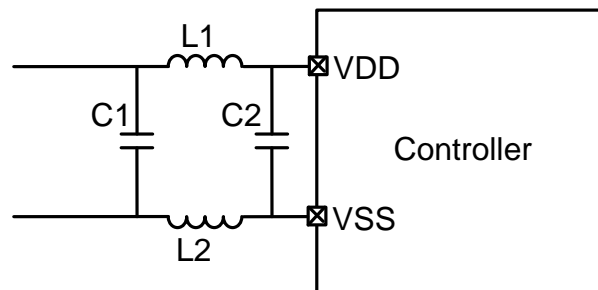
图 14. 电源输入点滤波器原理图



5.3.2 控制器供电引脚上的滤波器

- 滤波器电容（C1），典型值 1：1 μF
- 电感（L1、L2），典型值 1：4.7 μH ，示例 1：由美国 Renco 生产的 RL-1505 系列
- 去耦电容（C2），典型范围 1：0.01 μF –0.1 μF

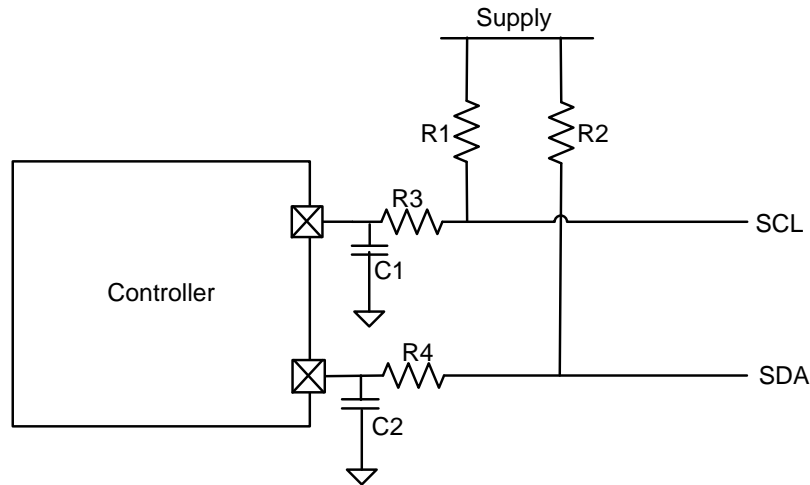
图 15. 控制器的供电引脚附近的滤波器



5.3.3 通信线上的滤波器

I²C 线

- 上拉电阻（R1、R2），典型范围 1：4.7 k Ω - 10 k Ω
- 串联电阻（R3、R4），典型范围 1：100 Ω - 330 Ω
- 滤波器电容（C1、C2），典型值 1：10 nF

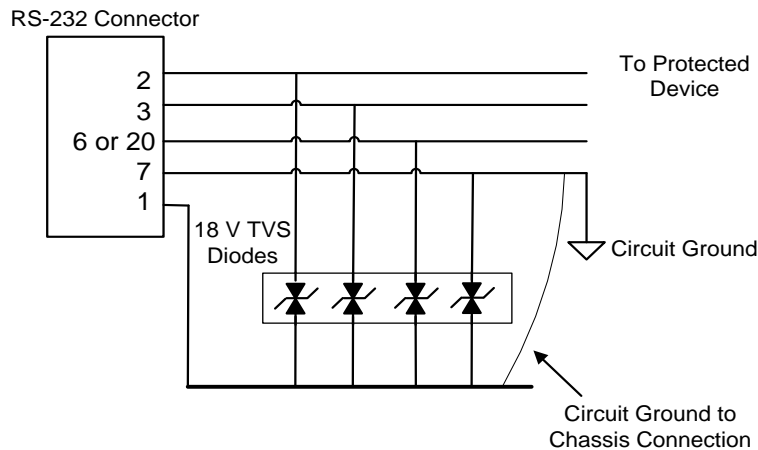
图 16. I²C 线上的滤波器


请注意，类似的滤波器也适用于 SPI 线。

UART 线

- 电隔离电平转换器。另外，使用 RS232 电平转换器并使用经滤波的电源和接地给电平转换器供电。
- TVS 二极管

图 17. UART 线上的 TVS 二极管滤波器

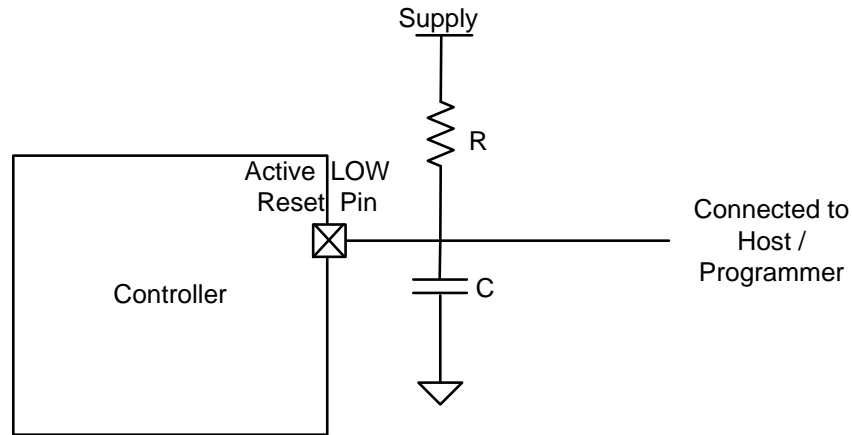


复位和中断引脚上的滤波器

- 上拉电阻 (R)，典型值¹: 10 k Ω
- 滤波器电容 (C)，典型值¹: 0.1 μ F

¹ 这些典型值和示例只是象征性的。您需要根据应用选择滤波器类型以及它们的值。更多有关选择滤波器以及它们的值的信息，请参考设计注意事项和错误降低技术中的内容。

图 18. 复位引脚上的滤波器



对于高电平有效复位引脚，使用接地的下拉电阻和滤波器电容。同样要注意所有备用复位引脚。将类似的滤波器用于中断线。

I/O 线上的滤波器

- RC 在连接器附近进行滤波，以获得将要该电路板上输出的信号
- RC 在该引脚附近进行滤波，以获取将要输入的信号

根据 I/O 线上的信号的频率选择各个值，以便使截止频率是信号频率的十倍。

通过使用 1 或 10 kΩ 的电阻将未使用的 I/O 连接到电源或（板上）硬件中的）地面。

除了系统和硬件级的修复外，您还可以使用固件中的技术来检测由瞬变引发的噪声所导致的不良影响，并为其实现解决方案。某些有用技术在本文档中的[固件技术](#)部分进行了介绍。

另外，电源供电可能没有良好的滤波器，这样将无法降低由瞬变导致的共模和差模噪声。然而，修改电源供电比较难，并且很危险，除非重新设计该电路板。因此，除非其他所有技术均无效，该方法才会作为修复出错系统中的 EFT 问题的最后选择。更多详细信息，请参考[电源供电设计注意事项](#)中的内容。

6 设计注意事项和错误降低技术

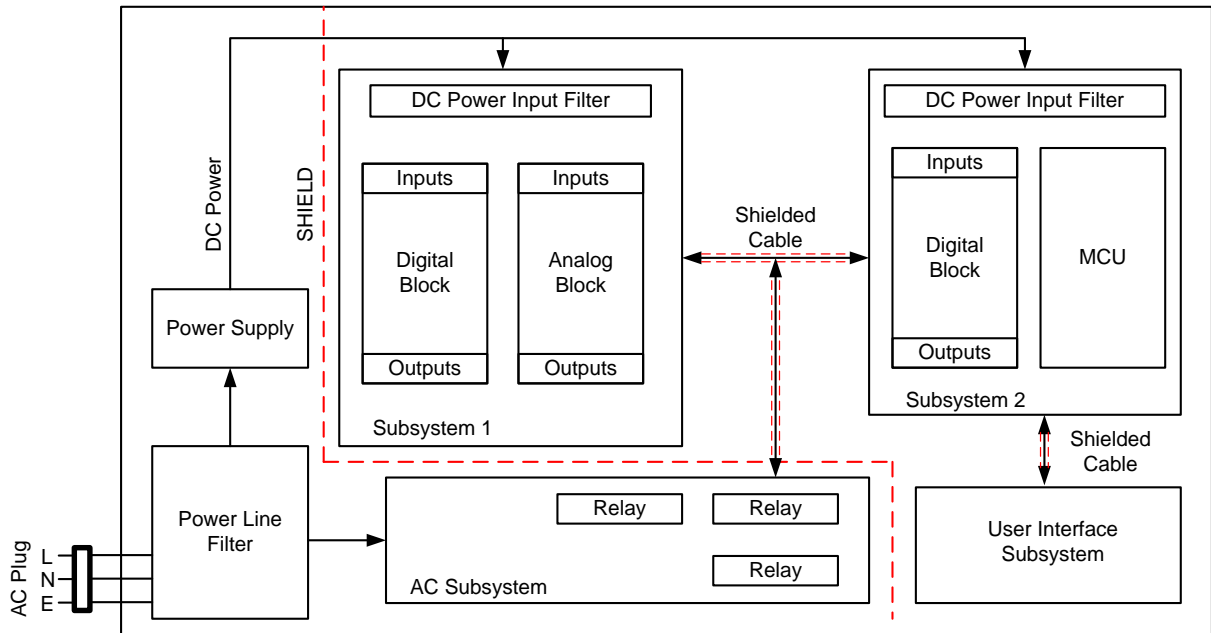
降低由瞬变噪声导致的故障的技术主要包括：

1. 通过提供阻抗最小的返回路径将瞬变能量反馈给电源
2. 瞬变能量被传输到敏感电路前会先会耗散该能量
3. 设计免受瞬变引发噪声影响的固件/软件

能够使用错误降低技术的内容，可以分为不同的范围。

1. 系统级注意事项
2. 电源供电设计注意事项
3. 目标板设计时的注意事项
4. 固件技术

图 19. 典型电子系统中的子系统



设备性能由控制器、封装、硬件设计、系统设计以及固件决定。您应该采取的第一项措施是提供一个良好的电源。对目标板而言，需要通过优化布局防止瞬变。您可以使用滤波器来提高抗干扰功能。

类似于其他设计内容（如硬件或固件），系统设计对设备的性能也起着重要作用。由于系统问题，设计良好的 PCB 也会出错。下列内容汇总了系统注意事项和电源供应设计注意事项。另外也详细说明了目标板原理图和布局的指南。用于错误检测和恢复的固件技术也被汇总在这里。

6.1 系统级注意事项

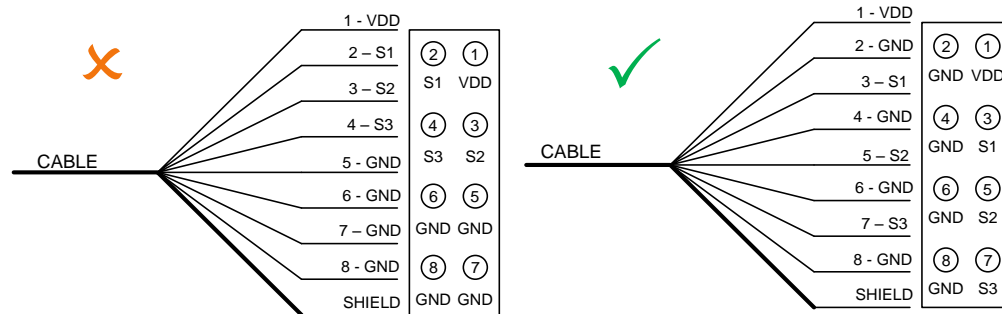
6.1.1 根据电源供电放置子系统和子系统组件

准确放置子系统（和子系统组件）对提高由瞬变引发的噪声的抗干扰起着重要作用。通过将系统设计中的功能结合在一起，从而合并这些子系统。准确放置这些子系统，会使走线路由变得更简单。进行放置时，必须使子系统与电源供电物理隔离开（或以电气方式保护所有子系统）。通过使用单独的 PCB 可以实现该操作。如果无法使子系统与电源供电物理隔离开，可以使用一个屏蔽（金属外壳）来保护这些子系统，从而使这些子系统免受电源供电区域中由辐射瞬变引发的噪声的影响（如图 19 所示）。通过使用合适的滤波器拓扑，可以降低瞬变噪声。

6.1.2 电源/信号输入和线缆路由

在使用线缆连接的子系统间以及在印刷电路板上单独路由由各电源线和信号线。屏蔽将要输入到目标板的重要信号，避免它们受噪声影响。通过将这些信号放置在经滤波接地线的相邻位置来实现该操作，如图 20 所示。

图 20. 线缆中的电源/信号路由



使用铁氧体磁珠滤波器来保护被路由到敏感电路的电源供电线缆。更多详细信息，请参考目标板设计时的注意事项中的内容。

6.1.3 板上连接器的位置

将板上连接器放置在这些电路板的边沿上，不仅能为该电路板提供足够的机械稳定性，而且还能为设计师提供一个简单的方法，从而能够有效地去耦由瞬变引发的噪声组合。

6.2 电源供电设计注意事项

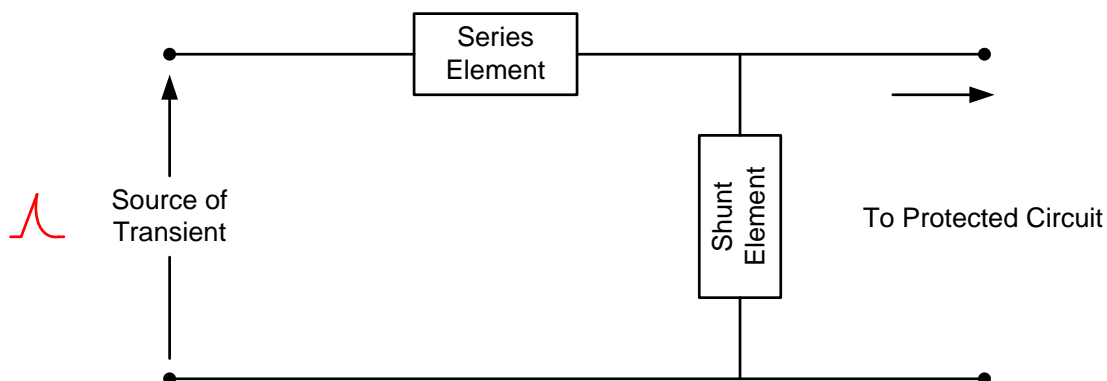
通常在交流或直流电源输入点，需要一个瞬变抑制装置。几乎所有电源线滤波器都可以处理低功耗且快速的瞬变。通过使用由铁氧体内核制成的共模扼流圈，可以在电源线上实现其他抑制。由于变压器提供电隔离和串联阻抗，因此使用变压器的线性电源供电的抗干扰性能更高。使用开关电源时，电源控制器会受噪声的影响。本节为电源供电原理图和布局的设计提供各种注意事项，以防止瞬变脉冲。

应该使用瞬变保护网络来抑制电源供电上所有输入瞬变变化。这些网络应该具有以下功能：

- 限制电压
- 限制/疏导电流
- 耗散瞬变能量
- 快速响应和
- 使瞬变有效

瞬变抑制网络的通用配置如图 21 所示。该网络包含一个串联元件和一个并联元件。串联元件限制流过并联元件的瞬变电流。它通常是一个电感或铁氧体磁珠。需要注意的是该网络中必须存在串联元件，否则，极高瞬变电流会通过并联元件。并联元件通常为非线性的电压钳制器件。在正常操作期间，它的阻抗非常高，从而降低漏电流。当发生瞬变时，它的阻抗非常低。

图 21. 瞬变保护网络



串联元件的某些示例如下所示：

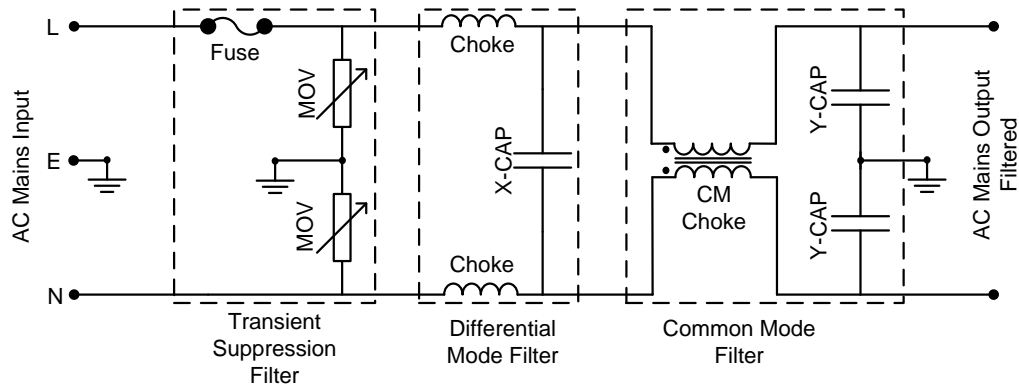
- **共模扼流圈**用于抑制共模噪声。通过在双线配置中的同一个内核上绕线电感可以构成这种扼流圈。理论上，这些扼流圈为共模噪声提供了无限阻抗，并且它们是防止共模噪声的最好方法。
- **差分模式滤波器**通常是每跟输入线上连接的一些电感，用于防止差分模式噪声。噪声频率比信号频率高，而且差分模式滤波器可以作为低通滤波器使用。

并联元件的某些示例如下所示：

- **金属氧化物压敏电阻（MOV）**是电压钳制器件。MOV 耗散瞬变事件中的所有能量，并逐步降低。但它们可以承受几百万次瞬变事件，并且它们是防止设备受交流电源线浪涌影响的最好设备。
- **X 电容**：建议在交流侧上放置火线-火线（或火线-零线）X 电容，这样可以避免损坏整流二极管（交流-直流转换器通常使用该二极管）。建议使用金属化薄膜制作的 X 电容，因为在发生瞬变事件后这些电容可以快速恢复它们的全部功能。X 电容也可以作为 EMI 抑制电容使用。
- **Y 电容**：在火线/零线和接地间连接 Y 电容。在电力线滤波器中使用这些电容可以去耦在设备中生成或通过交流电源传输的共模噪声（如 EFT）。然而，需要确保 Y 电容的可靠性，因为它们对设备的安全性起着重要作用。Y 电容的值通常较低（小于 10 nF）。这样，当使用交流电压时可以降低电流，使用直流偏移时可以降低存储电荷。
- **TVS 二极管**：在使用交流电源运行的设备中，需要使用保护器件来保护下行稳压器的输入。TVS 二极管通常使用在直流电力线上。这是因为同 MOV 不一样，直流电力线没有载流能力或能量耗散能力。但是它们的响应时间非常小，并且可以对直流电力线上的瞬变提供抗干扰能力。更多有关 TVS 二极管使用情况和选择的信息，请参考[目标板设计时的注意事项](#)中介绍的内容。

图 22 显示的是交流供电设备的示例瞬变抑制网络，该网络使用了上述所有串联和并联元件。

图 22. 示例瞬变抑制网络



与单层或双层电路板相比，多层印刷电路板提供的瞬变抗干扰性能更好。但要注意，实际上并非总是这样，特别是在使用交流-直流转换器的电路板内。一般情况下，该电路板上的交流侧被限制为两层，以保持绝缘强度。

当设计带有交流-直流转换器的（双层或多层）电路板时，需要保持合适的漏电距离。通过考虑电路级的源电流和灌电流特性放置和路由各组件。避免在 AC 侧上提供接地层，除非敷铜作为散热器使用。根据预期瞬变的严重程度，您可以使用印刷电路板上的火花隙。将保护器件接地，并尽可能降低串联电感。

6.3 目标板设计时的注意事项

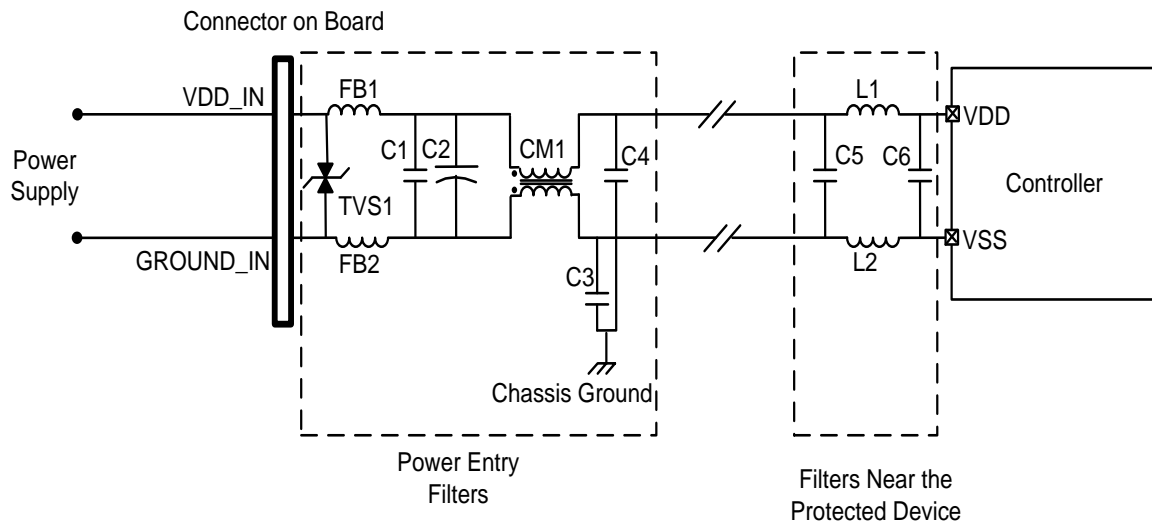
6.3.1 原理图

目标板上的过滤电路用于防止瞬变噪声（通常在输入点上）耦合到电路板上的组件。在上述各节中您已经掌握了 EFT 导致的噪声是公用模式和差分模式的噪声。在该节中，您会了解滤波器组件和过滤方案对消除目标板上的两种噪声的影响。

电源线滤波器

电路板的电源线都是产生瞬变噪声的常见输入点。请确保对电源线进行可靠的瞬变噪声滤波。图 23 显示的是滤波器组件在电源线上的相对位置。

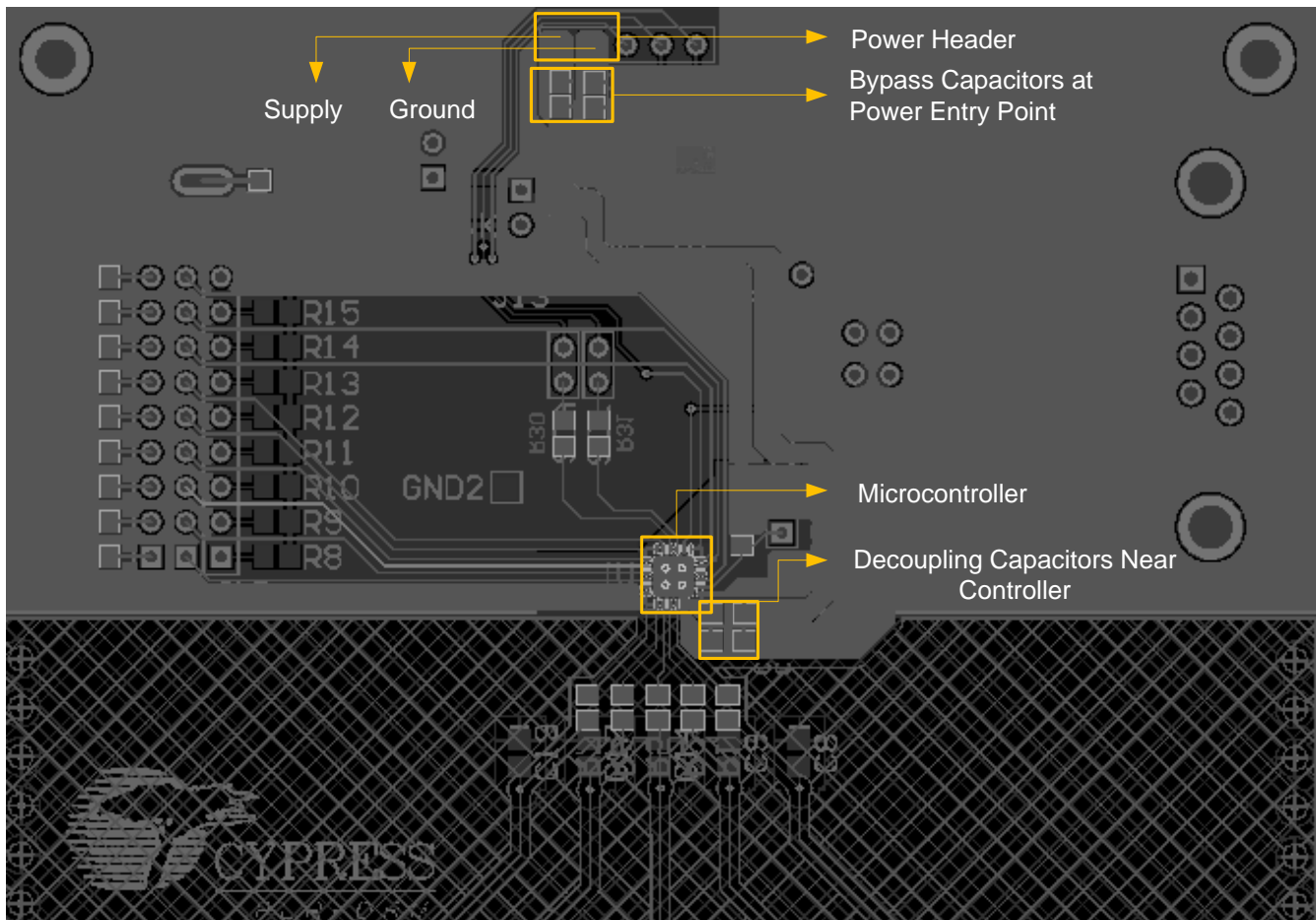
图 23. 滤波器组件在电源线上的相对位置。



- FB1、FB2 — SMT 铁氧体磁珠
- TVS1 — TVS 二极管
- C1 — 旁路电容
- C2 — 大型电容
- C3、C4 — 连接到机壳地线的旁路电容
- C5、C6 — 滤波器/去耦电容
- CM1 — 共模扼流圈
- L1、L2 — 电感器

在 PCB 板上，需要保护的控制器位置离连接器很近，因此，您可以放置一个滤波器组件，如图 23 所示。如果需要保护的控制器远离连接器，请在靠近输入点的位置上放置 TVS 二极管、铁氧体磁珠、旁路电容、大型电容或共模扼流圈。否则，噪声会以传导或辐射方式耦合到电路板上其他组件内；这样很难过滤掉分散噪声。请将电感和滤波器/去耦电容放置的位置尽量接近需要保护的器件。

图 24. 设计的电路板中使旁路电容接近电源输入点、去耦电容接近需要保护的控制器



旁路、去耦和大型电容

根据经验，电路的每个功能模块都有自己的去耦和旁路组件。

旁路电容会使共模噪声从组件转向, 或将该噪声从一个区域电缆耦合到另一个区域。除了要提供其他的过滤功能, 还需要使用一个交流并联电容来去除受影响区域中的意外能量。去耦电容可断开电路上各个组件间的耦合, 从而避免在系统各个阶段内传播错误信号和噪声。去耦电容还为设备提供了一个局部的瞬时高频电流源, 并有助于降低浪涌电流的峰值。

当所有信号引脚在最大电容负载条件下同时进行切换时, 大型电容有助于维持组件的稳定直流电压和电流。它也能防止组件生成的 di/dt 浪涌所引起的电压降。

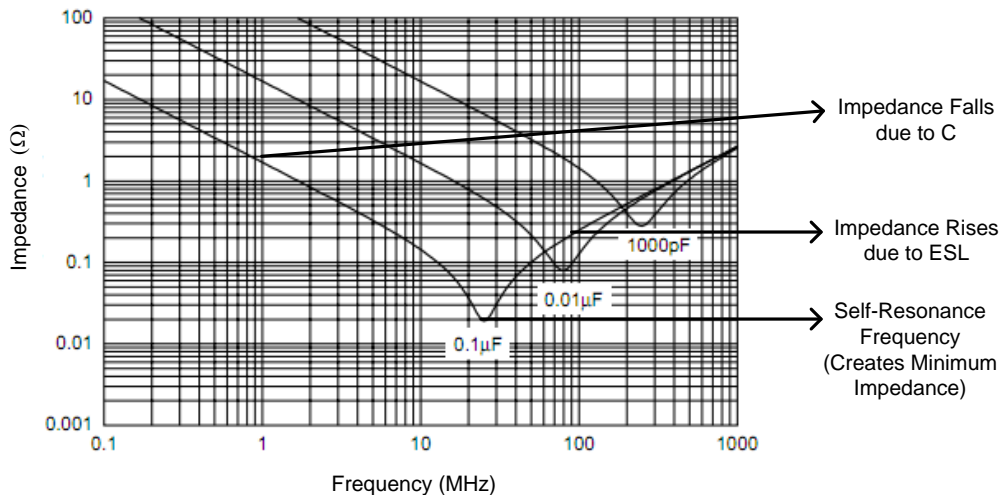
要想正确选择旁路电容或去耦电容, 请确定需要保护电路的频率带宽。带宽主要取决于操作频率。

等效串联电感 (ESL) 和等效串联电阻 (ESR)

电容的有效带宽取决于其 ESL 所引起的自谐振频率。实际电容都不是理想组件, 因此电感系数的存在仍会影响电容的阻抗。电感可来自以下三个源: 电容本身、PCB 板上走线和过孔的交错以及 IC 内部的引线框架。

由于电容和电感相结合, 因此在一些频率下, 去耦网络会出现谐振现象。正如图 25 所示, 在谐振频率以下, 去耦网络是一个有效的旁路电容。而在谐振频率以上, 电路则成为电感器 (其阻抗随着频率增高而增加), 并且不具有旁路电容。

图 25. 村田 (Murata) GRM15 串联电阻的阻抗和频率曲线



去耦电容必须提供高频率电流, 因此它们需要低电感、高频率的电容。陶瓷电容最适用于高频率操作, 并且最常用于旁路/去耦目的。多层电容结构与表面组装技术相结合时, 可以构成极为理想的高频率电容。因此, 最好选用多层陶瓷电容。封装尺寸越小, 电感系数通常也越低。

另外, 还需要考虑一个重要的参数 (即 ESR)。该参数表示电容对直流电流产生的阻抗。请选择具有最小 ESR 的电容。

电压和温度系数

正常操作条件下, 电容的电压和温度系数会大大影响期间的电容值。额定值为 $1 \mu\text{F}$ 、最大耐压为 6.3 V 的电容, 在电压为 5 V 时, 电容值可以小于 $0.1 \mu\text{F}$ 。电压系数和温度系数可以因不同封装而有很大的变化。与 0603 封装相比, 0805 封装具有更好的电压系数。NPO、X5R 及 X7R 等介电电容 (或具有更好的温度系数的电容) 是优良的旁路/去耦电容。这些电容的取值范围为几百 pF 到几 μF 。

注释: 查看数据手册要求的电容值是一个好习惯, 特别是工作电压和直流偏置规范。对于某些电容, 如果直流偏置电压占额定工作电压的比例较大, 那么实际电容则明显被降低。

建议选择容值最大、尺寸最小的电容。由于所描述的频率限制, 一些高带宽系统可能需要多个并联电容。例如, PSoC 器件可在不同的频率下工作, 以降低功耗。请并联较小的电容和交大的电容, 这样可以扩大频率响应范围。在电路板上, 每个 IC 的一个电源引脚上至少要使用一个去耦电容。

请参考特定控制器的器件数据手册，以了解有关电源去耦电容的要求。PSoC 4 器件的去耦电容的典型值如下：

- 在每个 V_{DDIO} 引脚上，安装一个 $0.1 \mu\text{F}$ 的陶瓷电容。
- 在每个 V_{DD} 和 V_{DDA} 引脚上，使用一个 $0.1 \mu\text{F}$ 陶瓷电容和一个 $1 \mu\text{F}$ 的大型陶瓷电容。
- 对于电压调节器的输出，请使用尽量短的走线分别在每一对引脚 (V_{CCD} 和 V_{SSD} , V_{CCA} 和 V_{SSA}) 间连接一个 $1 \mu\text{F}$ 的陶瓷电容。
- 对于内部带隙，则在 V_{REF} 和 V_{SSA} 间使用一个 $1 \mu\text{F}$ 的陶瓷电容。这是可选内容。

请参考各个器件数据手册，了解所推荐的去耦电容值。

由于数值较小的去耦电容可对高频电流的要求的响应速度更快，因此需要将它们放置在接近控制器的位置。

LC 滤波器

低通滤波器是最常用的滤波电路，用于抑制瞬变。简单的低通 LC 滤波器是一个二阶滤波器，如图 26 所示。

图 26. LC 滤波器网络

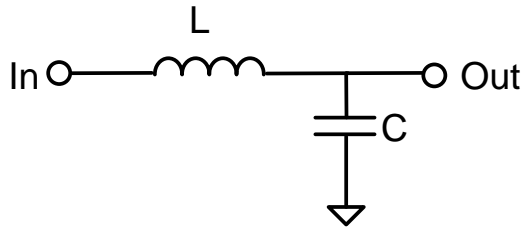


图 27. LC 滤波器频率响应

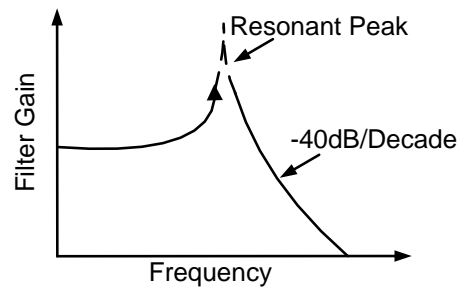


图 27 显示的是低通 LC 滤波器的频率响应情况。请注意，衰减率为 40 dB/十倍频程 。LC 滤波器比 RC 滤波器更好，这是由以下原因造成的：

- LC 滤波器的衰减率为 40 dB/十倍频程 ，而 RC 滤波器的衰减率则为 20 dB/十倍频程 。
- 电阻对直流电流产生意外的阻抗，这样会导致损耗。电感器的直流阻值通常小于电阻的阻值，并且仅在应考虑的频率下提供所需阻抗。

瞬变噪声在电源线和接地线上都能传播。因此，在电源线和接地线上都要安装电感器和电容，以构成一个 LC 滤波器，如图 23 中所示 ($L1$ 、 $L2$ 和 $C6$)。电感器用于锁定高频瞬变噪声；并联电容则使影响到源的高频噪声转向。

从 EFT 测试波形的频率响应情况 (参考图 3) 可以看到，大部分能量都集中在低 MHz 范围内和突发频率 (5 kHz) 上。由于瞬变引起的噪声可以通过交流-直流电源传播到目标板上，因此它的副频率也会在几百 KHz 频率范围内。电感系数和电容值要求 LC 滤波器的截止频率比噪声频率低 10 倍。具有为瞬变脉冲频率组件选择截止频率的滤波器能够衰减平均的瞬变能量，从而提高抗噪能力。

线绕电感器作为 EMI 滤波器使用，并且对 50 MHz 附近的波形很有效。线绕在上面的内核可为空心或磁性两类。有磁性电感器则由铁和铁氧体两种内核材料制成。同空气内核或铁内核电感器相比，铁氧体内核电感器的抗瞬变噪声能力更好，因为它们具有更高的损耗系数。此外，虽然铁氧体内核的线圈较小，但仍能提供较高的载流量。屏蔽或环形电感器的作用更好，因为它们能够将其磁场和电场限制于一个有限的空间中，这样可避免干扰。

选择电感器时，需要考虑到的另一个重要参数便是额定电流。如果在您的应用中经过电感器的电流超过额定电流，则电感器会受损坏。电感器的电流参数分别为饱和电流 (I_{sat})、RMS 电流 (I_{rms}) 和直流电流 (I_{dc})。

需要考虑到各个定义和条件，在这些定义和条件下，电感器的电流值是制造商预定的额定值。例如，一个制造商的 I_{sat} 电流能使电感系数降低 5% ，但对于另一个制造商的产品来说该电流则可能将电感系数降低 20% 。

将 LC 滤波器放置在接近于控制器的电源和接地引脚所在位置。如果布局方面有限制，请确保电源线和滤波器组件之间、接地线和滤波器组件之间的电距离和总阻抗是相同的。

TVS 二极管

钳制器件用于保护电路免受高瞬变电压的损坏。在正常条件下，钳制器件同时有一个很大的电阻值和一个电容值。当浪涌电压超过击穿电压时，钳制器件会动态地降低自己的阻抗，以维持稳定的钳位电压。聚合物和金属氧化物变阻器、齐纳二极管和吸收器（或 TVS 二极管）都是钳制器件。抑制瞬变现象最常用的钳制器件是 MOV 和 TVS 二极管。

TVS 二极管的钳位电压和阻抗都较低，其响应速度则较快。这些器件为控制器（通常包括内部瞬变保护的电路）提供了一个额外的保护功能。了解控制器的内部瞬变保护电路有助于选择外部的 TVS 二极管。由于内部电路可能不按需受到保护，因此外部 TVS 二极管提供了一个更高的瞬变保护级别。TVS 二极管的主要功能便是通过降低高瞬变电压来限制流过受保护电路的电流。

单向 TVS 二极管适用于保护具有单向信号的电路节点。例如：电路板上的输入串行通信时钟线。双向 TVS 二极管则适用于保护具有双向信号的节点，电压电平将在参考节点上下摆动；例如：降压变压器的交流输出电压。

TVS 二极管的选择取决于该节点上所需信号的极性。请选一个具有工作电压大于系统的工作电压的二极管。二极管的钳位电压必须小于受保护电路的特定瞬变电压，但击穿电压则必须大于系统的工作电压。

具有较小的寄生电容的 TVS 对瞬变的响应速度更快。此外，如果受保护信号本身是高频率信号，则可以保持信号的完整性。因此，请选择具有低寄生电容的 TVS 二极管。

铁氧体磁珠

铁氧体磁珠用于抑制电子电路中的高频噪声。它们可以通过将噪声能量转换为热量来消耗掉噪声能量。

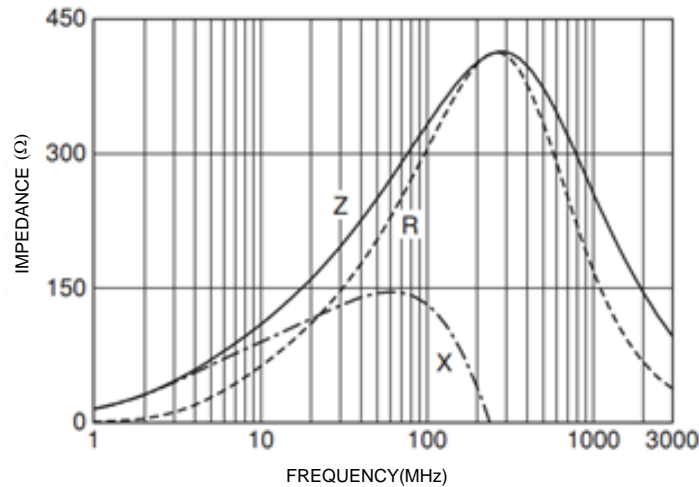
铁氧体磁珠通常能抑制 MHz 频率范围的噪声。由于在直流电源线上 EFT 所导致的噪声包含在 MHz 和几 KHz 的频率范围内，因此很难选择铁氧体磁珠，以便能在所有组件噪声频率范围内提供足够大的阻抗（ $50\ \Omega - 100\ \Omega$ ）。因此，为了得到更好的抗 EFT 能力，推荐将各个电感器作为 LC 滤波器使用，如 LC 滤波器中所述。在电源线上，请将铁氧体磁珠放置在电源输入点上，这样可以过滤掉 MHz 频率范围的瞬变噪声以及耦合射频噪声。在电路板上，其他组件的频率可以使用特定的滤波器（如：LC 滤波器、旁路电容）进行过滤。

铁氧体磁珠的一个常用参数是“在 100 MHz 频率下的阻抗”（单位： $\Omega @100\ \text{MHz}$ ）。另外，您还需要了解它的阻抗-频率整体特性，尤其是在感兴趣的频率范围内的特性。

图 28 显示的是铁氧体磁珠（Murata 的 BLM18PG331SN1 器件型号）的示例。Z 表示它的阻抗，即为 R（电阻）和 X（电抗）的矢量和。在 100 MHz 的频率下，阻抗为 $330\ \Omega$ ；在 300 MHz 的频率下，该阻抗为最大值。

当为您应用选择一个铁氧体磁珠时，推荐设置某个频率，使得输出的最高阻抗位于噪声频率范围中心的位置。

图 28. 铁氧体磁珠的阻抗-频率特性 (Murata 的 BLM18PG331SN1)



选择铁氧体磁珠时需要注意的其他参数包括:

- 额定电流 — 该值由电感器中所使用的导线大小或计量仪确定。
- 饱和电流 — 这是铁氧体材料的一个功能。它是通过线圈的电流, 超过该电流值时, 便无法在铁氧体中设置任何其他磁通量。
- DCR 最大值 — 这是线圈的最大直流电阻, 有助于确定绕组或电阻的损失。

请在电源线的输入点上放置铁氧体磁珠, 用于抑制注入的噪声。铁氧体磁珠还可作为电子设备导线的干扰滤波器。

共模滤波器

共模滤波器/共模扼流圈用于过滤掉共模噪声。由于 EFT 所导致的噪声的一个重要部分是公用模式, 因此这些滤波器能够提高抗 EFT 能力。

以相反方向流过扼流圈绕组的差模电流能够产生大小相等、方向相反的磁场, 它们能够互相抵消。这样使得扼流圈对差模信号不受任何阻抗, 这种信号经过扼流圈时仍保持不变。

以同样的方向流过每个扼流圈绕组的共模电流可产生大小相等相位相同的磁场, 这些磁场可以加起来。这样使得扼流圈对共模信号产生较大的阻抗, 这种信号经过扼流圈时其电平明显被消减。实际衰减 (或共模抑制比) 取决于扼流圈阻抗与负载阻抗的相对大小。

和电感器相同, 为您的应用选择组件前必须考虑到额定电流和直流电阻等参数。另一个重要的参数是漏感。该参数决定了差模电感的存在程度。漏电感提供了差模滤波功能。但是漏感过多会导致意外特性, 即使共模扼流圈在较低的交流电流时也会发生饱和状态。

如果您的应用中有机壳接地, 则在供电电源线和接地电源线与机壳地之间分别使用机壳旁路电容。

6.3.2 信号线滤波器

通信线: I²C/SPI 线上的滤波器

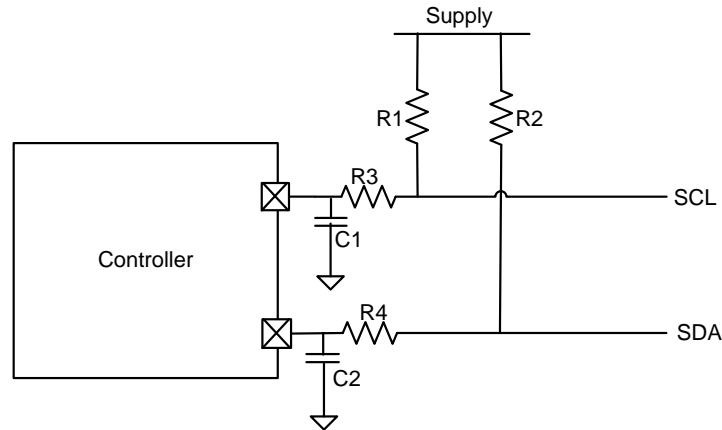
请将以下滤波器组件连接在 I²C/SPI 线上:

- 在 I²C/SPI 线上安装上拉电阻: 上拉电阻应根据串联电阻值、走线电容值和时钟速度而设计的。请参考 I²C 规范, 了解具体的指导。该电阻的取值范围通常为 2.2 kΩ 到 10 kΩ, 具体情况取决于总线参数。
- 在 I²C/SPI 线上安装 100 - 330 Ω 的串联电阻: 串联电阻与走线和引脚的寄生电容相结合时会形成一个低通滤波器, 用于过滤掉高频噪声。请将串联电阻放置在接近引脚的位置。I²C/SPI 线从高电平切换为低电平时, 走线电容会需要一段有限时间通过串联电阻放电。此外, 当 I²C/SPI 线从低电平切换为高电平时, 走线电容和引脚电容会通过串

联电阻为电源充电。上拉电阻和串联电阻可构成一个分压器，从而影响 I2C/SPI 线的 V_{OL} 电平。因此，选择串联电阻和上拉电阻时必须考虑这些因素。

- **在 I2C/SPI 线上安装滤波器电容：**它与走线电容和引脚寄生电容相结合时能够形成一个低通滤波器，用于过滤掉射频噪声。但是这样会影响 I2C 协议信号的完整性。因此，请务必小心，以确保所添加电容导致的上升时间和下降时间延迟不违反 I2C 协议的要求。

图 29. I²C 线上的滤波器

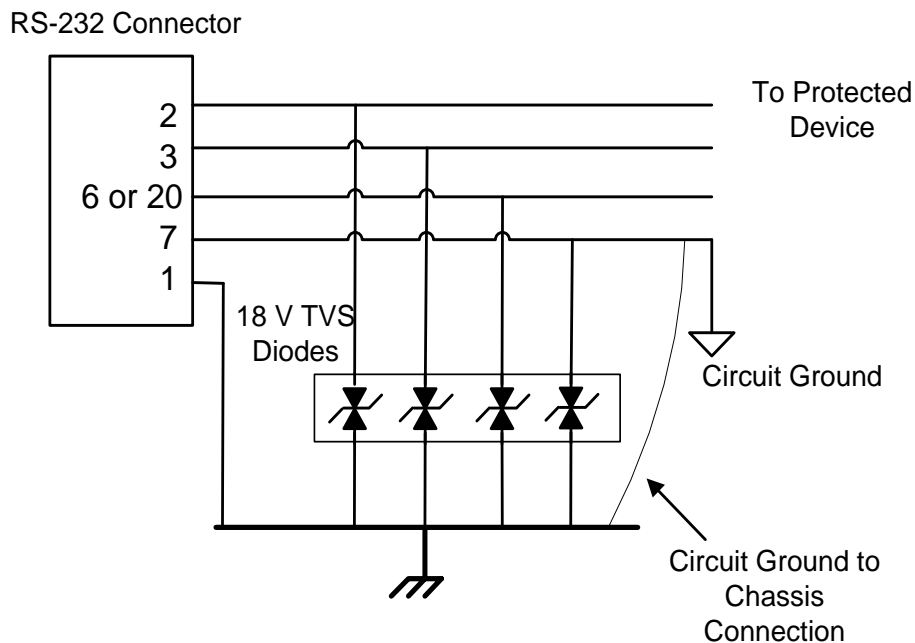


通信线：UART 的滤波器

请使用一个电隔离电平转换器。如果不能，请为 UART 通信使用 RS232 电平转换器 IC。请确保电平转换器的电源电压和接地电压已经得到过滤。

图 30 显示的是 RS-232 接口使用四个双向 TVS 二极管防止瞬变过压。请注意，需要使用 TVS 二极管来保护接地电感器，因为电路接地和机壳地之间的内部接口可能不位于电线的输入点上，并且没有低电感。

图 30. RS-232 输入使用四个 TVS 二极管防止瞬变过压



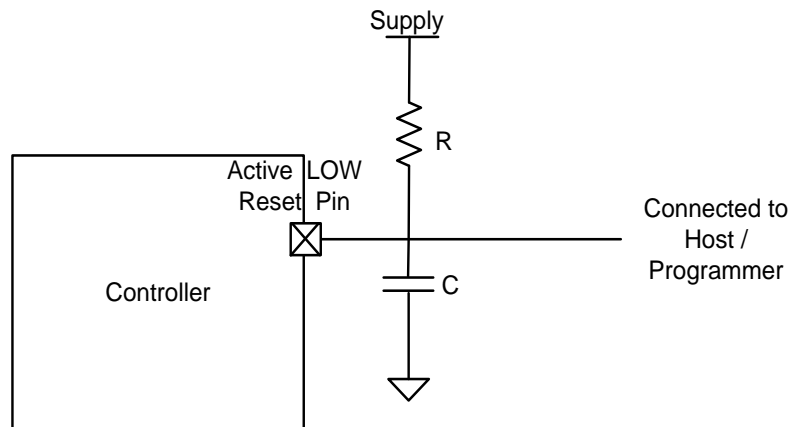
复位和中断请求输入

您须要增加一个电容或 RC 网络，以便保护复位、中断和任意其他的能改变数字器件的工作状态的重要控制输入免受快速上升时间瞬变所导致的误触发，如图 31 所示。PSoC 器件的复位线上有一个大小为~4.7 kΩ 的电阻。

如前面所述，边沿触发的中断很容易受到噪声的影响。请使用电平触发的中断或简化 ISR 中的中断引脚（如果可行）。为中断线使用正确的线路终端可以降低能导致误中断的反射、振铃或过冲现象。

复位输入可以是低电平有效，也可以是高电平有效。对于低电平有效复位引脚，在复位线上将一个 RC 滤波器放置在接近器件的位置。对于高电平有效复位引脚，下拉电阻和电容都被下拉到接地电压。请注意，在备用的复位引脚上，也要求连接着正确的滤波器。

图 31. 复位线上的滤波器



I/O 线

瞬变噪声可以直接被注入到 I/O 线（如控制线），也可以通过电源线输入到各个 I/O 线。因此，需要使用以下方式来保护这些线路。

- 在 I/O 线上使用双向 TVS 二极管
- 使用低通 RC 网络，使得截止频率比 I/O 线上的信号频率大 10 倍，以确保该信号不被衰减
- 使用编织或实心屏蔽来屏蔽输入线

对于将信号从电路板外部输入到控制器的 I/O 线，将 RC 滤波器放置在接近控制器引脚的位置。应将 TVS 二极管放置在接近连接器的输入点。对于将信号输出到电路板外部的 I/O 线，请将 RC 滤波器放置在 I/O 线远离电路板的连接器上。

通过典型值为 10 kΩ 的电阻，将未使用的 I/O 线接地或连接到电源上。

如何选择串联电阻

由于电阻仅在 DC 下才会提供电压降，因此，在应用中，最好将多个小电阻 (< 100 Ω) 串联在一起。电阻的端 - 端电容限制了它的阻抗。例如，在 DC 下的 1 MΩ 电阻和在 100 MHz 下的电阻是不同的。为了提高瞬变抑制能力，需要使用碳或金属氧化物电阻，因为它们提供的寄生电容和电感值都较低，并且能承受短脉冲过载。

电阻具有以下几种典型的类型：

- 表面组装技术 (SMT) 和薄膜电阻对高频率的响应速度很快，但并不适用于瞬变保护功能。它们包括了一个较薄的金属层（几百埃），该层限制了器件耐受 EFT 能量的能力。此外，EFT 电压往往会跨越 SMT。
- 金属膜电阻适用于高能量密度或高精度电路，但不适用于瞬变保护功能。
- 线绕电阻则适用于高能量处理电路，但因为其电感值很大，因此不适用于高频敏感的电路。另外，它们也不存在表面封装形式（没有模制），因此不适用于尺寸和重量有限的应用中。

- 箔型电阻提供的精度和稳定性最佳，并且比薄膜和厚膜电阻的承受 EFT 也更好。但是它们的最大电阻值仅为 150 kΩ 左右。

获得合格的系统 EFT 测试可能是一个迭代的过程。建议在电路板上贴装滤波器组件，并使用板上的最小组件（如旁路和去耦电容）开始进行 EFT 测试。为了进一步提高抗噪能力，可以尝试轮流使用各个滤波器，如 LC、共模扼流圈、TVS 二极管和铁氧体磁珠，也可以将上述两者结合起来使用。当电源设计不太好并且预期电源的输出存在波动时，请使用大型电容。

6.3.3 PCB 布局

为了确保良好的瞬变抗扰度，设计 PCB 前，您需要记住两项基本原则：

第一，电流要尽可能局部性返回到电源，即是，需要通过面积最小且阻抗最低的环路区域。该原则适用于瞬变噪声和所需信号电流。

1. **故障模式**一节所提及的瞬变噪声可以通过信号、接地层或任何信号/控制线路传播。PCB 布局需要提供短距离的低阻抗通道，以确保瞬变电流能在噪声发生时返回到来源。如果路径不是低阻抗，噪声会干扰控制器、走线和组件等，并且影响这些电路元件的功能。此外，使用短距离低阻抗通道还可以将微控制器或振荡器等电路元件所造成的噪声返回到来源。
2. 由于高频的电流环路可辐射，信号环路也应该尽可能小。辐射能量与环路面积成正比。辐射能量会干扰其他信号，并会增加这些信号中的瞬变噪声。在较大环路面积上传输的信号对辐射能量更敏感。

第二个原则是系统只应该具有一个参考层。如果系统具有两个参考层，则会发生信号完整性问题，在瞬变噪声存在的条件下，该问题会更加严重。使用多个参考层，还可以构成辐射能量的偶极天线。当各参考层和参考层之间的连接不是低阻抗时，不能只使用单个参考层。

平面布置

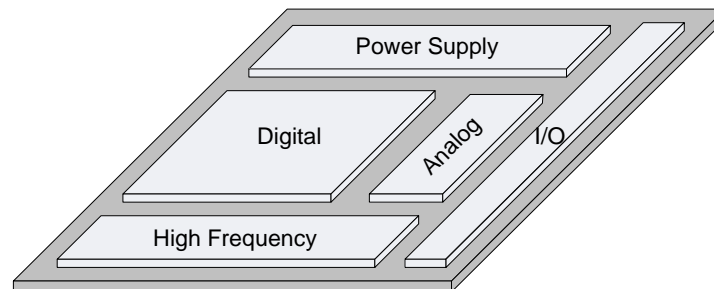
如前面所述，合适的子系统布置方案对避免交叉耦合的发生起着关键作用，平面布置相同，非常有利于防止噪声电路对 PCB 上各个对噪声敏感的电路产生影响。

根据经验，应该将 PCB 分成各个功能组：模拟、数字、电源和 I/O。除非各组之间存在接口走线，否则应该避免各组间的走线互相交叉。每一部分需要尽可能紧凑。将 PCB 组织成各功能区域（部分），并在每一个区域中放置相应的组件。图 32 显示了该组织的示例。

组织的基础标准共有两个：

- **基于功能：**电源电路、模拟电路、数字电路或 I/O 模块
- **基于信号：**高频、低频、高功耗或低功耗

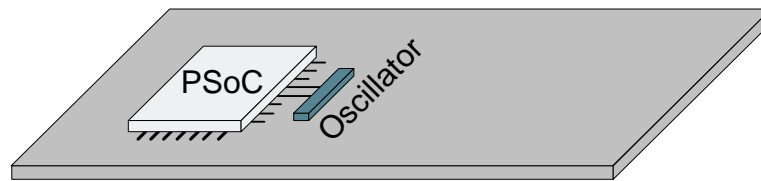
图 32. 电路板功能组的典型布局



高频电路（输出 PCB 信号的电路）要靠近相应的 I/O 连接器。为了最小化进入 I/O 互连的耦合，应将带有不传输到 PCB 外面的高频信号的电路远离 I/O 连接器。应该确保所有高频信号均位于同一个电路板内。请尽可能缩短高频走线的长度。如果高频信号被传输到电路板外面，那么请使用传输线路来降低反射和辐射。

振荡器和生成时钟的 IC 应远离 I/O 走线，并要接近相应的芯片，如图 33 所示。建议使用一个保护接地环，或者最好使用一个称为“Faraday cage”（法拉第笼）的屏蔽环绕该电路。法拉第笼连接到电路板的接地层，用于防止辐射和电场的影响。如果使用保护环，请通过多个连接点将保护环接地。对于满足系统要求的数字信号，请始终选择最低的时钟频率和最慢的上升和下降时间。通过过滤（串联中止）时钟驱动器的输出来减缓它们的上升和下降时间以及减少振铃现象。

图 33. 合理布置振荡器



在 PCB 上进行数字时钟连接时，需要谨慎进行路由。所有时钟走线应该尽可能接近接地层。除了接地线外，应避免将其他线路放置在晶振或其他固有噪声的电路下方。将重要线路（如时钟或数据选通）路由到接地走线或接地层的旁边。

将电压调节器和电源放在接近电源输入点的地方。请不要将电源信号与高噪声的走线并行路由。

敏感的组件（如控制器）应该远离 PCB 的边沿。将连接器放置在电路板的边沿上。应将所有连接器放置在电路板同一个边沿上。将接口组件（I/O 电路）和与其相应的连接器放在电路板边沿的旁边。

平面布置有助于限制瞬变噪声的传播，并使用最短路径将噪声返回来源。

走线路由

走线路由对防止信号间的串扰起着重要作用。由于需要防止辐射和导电耦合对敏感信号的影响，适当的走线路由因此更为重要的。通过电源、接地层或信号/控制线传播的瞬变噪声可以耦合到电路中某些敏感元件，如复位线。

各信号之间的串扰类型为：电导性、电容性和电感性。为了防止串扰，在设计 PCB 布局期间，应该注意以下设计和布局技术：

如前面所述，平面布置有助于降低串扰。

1. 进行布置时，应尽可能缩短功能组中各组件之间的物理距离。
2. 尽可能缩短并行路由的走线长度。这样可增加电容耦合。如果各信号需要交叉路由，请保证它们的交叉角度为 90° ，从而最小化各信号之间形成的电容。
3. 在各走线之间提供足够的空间，以最小化电感耦合。
4. 缩短信号-接地参考距离。这会构成分布式电容，该电容会作为高频噪声的旁路电容。请注意，EFT 导致的瞬变噪声可以通过接地层传播。因此，建议只有未将接地层作为瞬变噪声的返回路径时，才缩短信号-接地参考距离。

走线路由并非仅限制于 PCB 上的路由。如前面所述，还应该为传输到 PCB 外面的信号线路提供防止串扰保护。

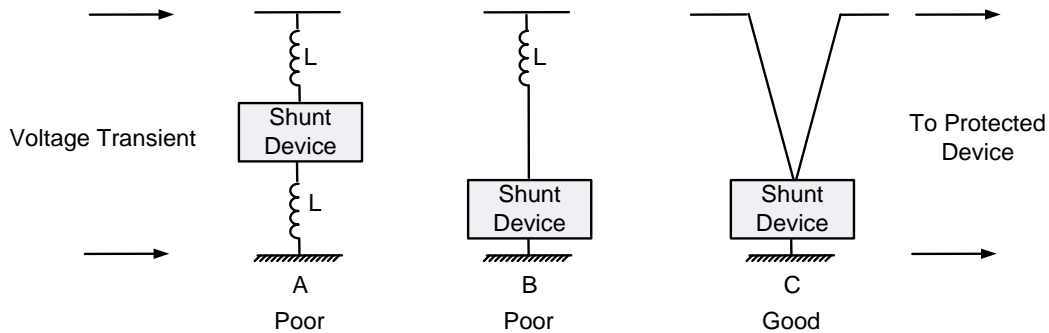
有关这些技术的详细信息，请参考 AN57821 — PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号电路板布局注意事项中的路由模拟和数字信号一节。

走线阻抗

每一条走线均有自己的串联电感以及走线与信号返回路径之间形成的电容。该电感和电容均增加了信号的上升时间。每一条走线均有电阻，该电阻会降低信号的幅度。因此，每一条走线会相同于所驱动其的电路的分布式 RLC 电路。大多数情况下，阻抗是“不受控制”的。这意味着分布的电感和电容在整条走线上可以（并很可能是）有多个不同的数值。因此，在整条走线上，AC 阻抗也不一样。

您需要保证噪声和信号的返回路径具有最小的总阻抗。对于瞬变抑制，分布式电感和电容起着积极或消极的作用。消极作用示例：在受保护的器件（如控制器）和去耦电容之间生成的分布式电感。走线电感会限制去耦电容和 TVS 二极管等并联元件的有效带宽。此外，要求瞬变电流时，它还阻碍了从耦合电容传输到控制器的浪涌电流。因此，布局需要保证这些并联元件的串联阻抗最低。图 34 显示了并联元件的正确和不正确的布局。

图 34. (A)和(B)：并联元件不合适的布局；(C)：并联元件合适的布局



分布式电感和电容会影响上升和下降时间，进而影响信号的完整性。但是，分布式电容又有助于旁路高频噪声。

总之，您需要对分布式电感和电容在电路中的影响进行分析，进而采取合适的设计。

对于单层 PCB，走线在 SMT 封装下面路由时，应该使用较厚的走线和较大的 SMT 封装，并要使用较厚的跳线器连接 PCB 上的走线。

有关走线阻抗的计算和影响的详细信息，请参考 [AN57821 — PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号电路板布局注意事项](#)。

接地

提供最佳的接地或电源和/或信号回环控制是将瞬变抑制技术使用到 PCB 内时需要考虑的最重要的设计问题之一。接地环路是开发和传播射频能量的主要因素。该环路会引起两个器件间的电压差，不管这些点之间是否存在电感。传输线中的电感使源电路和受影响电路间的射频电流发生磁场耦合，因此会增大返回路径中的射频损失。

接地平面

在 PCB 电路板级别上，如果您的应用中没有 MHz 高频数字信号和敏感模拟电路（如处理低电平模拟信号的部分），那么只需要一个接地平面。否则，分裂接地平面便非常有益，但是增加的接地平面成本较高。即使在双层电路板中，也可以在设计敏感模拟部分下提供局部平面。无论您是否使用了接地平面，都需要确保返回路径与电源之间的连接最短。请注意，如果接地平面电源电路的阻抗不够低，或者过度分散该层，则不能利用该层改善您的设计。在双层电路板上，不要仅仅依靠铜填充，因为这样可能带来高阻抗的窄路径。如果不仔细检查，很难发现这样的缺陷。先通过走线布局好接地路径，然后进行接地平面填充。在系统中使用“星型接地平面”可以防止接地电流对噪声敏感电路的影响。星型接地平面，也称为参考接地平面，它是系统中各种区域（如模拟、数字和电源）的接地平面交汇点。

通过使用隔离带、逻辑分区或在接地平面中放置开口（cut）/孔隙（void），可以完成星型接地平面连接。

隔离带使用：您可以使用接地平面中的隔离带来分开 PCB 中的模拟、数字和电源分区。隔离带是多边形走线中的切口，它可以消除通用的返回路径。隔离带的宽度必须等于或大于 0.7 mm，用于防止电容耦合。图 35 显示的是隔离带的正确使用。

逻辑分区：您可以使用一个接地平面，并将其分为模拟、数字和电源分区，如图 36 中所示。信号只在电路板上相应分区中（在所有层上）进行路由。如果路由信号正确，则电源线的切换和瞬变噪声并不会耦合到其它电路。对接地平面进行分区前，需要分析电流流向，并且仔细布置电流环路。

图 35. 隔离带的使用示例

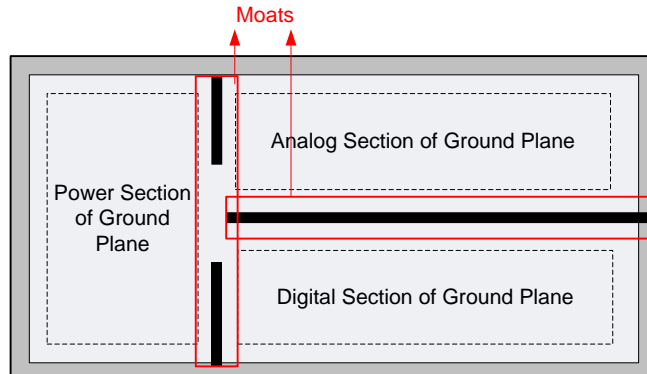
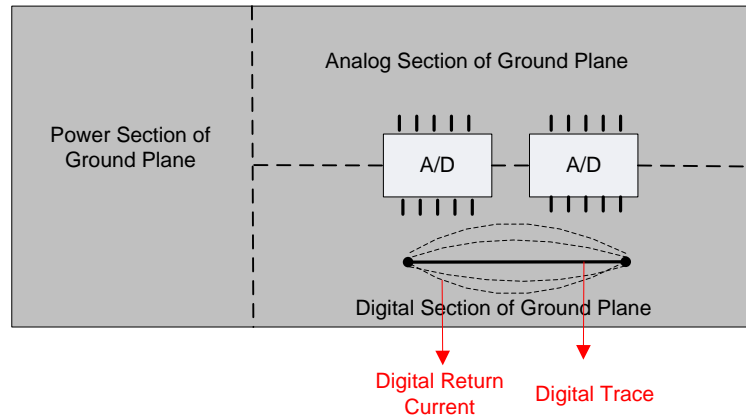


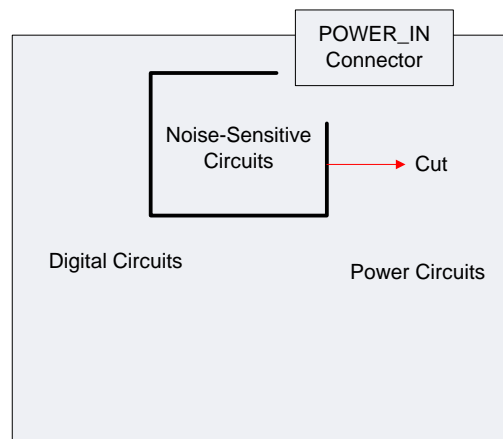
图 36. 接地平面分区



接地平面中开口/孔隙的使用：控制地电流的另一种方式是在接地平面中选择性地放置开口或孔隙。开口迫使电流流向一个特定路径，在噪声敏感电路周围或远离它。

图 37 显示的是选择性放置接地平面中的开口的示例。该示例显示了同一个参考接地平面中的三个接地平面分区（模拟、数字和电源），有一个开口位于噪声敏感（模拟）电路的附近，强迫接地返回电流流向关键区域。

图 37. 接地平面的开口示例



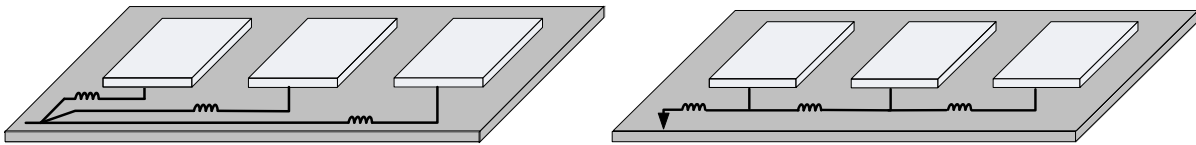
接地

共有三种主要的接地方法。任意一种方法都可适用于特殊功能的子系统。

单点接地

- 按并联方式 (图 38 A) 或串联方式 (图 38 B) 实现单点接地都可以。但是, 并联单点接地更好一些, 因为地环路被隔离, 这样能够防止各子系统的噪声相互耦合。使用串联方式时, 每个子系统中参考接地平面之间的共模阻抗会互相耦合。因此, 不建议使用串联单点接地方式。
- 最适合于频率低于 1 MHz 的系统, 如模拟系统
- 地电流环路数量最多。对于更高的频率 (>1 MHz), 这些环路作为天线并辐射 RF 能量, 可对系统的其它部分产生影响。

图 38. (A) 并联和 (B) 串联接地

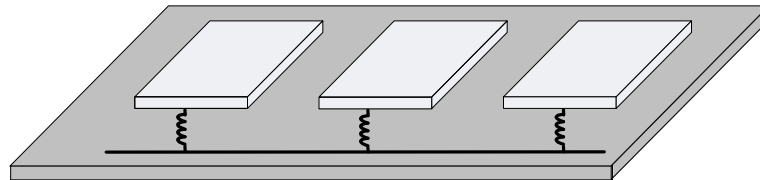


多点接地 (图 39)

- 适用于频率大于 1 MHz 的系统, 如数字系统
- 使环路电流和平面的地阻抗变为最小
- 在 PCB 级别上, 能够提供最强的 EMI 抑制

使用该方法时, 尽可能缩短接地线的长度, 这样可以最小化组件和接地平面间的电感。否则, 增加的电感与接地平面和底盘地面间的分布式电容形成一个调谐的谐振电路, 并会导致发生谐振。

图 39. 多点接地



混合接地: 在同一个系统中混合使用单点和多点接地

在该方法中, PCB 中不同的功能分区使用了不同的接地方法。PCB 中的模拟分区会使用单点接地法, 因为大多数模拟信号的频率都低于 1 MHz。对于数字分区, 将使用多点接地。

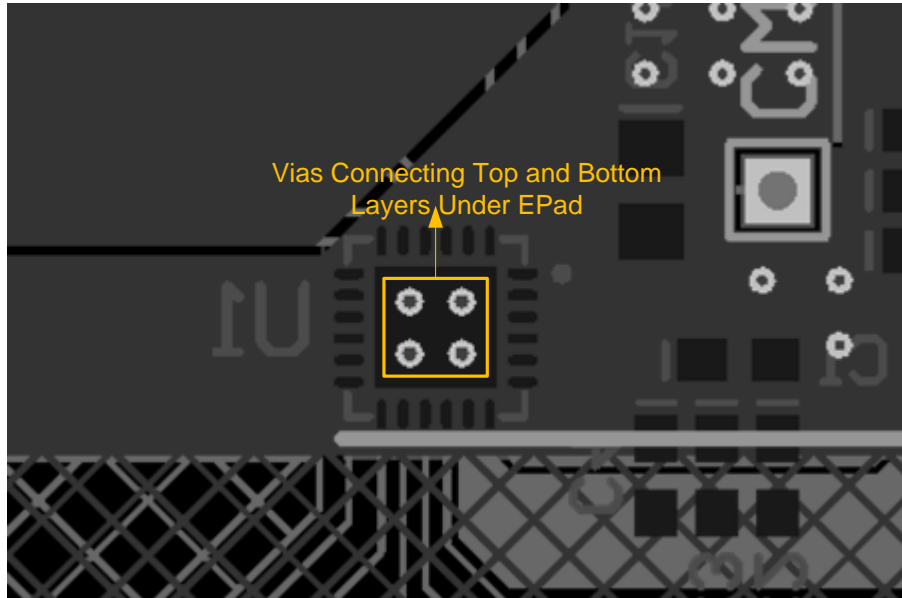
其它接地指南

- 将 PCB 的所有层中的宽底盘接地走线或多边形放置在外层连接的接头下方。将所有层上的底盘接地线每 13 mm 通过一个过孔连接起来。这样可以改善所有层上的接地状况。
- 使用一个平面或一个短而宽的走线将控制器接地引脚连接到各自的地网。
- 不要使用跳线器/线连接到接地平面的不同区域。跳线器/线使返回路径中的电感增加。
- 考虑使用接地平面和电源平面分开的多层 PCB, 这样可以显著减少阻抗和电感耦合 (比双层 PCB 减少 10 到 100 倍)。将每个信号层放置在接地层或电源层的后面。
- 通过尽可能多的等距过孔连接不同的地层, 以减少电感。
- 使用焊料或银的环氧树脂填充孔, 从而进一步降低阻抗, 实现更好的导电性能。

中心焊盘（Epad）

有些封装器件（如 QFN）具有中心焊盘（Epad）用于散热。有关 Epad 连接的更多信息，请参见器件数据手册。一般情况下，数据手册建议将 Epad 接地或将其悬浮。如果建议将 Epad 接地，则需要连接到数字接地平面，以获得最佳的机械、热和电气性能。使用焊接 Epad 的区域中的过孔阵列将 Epad 连接到 PCB 两面上的铜，从而最小化阻抗。

图 40.Epad 连接



过孔

在理想情况下，过孔不会对设计产生任何影响。这是可能实现的事。因为实际上，过孔存在电容和电感，会降低边沿电压升降率，另外，过孔的电阻也会使信号幅度变少。放置过孔会减少电流流动的空间。电流流向使用阻抗最低的路径；因此在直接路径中放置过孔使电流路径变为间接路径，导致电路中增加了不必要的噪声。

为了得到最佳的瞬变抑制性能，需要确保过孔不会阻碍流向滤波器组件的电流，比如去耦电容。过孔放置也不能增加地线和电源线上的阻抗，否则，它会阻止高频噪声返回源。

放置过孔的典型示例是将电源平面连接到一个去耦电容和 IC 的电源引脚。

图 41 和图 42 显示的是错误的过孔放置。在图 41 中，电容和 IC 位于电源/接地平面的两侧。这样做几乎同没有使用电容一样。由于电源/接地平面位于 IC（电流负载）和电容之间，因此，电源/接地平面会直接提供大部分电源。此时，电容作为大型电源存储器，而不是所需的噪声滤波器。

图 41. 电容、IC 和过孔方向 1

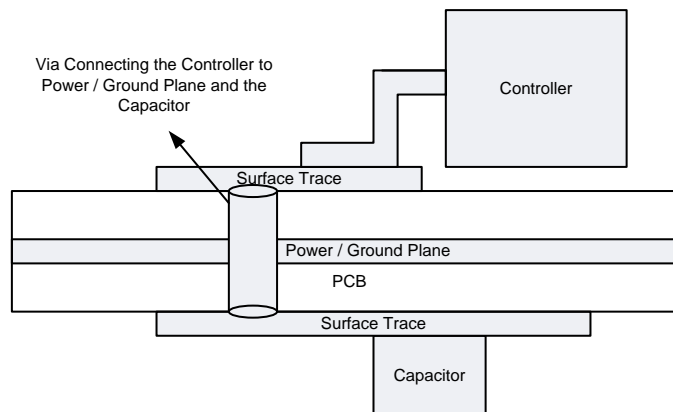
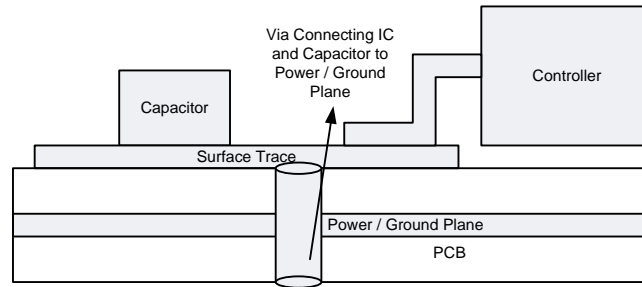


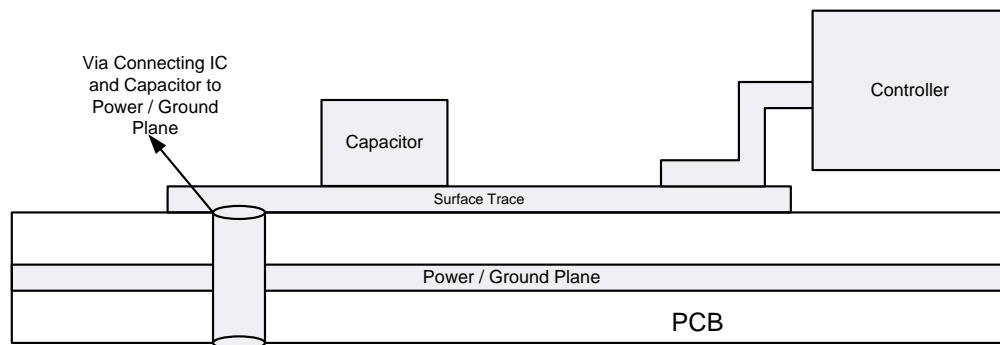
图 42. 电容、IC 和过孔方向 2



在图 42 中，电容和 IC 位于电源/接地平面的同一侧，连接到电源/接地平面的过孔应位于两者之间。这样做比没有使用电容稍微好一些。由于电源/接地平面的过孔连接位于 IC（电流负载）和电容之间，因此，电源/接地平面与电容共同提供电源。在该方案中，电容仅能发挥微小的作用。

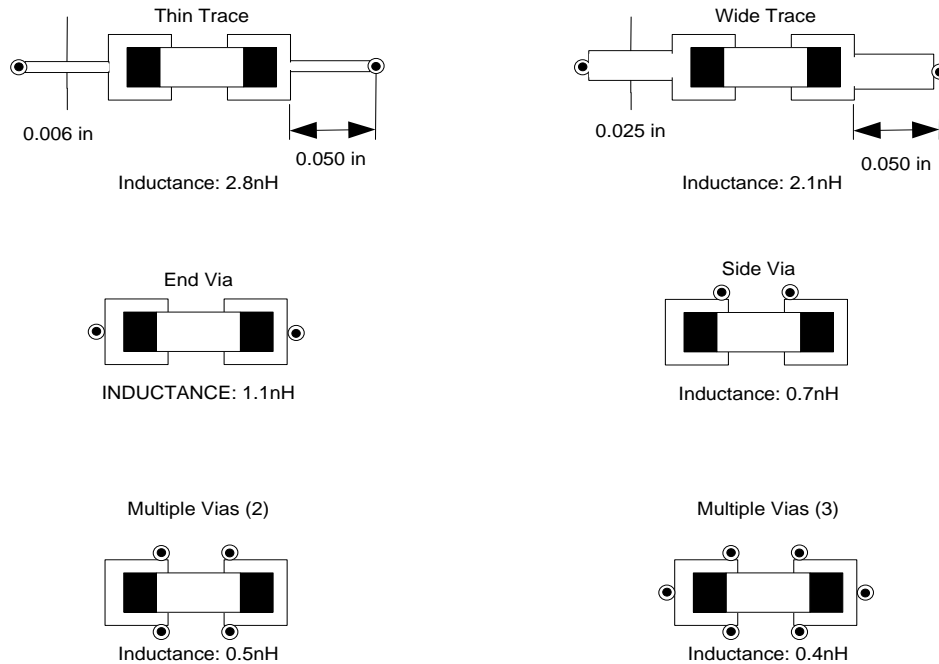
电容和 IC 位于电源/接地平面的同一侧，并且电容放置在 IC 和连接到电源/接地平面的过孔之间是最好的方案，如图 43 所示。由于电容位于电源/接地平面的过孔和 IC（电流负载）之间，因此，电容将为 IC 提供主要电源。这样做，电容能够完全发挥作用。它可以防止意外的电源噪声被传输到电源/接地平面，并影响其它系统组件。

图 43. 电容、IC 和过孔方向 3



使用多个过孔可以减少从焊盘到电源-接地平面对的电感。然而，过孔占用很大的电路板面积。放置相反方向电流并扰的过孔会引起相互耦合，从而降低电感。这是原因图 44 中的侧过孔配置的电感比端过孔配置的电感低。

图 44. 0805 SMT 电容原理图显示了焊盘和电源-接地平面对之间的绝对电感

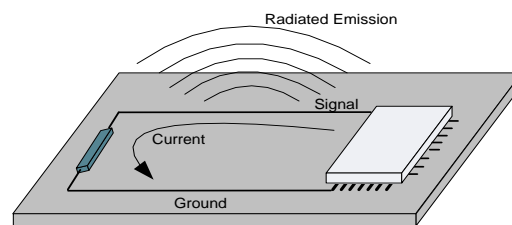


多过孔的用例是去耦电容在一层上，来自供给电容的源的电源和接地平面位于另一层。在信号转换到另一层的点上使用尽可能多的过孔将电源和地走线连接到去耦电容上，为高频噪声提供低阻抗的返回路径。

环路区域

所有电子电路构成了电流环路。此外，每个承载电流和频率分量的电流环路是射频能量的辐射体（天线）。因此，所有承载电流和瞬变噪声的环路也是辐射体。

图 45. 电流承载环路的辐射示例



为了降低对瞬变噪声的敏感性，尽量减少辐射也很重要。辐射程度与环路面积、环路中的电流和信号频率的平方成正比。

要想控制辐射，可以采用以下方式之一或所有方式：降低频率或电流的谐波、减少电流幅度、或减少环路面积。

处理瞬变噪声时，您很难对瞬变噪声的频率分量进行控制。噪声通过 AC-DC 转换器传播到目标板时，低频分量占优势。此外，在噪声入口点使用滤波器也有助于减少高频分量。

减少流过关键环路的电流幅度。最关键的环路是受到瞬变噪声的影响、以更高频率工作和信号为周期性的环路。

减少最关键环路的面积。环路大小的另一个重要影响是对辐射噪声的敏感性。环路越大，环路中的信号对外部辐射噪声的敏感性越强。因此，应尽量缩小环路大小。

另一个示例是去耦网络。将去耦电容安装在尽可能接近 IC 的地方，旨在最小化环路面积和电感。

6.4 固件技术

设计合理的固件可以大幅度消除或减少瞬变噪声所造成的错误。固件设计需要在瞬变噪声翻倒程序时不被锁定，但是它能正常恢复。

编写抗瞬变固件的两个基本步骤为：

- 第一，必须检测到故障。
- 第二，系统必须正常恢复为已知的稳定状态。

固件的错误检测和校正技术可分为三大类：

1. 程序流
2. 输入/输出
3. 存储器

6.4.1 程序流

监控校正程序流

为了确保系统的完整性，固件必须监控各种功能的程序流。可以使用不同的技术进行监控。有一种方法为“时隙监控”。使用该方法时，将通过定期检查程序计数器的状态来确定程序是否正常运行。例如，使用简单的定时器中断来检查 ISR 内的程序流。

利用“跳转到安全位置”命令填充未使用的存储器。因此，如果程序计数器跳到不预期的位置，那么控制器将执行 JMP 指令，以返回到已知状态。

通过指向确保控制器处于已知安全状态的 ISR 的指针来填充未使用的中断向量。始终不能将中断向量留空。

使用看门狗定时器

部分控制器（如 PSoC）集成了一个看门狗定时器（WDT）。通过使用 WDT，可以防止执行不正确的程序。使用固件定期检查正确操作并复位 WDT。如果固件不能及时清除看门狗，WDT 将产生一次系统复位。可以使用系统复位状态寄存器在器件重启时确定最后一次复位的原因。

掉电复位

掉电复位是一种特殊的电路。如果由于电源中断而破坏了系统操作，但中断时间不够长以发生正常的上电复位，那么该电路将迫使控制器复位。

PSoC 3、PSoC 4 和 PSoC 5LP 器件含有一个集成的电压监控电路，除了典型的欠压检测外，它还提供了多种其它功能。该电路将检测欠压和过压条件。配置保护电路，从而立即复位器件，或通过生成中断允许固件来决定将要采取的措施。

固件令牌

在某个函数的进入和退出点放置一个令牌。进入和退出令牌被设置为同一个值。如果退出某个函数时，退出令牌同进入令牌不匹配，那么有可能是您从某个其它位置进入程序。

6.4.2 输入/输出

I/O 刷新

所有关键的 I/O 寄存器（如 I/O 数据端口、数据控制寄存器和外设配置寄存器）都是触发器；当寄生噪声传输到电路时，它们将翻转。固件需要频繁测试或刷新这些寄存器来校正可能导致故障的位翻转。然后，您可以进入错误恢复程序，旨在最小化可能的损坏并正常恢复。

轮询输入 — 噪声过滤

在大多数控制器中，通过数据总线读取 CPU 寄存器来访问 I/O。一般情况下，该访问在 CPU 系统时钟的边沿上被捕捉，如果在读取时发生了毛刺，将导致错误。

为了避免发生这种错误，可以使用固件中的“轮询”技术，在短时间内多次读取引脚，并取其主导值作为真值。在大多数情况下，CPU/系统时钟的频率大于外部输入信号的频率，所以可以轻松实现轮询技术。

6.4.3 存储器

错误检测

由于瞬变噪声引起的存储器变化可能不会立即产生效果，但是以后可能对系统产生影响。为了检测存储器损坏，使用存储器内读取到的数据前，需要验证它们。可以使用多种技术来检查数据的有效性。使用单个奇偶校验位、校验和、循环冗余校验（CRC）以及各种检错码。数据存储器的所需保护程度是整个系统规范的一部分。

多个副本

错误检测的一种简单形式是存储关键数据的多个副本，并在读取存储器中的数据时比较两个副本。虽然简单，但是该方法会占用可用存储空间。

6.4.4 检测错误的 B 类固件

赛普拉斯为 PSoC 3、PSoC 4 和 PSoC 5LP 器件提供了 B 类安全软件库。该库包含了 API，用于通过故障检测机制最大限度地提高应用的可靠性。

表 3 列出了 B 类库中所描述和实现并且符合 IEC 60730-1 B 类标准的测试。表 4 列出了库中的其它自测。

有些自测要求添加合适的 API 函数和 B 类安全软件库中的 *.c 和 *.h 文件。其它自测也要求将一个原理图添加到项目中。

表 3. 符合 IEC 60730-1 B 类标准的自测

组件	测试目标
CPU 寄存器	卡位
程序计数器	跳转到正确地址
中断处理与执行	正确的中断调用与周期性
时钟	错误频率
闪存（不可变存储器）	存储器损坏
EEPROM（不可变存储器）	存储器损坏
SRAM（可变存储器）	卡位和正确的存储器寻址
数字 I/O	卡位
A/D 和 D/A 转换器	正常功能
通信（UART、SPI）	接收准确数据的可能性

表 4. 其它自测

组件	测试目标
看门狗	芯片复位
CapSense CSD	传感器短路、传感器断开以及调节外部组件（Cmod 和 Rb）错误
比较器	正常的比较功能

更多详细信息，请参考：

- [AN81828](#) — PSoC® 1 – IEC 60730 B 类安全软件库
- [AN79973](#) — PSoC3 和 PSoC5 CapSense CSD - IEC 60730 B 类安全软件库
- [AN89056](#) — PSoC® 4 – IEC 60730 B 类和 IEC 61508 SIL 安全软件库

固件可能在器件启动时执行所需自测，用于检查控制器是否符合操作。它也可以定期运行自测，以验证器件在操作期间不受损害并且正常工作。有些自测可能会屏蔽掉由于瞬变噪声引起的故障。因此，虽然您的应用采用了 B 类固件，但是需要确保检测瞬变噪声引起的错误并且采取合适的恢复机制。

7 总结

本应用笔记为技术人员提供了对于基于嵌入式控制器应用的 EFT 抗扰性的设计指南和技术。它也说明了 EFT 测试的原因以及 EFT 测试波形。此外，它还解释了控制器中的故障模式。

8 关于作者

姓名： Shruti Hanumanthaiah
职务： 应用工程师
背景： Shruti 是一位拥有电子与通信专业的应用工程师。她正在使用 PSoC 进行 CapSense 应用的工作。

姓名： Srinivas NVNS
职务： 应用工程师
背景： Srinivas 是一位拥有电力电子、控制系统以及嵌入式固件专业的电气工程师。他正在使用 PSoC 进行 CapSense 应用的工作。

9 参考材料

- IEC EN 61000-4-2 — 静电放电抗扰性测试。²
- IEC EN 61000-4-4 — 电快速瞬变/脉冲群抗扰度测试。2
- *EMC 和印刷电路板：使设计、理论和布局变得更简单*，作者：Mark I. Montrose，Wiley-IEEE Press 出版社，1998。
- *EMC 标准测试：方法和技术*，作者：Mark I. Montrose 和 Edward M. Nakauchi，Wiley-IEEE Press 出版社，2004。
- *电磁兼容技术*，作者：John Wiley & Sons，2011年09月20日。
- [AN57821 — PSoC® 3、PSoC 4 和 PSoC 5LP 混合信号的电路板布局注意事项](#)
- [RL-1505 电感系列](#)
- [选择正确电感](#)
- [关于 coil craft 公司的电感的详细信息](#)
- [如何选择铁氧体组件来抑制 EMI：http://www.fair-rite.com/newfair/pdf/CUP%20Paper.pdf](http://www.fair-rite.com/newfair/pdf/CUP%20Paper.pdf)
- [ILB、ILBB 铁氧体磁珠，电磁干扰以及电磁兼容（EMI/EMC）：](#)
- http://www.vishay.com/docs/ilb_ilbb_enote.pdf

² 该标准不是免费提供的。但您可以在 www.iec.ch 网站上购买一个副本。

A 附录 A：IEC 61000-4-4 EFT 测试要求

IEC 61000-4-4 涉及到对于重复电快速瞬变/脉冲群（EFT/B）的电气和电子抗扰度。IEC 61000-4-4 标准定义了电压波形测试、测试等级范围、测试设备、测试设备的验证程序、测试装置以及测试程序。IEC 61000-4-4 标准也提供了实验室和装配后测试的规范。

A.1 测试等级

可在 AC/DC 主电源、接地、信号以及控制端口上执行 EFT 测试。表 1 显示的是由该标准定义的测试等级，这些测试等级可适用于设备的电源、地、信号以及控制端口。

表 1 列出了每个等级的峰值电压和重复率。重复频率为 100 kHz 的脉冲群提供了真实世界瞬态相似的重复率情况。设备测试计划会记录被用于测试 EUT 的重复率。

该规范将开路电压的四个严格测试等级定义为安装环境的性能。根据最后的应用目标选择测试等级。通过将抗扰度测试与测试等级连系起来，可为设备预期操作的环境建立了一个性能标准。根据通用安装实践，选择哪种测试等级进行 EFT/B 测试取决于电磁环境的要求，如表 5 所示。

表 5. EFT/B 测试严格等级

等级	特性
1 — 受良好保护	安装设备的环境要具备以下的特性： <ul style="list-style-type: none"> - 通过电源和控制电路，可抑制所有瞬变变动 - 电源和控制电路与其他受较少保护的环境需要明确分离 - 电源线被屏蔽和接地 - 电源由适当的滤波电路保护 例如：公司的数据中心或电脑室
2 — 受保护	安装设备的环境要具有以下特性： <ul style="list-style-type: none"> - 通过电源和控制电路，可以部分抑制瞬变 - 电源和控制电路与其他受较少保护的环境之间存在不完整或较差的隔离 - 非屏蔽的电源和控制电缆与信号和通信电缆之间要存在物理隔离 例如：工业控制房
3 — 典型工业	安装设备的环境要具有以下的特性： <ul style="list-style-type: none"> - 不抑制瞬变 - 电源和控制电路与其他受较少保护的环境之间存在不完整或较差的隔离 - 电源、控制电缆与信号和通信电缆之间拥有较差的隔离 - 接地保护可用 例如：典型的普通家庭或工业区
4 — 重工业	安装设备的环境要具备以下特性： <ul style="list-style-type: none"> - 不抑制瞬变 - 电源和控制电路与其他受较少保护的环境之间没有隔离 - 电源、控制电缆与信号和通信电缆之间没有隔开 - 用于控制和信号线的通用多芯电缆 例如：发电厂，变电站的开放式继电器室。

基于微控制器或 PSoC（如家庭应用或手机）的多家设备制造商很保守，他们使用等级 1（就是很高的等级）进行 EFT 测试。

此外，还有一个第五等级，被称为特殊等级。该等级适用于它所对应的设备，并被记录在该设备的技术规范文档中。在该等级中，干扰源与设备的电源、信号以及控制线的分离同其他等级（等级 1 到等级 4）中的所定义不同。

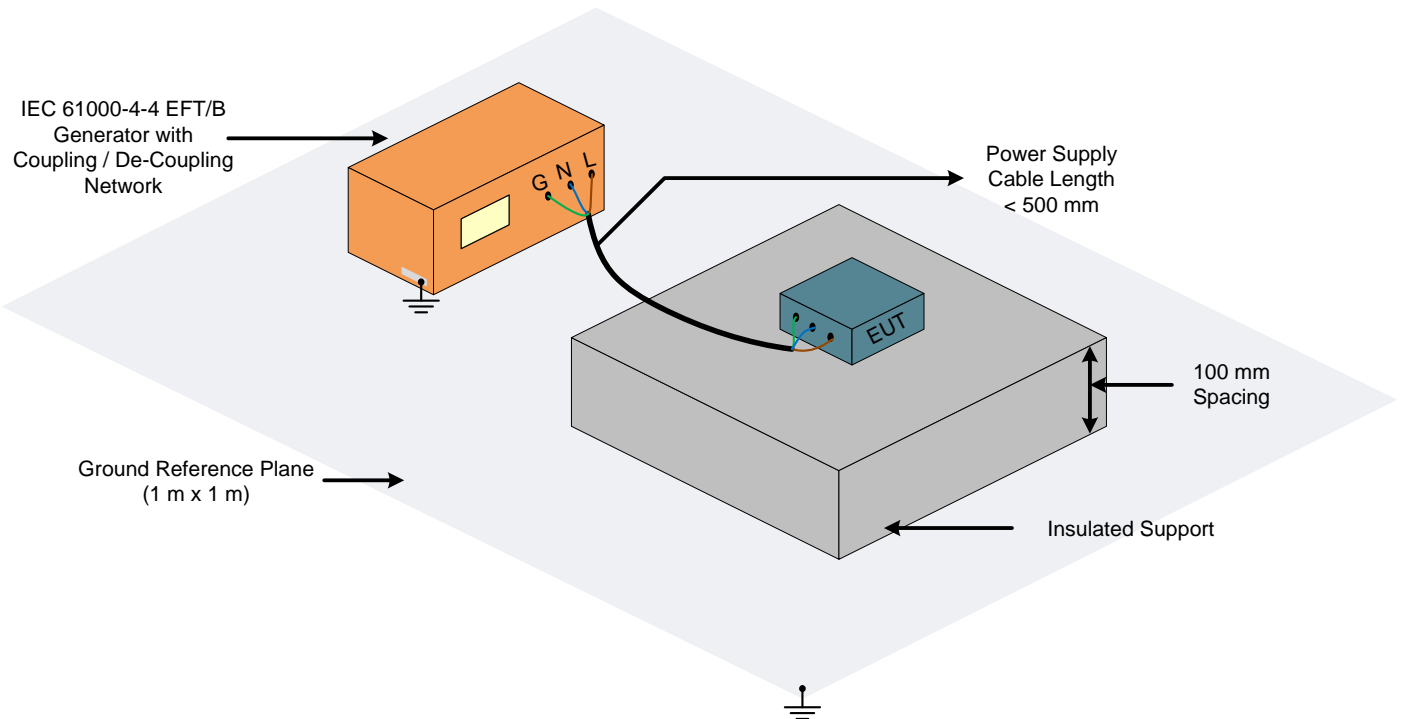
A.2 测试装置

测试装置由以下因素构成：

- 被测设备（EUT）
- 接地参考平面（GRP）
- 耦合网络
- 去耦网络
- 测试群脉冲发生器

它可以包括用于测量和验证目的的辅助设备。

图 46. EFT 测试装置



1. 为了满足测试要求，AC/DC 供电电源端口需要具有耦合/去耦网络，并且连接到 I/O 和通信端口的线路需要连接着电容耦合夹具。通过该夹具，无需任何电流连接到 EUT 端口的终端或电缆的屏蔽或任何其他 EUT 部分，快速瞬变脉冲群仍能连接到被测电路。如果没有在 AC/DC 电流端口上使用耦合/去耦网络，也可以使用夹具。
2. 对于实验室中的认证前测试，测试装置包含了接地参考平面（GRP）。将 GRP 连接到保护接地层。进行测试前，要确保保护接地层与电源中性的电势差别小于 1 V。
3. 测试安装在地板/墙壁/天花板上的设备与测试独立设备相同。将 EUT 安装在厚度为 100 毫米 \pm 10 毫米的绝缘支架上。在所有四面，GRP 必须比 EUT 宽至少 100 mm。
4. 将 EFT/B 发生器直接放置在 GRP 上，并接地。

5. 按照 EUT 的规范，将它连接到接地系统。不允许存在任何其他接地。EUT 与其他导电结构间的最小距离必须为 500 毫米。
6. EUT 上所有必要的电缆必须放置在绝缘支架上，并且距离不得大于 500 毫米 \pm 50 毫米。如果电缆长度大于指定长度，那么必须将多余的长度折叠成“8”字形，以防止扁平线圈，并且要将其放置在绝缘支架上。

根据测试环境，定义了以下两种测试：

1. 在实验室执行认证测试或认证前测试
2. 根据设备的最终安装条件，在设备上执行装配后的测试

推荐的测试方法是在实验室中进行的测试类型。

A.3 测试程序

要在 EFT 测试前和 EFT 测试后检查 EUT 的功能。测试程序包括：

- 验证实验室中的操作条件
- EFT 波形验证
- 测试执行
- 测试结果的评估

A.3.1 实验室中的操作条件

要尽量减少环境参数对测试结果的影响，EUT 必须符合其文档中所规定的温度和湿度限制。如果过高的相对湿度导致在 EUT 中发生冷凝，则不进行测试。实验室中的电磁条件要保证 EUT 无干扰运行。

A.3.2 EFT 波形验证

要确保正确的测试，示波器必须显示 EFT 波形，并在每个测试周期前将其记录下来。为了实现该操作，要不断使用衰减器。EFT 波形必须符合 IEC 规范的要求。

要在 EFT/B 发生器的输出上连接大小为 50 Ω 和 1000 Ω 的终端电阻，并且必须使用示波器测量电压。使用 -3 dB 带宽，频率至少为 400 MHz 的示波器。必须测量脉冲的上升时间、脉冲持续时间以及它的重复率。对于每个设置点的电压，测量到的输出电压必须为：

- 在 (0.5 x 设置点的电压 \pm 10%) 范围内 (对于 50 Ω 终端电阻)
- 在 (设置点的电压 \pm 20%) 范围内 (对于 1000 Ω 终端电阻)
- 上升时间 = 5 ns \pm 30%
- 脉冲持续时间 = 50 ns \pm 30% (对于 50 Ω 终端电阻) 和 = 50 ns -15 ns 至 +100 ns (对于 1000 Ω 终端电阻)

有关如何显示波形的更多信息，请参见 EFT/B 发生器文档。

A.3.3 测试执行

EUT 必须符合它的一般操作条件。必须根据测试计划进行测试。除了 EUT 的功能测试以及性能验证计划外，测试执行工作还包含测试计划。测试计划必须规定以下条件：

- 专门用于 EUT 的测试等级
- 受测的 EUT 端口
- 测试电压的极性 (通常为两个极性) 和测试电压的应用数量。
- 将测试电压应用到 EUT 端口的程序。
- 测试过程不得小于一分钟；测试时间可以分成 6 次突发 (每次 10 秒)，两次突发间的停顿时间为 10 秒。
- 辅助设备的使用

A.3.4 测试结果的评估

测试结果必须记录相应 EUT 的性能衰退以及功能丧失。性能是由制造商规定或在测试前测量到的。根据 IEC 61000-4-4 标准，性能分类如表 2 所示。制造商可以规定对 EUT 的影响，这些影响很小，因此可以接受。例如，在某些应用中，如果器件在测试过程中复位和恢复，使得功能不改变，那么器件复位不被算是失败。

EFT 测试后，建议对 EUT 的性能和功能进行测试。如果 EUT 发生任何不可恢复的损害，应查明情况，并作为将来测试周期的基础。

A.3.5 测试报告

测试报告必须包含有关结果重复能力的需要信息。报告必须包括：

- EUT 和任何辅助设备的说明
- EUT 的操作条件
 - 指定环境的条件
 - 指定条件（如使用屏蔽外壳）
 - 用于启动被执行的测试所需的指定条件（如硬件/固件修改）
- 每个测试计划的测试情况
- 制造商规定的性能等级
- 测试时或测试后所观察到对 EUT 的影响
- 判断完成/失败的原因取决于测试结果的评估

文档修订记录

文档标题：AN80994 — 电快速瞬态（EFT）抗扰度的设计注意事项

文档编号：002-03849

版本	ECN	变更者	提交日期	变更说明
**	5012999	ROWA	11/16/2015	本档版本号为 Rev**，译自英文版 001-80994 Rev*F。
*A	5825808	AESATMP8	07/20/2017	更新标志和版权。
*B	6083542	XITO	02/28/2018	本档版本号为 Rev*B，译自英文版 001-80994 Rev*H。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、原厂代表和经销商组成的全球性网络。如欲查找离您最近的办事处，请访问赛普拉斯所在地。

产品

Arm® Cortex®微控制器	cypress.com/arm
汽车级产品	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmhc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC®解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

此处引用的所有其他商标或注册商标归其各自所有者所有。



赛普拉斯半导体公司，2012-2018 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可) (1) 在赛普拉斯特软件著作权项下的下列许可 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。

(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。