

4 Mb (256K 字 × 16 位) 静态 RAM

特性

- 高速
 - $t_{AA} = 10 \text{ ns} / 15 \text{ ns}$
- 活动模式和待机模式低电流
 - 有效电流: $I_{CC} = 38 \text{ mA}$ (典型值)
 - 待机电流: $I_{SB2} = 6 \text{ mA}$ (典型值)
- 工作电压范围: 1.65 V 至 2.2 V, 2.2 V 至 3.6 V 和 4.5 V 至 5.5 V
- 数据保持电压为 1.0 V
- 支持与 TTL 兼容的输入和输出
- 支持无铅 44-SOJ、44-TSOP II 和 48 球 VFBGA 封装

功能描述

CY7C1041GN 是一款结构为 256K 字 × 16 位的高性能 CMOS 静态 RAM。

通过将芯片使能 (\overline{CE}) 和写入使能 (\overline{WE}) 输入设置为低电平, 并分别在数据引脚 (I/O_0 到 I/O_{15}) 和地址引脚 (A_0 到 A_{17}) 上提供数据和地址, 可以执行数据写入操作。字节高电平使能 (\overline{BHE}) 和字节低电平使能 (\overline{BLE}) 输入将控制对已指定存储器位置内高字节和低字节进行的写操作。 \overline{BHE} 控制 I/O_8 到 I/O_{15} ; \overline{BLE} 控制 I/O_0 到 I/O_7 。

通过将芯片使能 (\overline{CE}) 和输出使能 (\overline{OE}) 输入设置为低电平, 并提供地址行所需的地址, 可执行读取操作。可在 I/O 线 (I/O_0 到 I/O_{15}) 上读取数据。通过设置所需的字节使能信号 (\overline{BHE} 或 \overline{BLE}), 可以执行字节访问, 即读取指定地址上高字节或低字节数据。

在发生以下事件的期间内, 所有 I/O (I/O_0 到 I/O_{15}) 都为高阻态

- 取消选择该器件 (\overline{CE} HIGH)
- 取消设置各控制信号 (\overline{OE} 、 \overline{BLE} 、 \overline{BHE})

逻辑框图在第二页上。

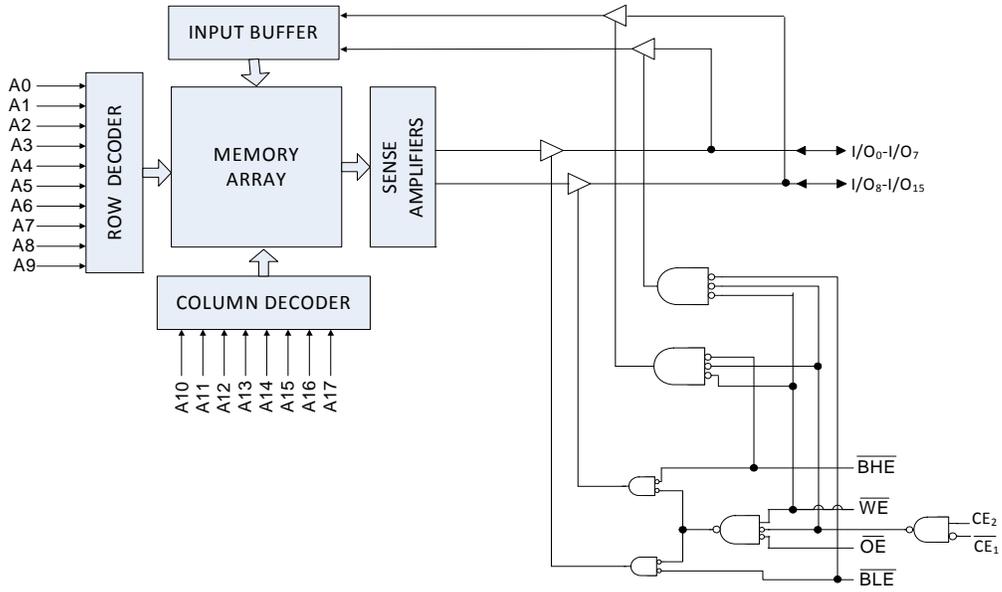
产品系列概述

产品	范围	V_{CC} 范围 (V)	速率 (ns) 10/15	功耗			
				工作电流 I_{CC} (mA)		待机电流 I_{SB2} (mA)	
				$f = f_{max}$		典型值 ^[1]	最大值
				典型值 ^[1]	最大值		
CY7C1041GN18	工业级	1.65 V 至 2.2 V	15	–	40	6	8
CY7C1041GN30		2.2 V 至 3.6 V	10	38	45		
CY7C1041GN		4.5 V 至 5.5 V	10	38	45		

注释:

1. 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的测量条件为: $V_{CC} = 1.8 \text{ V}$ (V_{CC} 范围为 1.65 V 至 2.2 V), $V_{CC} = 3 \text{ V}$ (V_{CC} 范围为 2.2 V 至 3.6 V) 和 $V_{CC} = 5 \text{ V}$ (V_{CC} 范围为 4.5 V 至 5.5 V), $T_A = 25 \text{ }^\circ\text{C}$ 。

逻辑框图 — CY7C1041GN



目录

引脚配置	4	封装图	14
最大额定值	5	缩略语	16
工作范围	5	文档规范	16
直流电气特性	5	测量单位	16
电容	6	文档修订记录页	17
热阻	6	销售、解决方案和法律信息	18
交流测试负载和波形	6	全球销售和设计支持	18
数据保持特性	7	产品	18
数据保持波形	7	PSoC [®] 解决方案	18
交流开关特性	8	赛普拉斯开发者社区	18
开关波形	9	技术支持	18
真值表	12		
订购信息	13		
订购代码定义	13		

引脚配置

图 1. 48 球 VFBGA (6 × 8 × 1.0 mm) 引脚分布, 封装 / 等级 ID: BVXI^[2, 3]

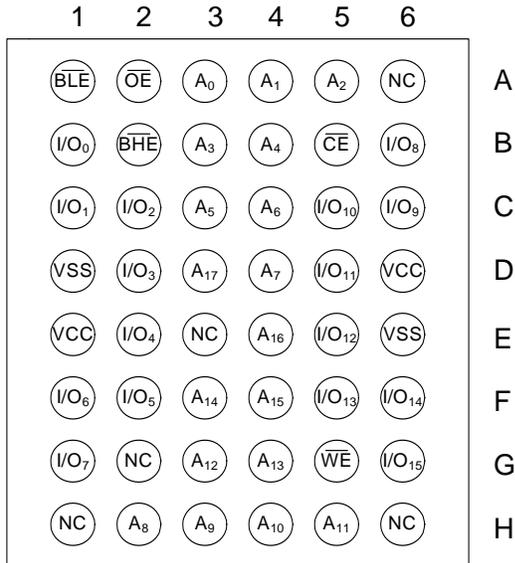


图 2. 48 球 VFBGA (6 × 8 × 1.0 mm) 引脚分布, 封装 / 等级 ID: BVJXI^[2]

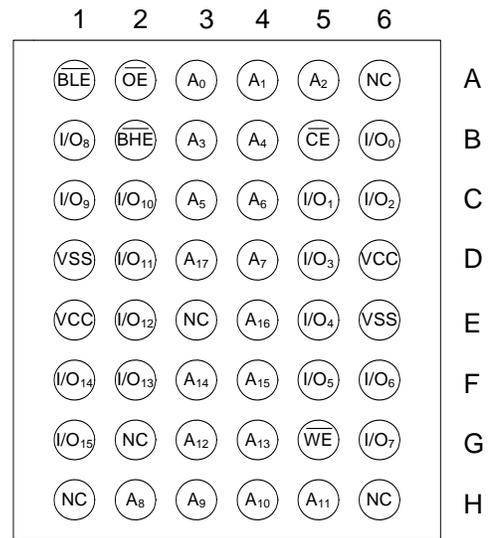
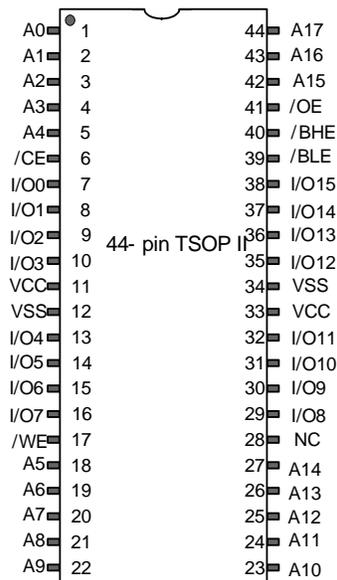


图 3. 44-TSOP II / 44-SOJ 引脚分布^[2]



注释:

- NC 引脚并没有内部连接到芯片。
- 与封装类型 BVXI 相比, 封装类型 BVJXI 符合 JEDEC 标准。这两种类型在高位字节和低位字节 I/O (I/O_[7:0] 和 I/O_[15:8]) 球型焊盘被交换上存在着差别。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65 °C 至 +150 °C
 通电时的环境温度 -55 °C 至 +125 °C
 相对于 GND 的 V_{CC} 供电电压^[4] -0.5 V 至 $V_{CC} + 0.5$ V
 高阻态输出的直流电压^[4] -0.5 V 至 $V_{CC} + 0.5$ V
 直流输入电压^[4] -0.5 V 至 $V_{CC} + 0.5$ V

直流电气特性

工作温度范围为 -40 °C 至 85 °C

输出电流（输出处于低电平状态）..... 20 mA
 静电放电电压（MIL-STD-883，方法号 3015）..... > 2001 V
 栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 至 +85°C	1.65 V 至 2.2 V、 2.2 V 至 3.6 V、 4.5 V 至 5.5 V

参数	说明	测试条件	10 ns/15 ns			单位	
			最小值	典型值 ^[5]	最大值		
V_{OH}	输出高电平电压	1.65 V 至 2.2 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	1.4	-	-	V
		2.2 V 至 2.7 V	$V_{CC} = \text{最小值}, I_{OH} = -1.0 \text{ mA}$	2	-	-	
		2.7 V 至 3.6 V	$V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.2	-	-	
		4.5 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -4.0 \text{ mA}$	2.4	-	-	
		4.5 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OH} = -0.1 \text{ mA}$	$V_{CC} - 0.5$ ^[6]	-	-	
V_{OL}	输出低电平电压	1.65 V 至 2.2 V	$V_{CC} = \text{最小值}, I_{OL} = 0.1 \text{ mA}$	-	-	0.2	V
		2.2 V 至 2.7 V	$V_{CC} = \text{最小值}, I_{OL} = 2 \text{ mA}$	-	-	0.4	
		2.7 V 至 3.6 V	$V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	-	-	0.4	
		4.5 V 至 5.5 V	$V_{CC} = \text{最小值}, I_{OL} = 8 \text{ mA}$	-	-	0.4	
V_{IH}	输入高电平电压	1.65 V 至 2.2 V	-	1.4	-	$V_{CC} + 0.2$ ^[4]	V
		2.2 V 至 2.7 V	-	2	-	$V_{CC} + 0.3$ ^[4]	
		2.7 V 至 3.6 V	-	2	-	$V_{CC} + 0.3$ ^[4]	
		4.5 V 至 5.5 V	-	2.2	-	$V_{CC} + 0.5$ ^[4]	
V_{IL}	输入低电平电压	1.65 V 至 2.2 V	-	-0.2 ^[4]	-	0.4	V
		2.2 V 至 2.7 V	-	-0.3 ^[4]	-	0.6	
		2.7 V 至 3.6 V	-	-0.3 ^[4]	-	0.8	
		4.5 V 至 5.5 V	-	-0.5 ^[4]	-	0.8	
I_{IX}	输入漏电流	$GND \leq V_{IN} \leq V_{CC}$	-	-	-	+1	μA
I_{OZ}	输出漏电流	$GND \leq V_{OUT} \leq V_{CC}$, 输出处于禁用状态	-	-	-	+1	μA
I_{CC}	工作供电电流	$V_{CC} = \text{最大值},$ $I_{OUT} = 0 \text{ mA},$ CMOS 电平	$f = 100 \text{ MHz}$	-	38	45	mA
			$f = 66.7 \text{ MHz}$	-	-	40	
I_{SB1}	自动 CE 断电电流—TTL 输入	$V_{CC} = \text{最大值}, \overline{CE} \geq V_{IH},$ $V_{IN} \geq V_{IH} \text{ 或 } V_{IN} \leq V_{IL}, f = f_{MAX}$	-	-	-	15	mA
I_{SB2}	自动 CE 断电电流—CMOS 输入	$V_{CC} = \text{最大值}, \overline{CE} \geq V_{CC} - 0.2 \text{ V},$ $V_{IN} \geq V_{CC} - 0.2 \text{ V} \text{ 或 } V_{IN} \leq 0.2 \text{ V}, f = 0$	-	6	-	8	mA

注释:

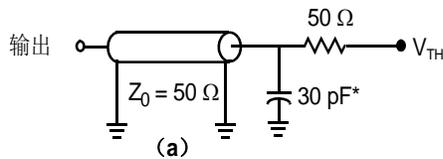
- 在脉冲宽度小于 2 ns 时, $V_{L(\min)} = -2.0 \text{ V}$ 以及 $V_{H(\max)} = V_{CC} + 2 \text{ V}$ 。
- 典型值仅供参考, 并未得以保证, 也未经过测试。典型值的测量条件为: $V_{CC} = 1.8 \text{ V}$ (V_{CC} 范围为 1.65 V 至 2.2 V), $V_{CC} = 3 \text{ V}$ (V_{CC} 范围为 2.2 V 至 3.6 V), $V_{CC} = 5 \text{ V}$ (V_{CC} 范围为 4.5 V 至 5.5 V), $T_A = 25 \text{ }^\circ\text{C}$ 。
- 该参数由设计保证, 但未经过测试。

电容

参数 [7]	说明	测试条件	48 球 VFBGA	44-SOJ	44-TSOP II	单位
C_{IN}	输入电容	$T_A = 25\text{ }^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC}(\text{typ})$	10	10	10	pF
C_{OUT}	I/O 电容		10	10	10	pF

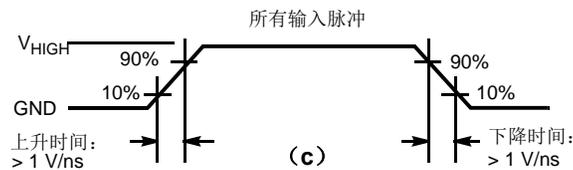
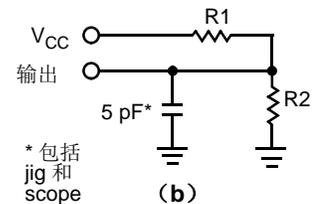
热阻

参数 [7]	说明	测试条件	48 球 VFBGA	44-SOJ	44-TSOP II	单位
Θ_{JA}	热阻 (结温)	在无气流环境中, 它被焊接在尺寸为 3×4.5 英寸的四层印刷电路板上	31.35	55.37	68.85	$^\circ\text{C/W}$
Θ_{JC}	热阻 (壳温)		14.74	30.41	15.97	$^\circ\text{C/W}$

交流测试负载和波形
图 4. 交流测试负载和波形 [8]


* 电容负载包括测试环境中的所有组件

高阻特性:



参数	1.8 V	3.0 V	5.0 V	单位
R1	1667	317	317	Ω
R2	1538	351	351	Ω
V_{TH}	0.9	1.5	1.5	V
V_{HIGH}	1.8	3	3	V

注释:

- 进行任何可能影响这些参数的设计或流程更改之前以及之后, 都需要进行测试。
- 整个器件交流操作假设 0 到 $V_{CC}(\text{min})$ 的升降时间为 $100\ \mu\text{s}$, V_{CC} 稳定下来后等待时间为 $100\ \mu\text{s}$ 。

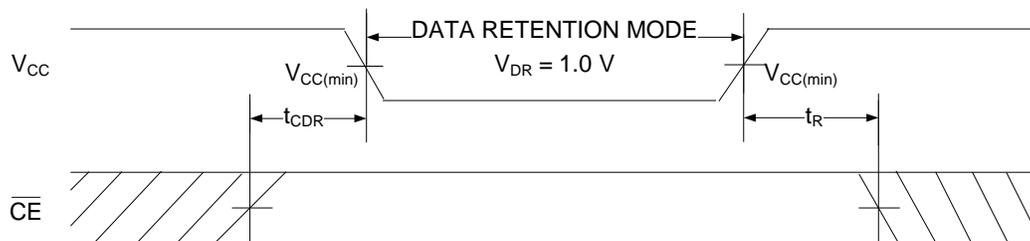
数据保持特性

工作温度范围为 -40°C 至 85°C

参数	说明	条件	最小值	最大值	单位
V_{DR}	用于数据保留的 V_{CC}		1	–	V
I_{CCDR}	数据保持电流	$V_{\text{CC}} = 1.2\text{ V}$, $\overline{\text{CE}} \geq V_{\text{CC}} - 0.2\text{ V}$ ^[9] , $V_{\text{IN}} \geq V_{\text{CC}} - 0.2\text{ V}$ 或 $V_{\text{IN}} \leq 0.2\text{ V}$	–	8	mA
$t_{\text{CDR}}^{\text{[10]}}$	芯片取消选择到数据保持的时间		0	–	ns
$t_{\text{R}}^{\text{[9, 10]}}$	操作恢复的时间	$V_{\text{CC}} \geq 2.2\text{ V}$	10	–	ns
		$V_{\text{CC}} < 2.2\text{ V}$	15	–	ns

数据保持波形

图 5. 数据保持波形^[9]



注释:

9. 为了确保器件正常工作, 线性 V_{CC} 必须在 $\geq 100\ \mu\text{s}$ 的时间内从 V_{DR} 上升到 $V_{\text{CC}(\text{min})}$ 或者在 $\geq 100\ \mu\text{s}$ 的时间内保持 $V_{\text{CC}(\text{min})}$ 的稳定状态。

10. 这些参数由设计保证。

交流开关特性

工作温度范围为 -40 °C 至 85 °C

参数 ^[11]	说明	10 ns		15 ns		单位
		最小值	最大值	最小值	最大值	
读周期						
t_{RC}	读周期的时长	10	–	15	–	ns
t_{AA}	地址到数据有效的时间	–	10	–	15	ns
t_{OHA}	地址更改后的数据保持时间	3	–	3	–	ns
t_{ACE}	\overline{CE} 为低电平到数据有效的时间 ^[12]	–	10	–	15	ns
t_{DOE}	\overline{OE} 为低电平到数据有效的时间	–	4.5	–	8	ns
t_{LZOE}	\overline{OE} 为低电平到低阻态的时间 ^[13、14]	0	–	0	–	ns
t_{HZOE}	\overline{OE} 为高电平到高阻态的时间 ^[13、14]	–	5	–	8	ns
t_{LZCE}	\overline{CE} 为低电平到低阻态的时间 ^[12、13、14]	3	–	3	–	ns
t_{HZCE}	\overline{CE} 为高电平到高阻态的时间 ^[12、13、14]	–	5	–	8	ns
t_{PU}	\overline{CE} 为低电平到上电的时间 ^[12、14、15]	0	–	0	–	ns
t_{PD}	\overline{CE} 为高电平到断电的时间 ^[12、14、15]	–	10	–	15	ns
t_{DBE}	字节使能到数据有效的时间	–	4.5	–	8	ns
t_{LZBE}	从字节使能到低阻态的时间 ^[14]	0	–	0	–	ns
t_{HZBE}	从字节被禁用到高阻态的时间 ^[14]	–	6	–	8	ns
写周期^[15、16]						
t_{WC}	写周期的时长	10	–	15	–	ns
t_{SCE}	\overline{CE} 为低电平到写周期结束的时间 ^[12]	7	–	12	–	ns
t_{AW}	地址设置到写周期结束的时间	7	–	12	–	ns
t_{HA}	写周期结束后地址保持的时间	0	–	0	–	ns
t_{SA}	地址设置到写周期开始的时间	0	–	0	–	ns
t_{PWE}	\overline{WE} 脉冲宽度	7	–	12	–	ns
t_{SD}	数据设置到写周期结束的时间	5	–	8	–	ns
t_{HD}	写周期结束后数据保持的时间	0	–	0	–	ns
t_{LZWE}	\overline{WE} 为高电平到低阻态的时间 ^[13、14]	3	–	3	–	ns
t_{HZWE}	\overline{WE} 为低电平到高阻态的时间 ^[13、14]	–	5	–	8	ns
t_{BW}	字节使能到写周期结束的时间	7	–	12	–	ns

注释:

- 测试条件假设如下：信号跃变时间（上升/下降）不大于 3 ns，时序参考电平为 1.5 V（对于 $V_{CC} \geq 3 V$ ）和 $V_{CC}/2$ （对于 $V_{CC} < 3 V$ ），输入脉冲电平范围为 0 到 3 V（对于 $V_{CC} \geq 3 V$ ）和 0 到 V_{CC} （对于 $V_{CC} < 3 V$ ）。除非另有说明，否则读周期的测试条件使用第 6 页上的图 4 中 (a) 部分所显示的输出加载。
- 对于所有的双芯片使能器件， \overline{CE} 是 \overline{CE}_1 和 CE_2 的逻辑组合。当 \overline{CE}_1 为低电平，且 CE_2 为高电平时， \overline{CE} 将处于低电平状态；当 \overline{CE}_1 为高电平或 CE_2 为低电平时， \overline{CE} 将处于高电平状态。
- t_{HZOE} 、 t_{HZCE} 、 t_{HZWE} 、 t_{LZOE} 、 t_{LZCE} 、 t_{LZWE} 以及 t_{LZBE} 的负载电容均为 5 pF，如第 6 页上的图 4 中的 (b) 部分所示。跃变在稳定状态电压 ± 200 mV 的条件下测量。
- 这些参数由设计保证，并未经过测试。
- 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$ ，可以定义存储器的内部写入时间。要想执行写入操作，必须将这些信号置于低电平状态。任一信号转为高电平都会终止该操作。当设置输入数据和保持时间时，必须考虑到终止写操作的信号边沿。
- 第二个写周期（由 \overline{WE} 控制， \overline{OE} 为低电平）的最小写周期脉冲宽度应为 t_{SD} 和 t_{HZWE} 的总和。

开关波形

图 6. 第一个读周期（地址转换控制） [17、18]

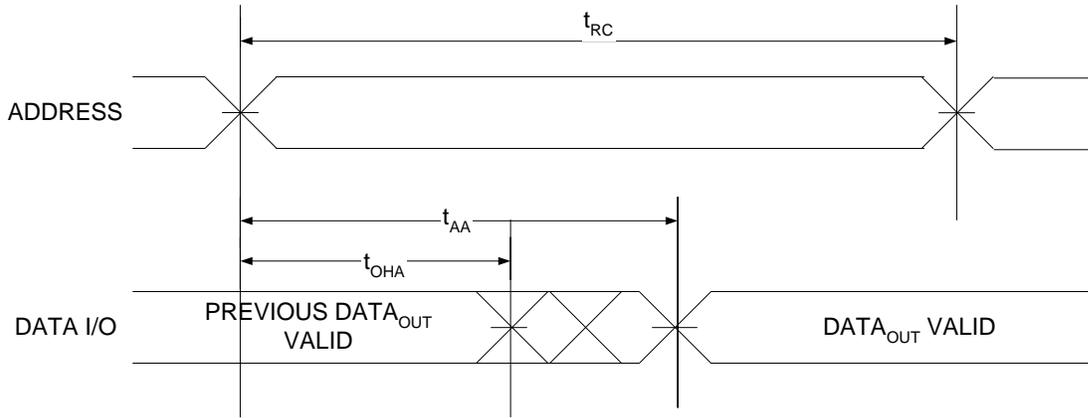
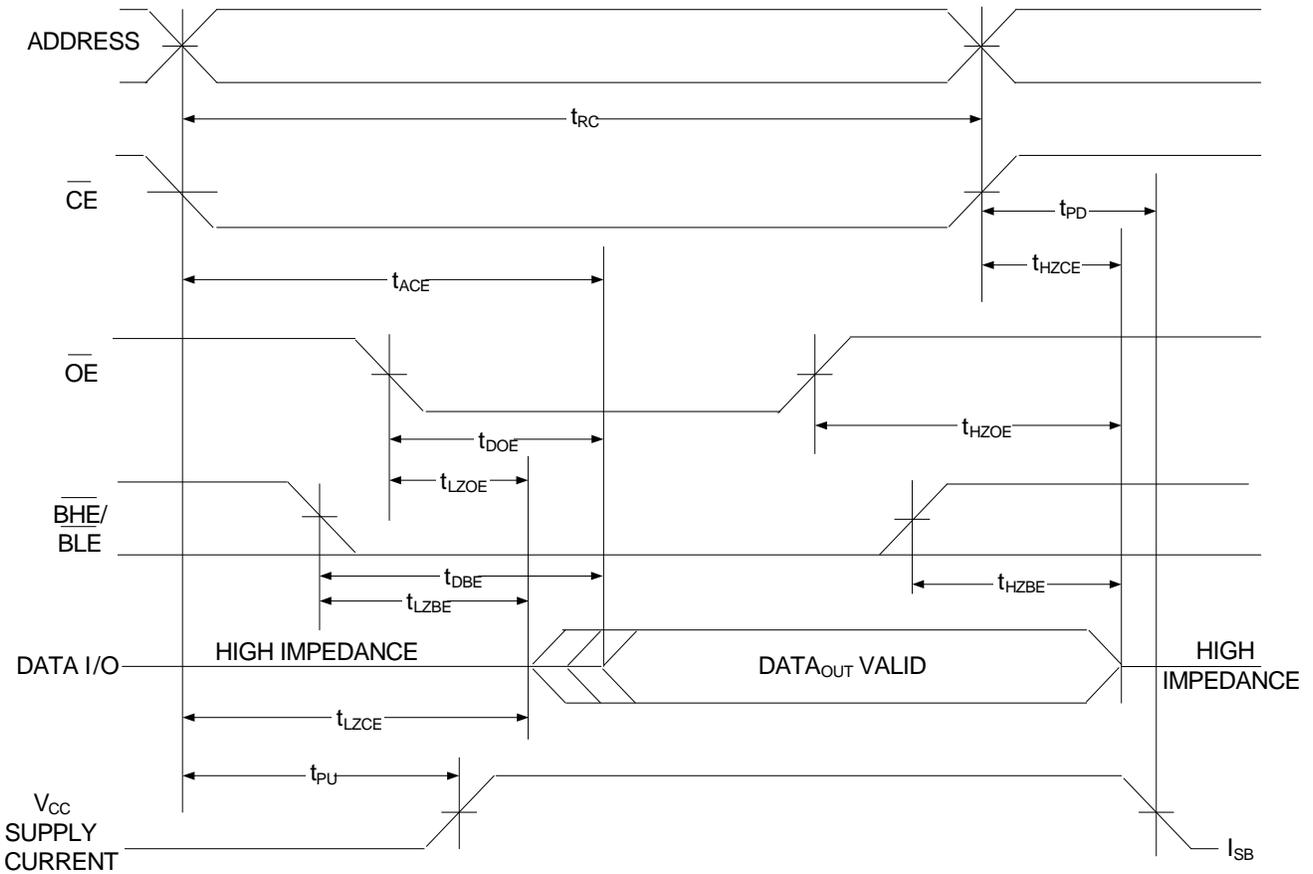


图 7. 第二个读周期（由 \overline{OE} 控制） [18、19]



注释:

- 17. 一直选中该器件, $\overline{OE} = V_{IL}$, $\overline{CE} = V_{IL}$, \overline{BHE} 或 / 和 $\overline{BLE} = V_{IL}$ 。
- 18. 在读周期中, \overline{WE} 为高电平。
- 19. 地址有效在 \overline{CE} 的低电平转换前发生或者同步发生。

开关波形 (续)

图 8. 第一个写周期 (由 \overline{CE} 控制) [20、21]

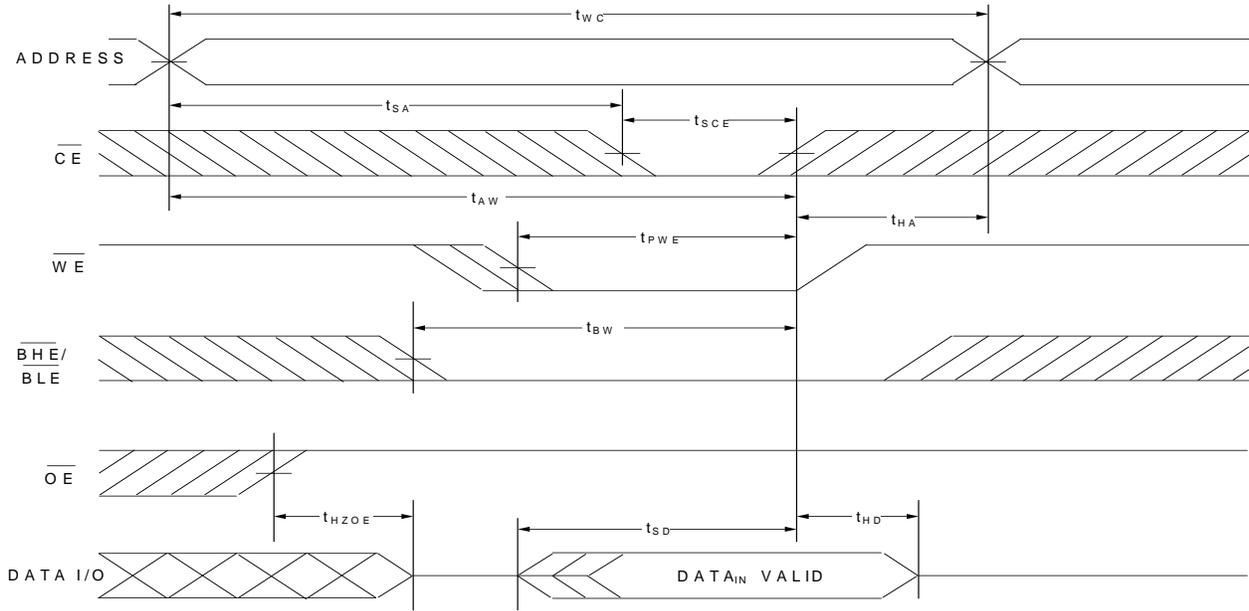
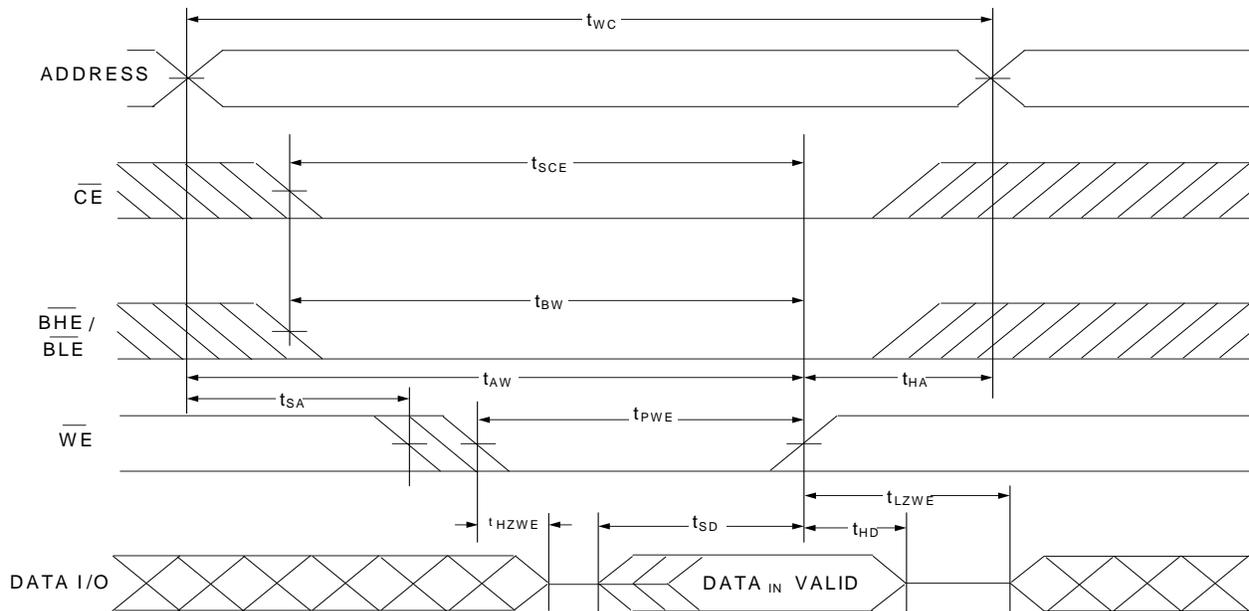


图 9. 第二个写周期 (由 \overline{WE} 控制, \overline{OE} 为低电平) [20、21、22]



注释:

- 20. 通过重叠 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 和 \overline{BHE} 或 $\overline{BLE} = V_{IL}$, 可以定义存储器的内部写入时间。要想执行写入操作, 必须将这些信号置于低电平状态。任一信号转为高电平都会终止该操作。当设置建立时间和保持时间时, 必须考虑到终止写操作的信号边沿。
- 21. 如果 $\overline{CE} = V_{IH}$, 或 $\overline{OE} = V_{IH}$ 或 \overline{BHE} 和 / 或 $\overline{BLE} = V_{IH}$, 数据 I/O 将处于高阻态。
- 22. 最小写周期脉冲宽度应等于 t_{SD} 和 t_{HZWE} 的总和。

开关波形 (续)

图 10. 第三个写周期 (由 $\overline{\text{BLE}}$ 或 $\overline{\text{BHE}}$ 控制) [23、24]

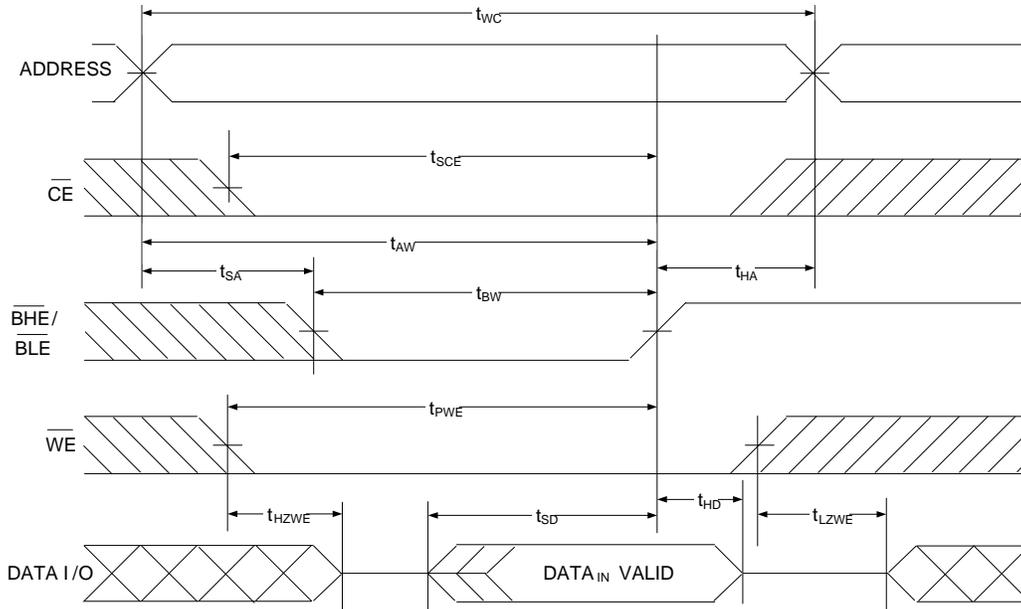
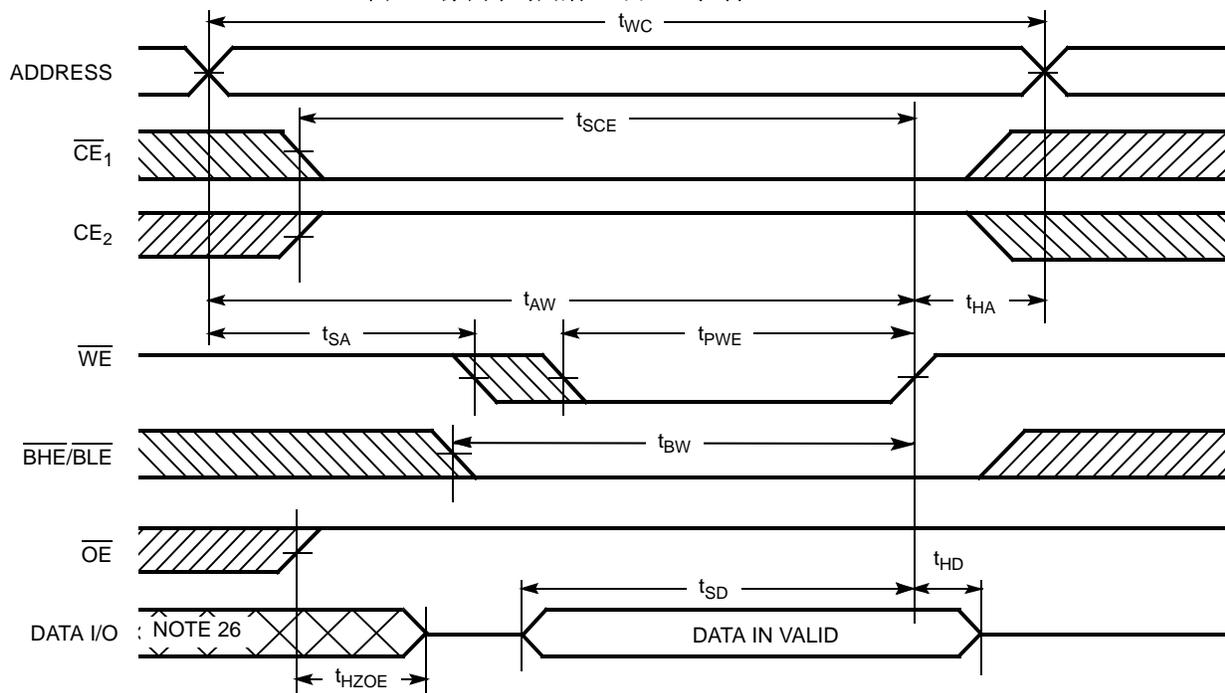


图 11. 第四个写周期 (由 $\overline{\text{WE}}$ 控制) [23、24、25]



注释:

23. 通过重叠 $\overline{\text{WE}} = V_{IL}$ 、 $\overline{\text{CE}} = V_{IL}$ 和 $\overline{\text{BHE}}$ 或 $\overline{\text{BLE}} = V_{IL}$, 可以定义存储器的内部写入时间。要想执行写入操作, 必须将这些信号置于低电平状态。任一信号转为高电平都会终止该操作。当设置建立时间和保持时间时, 必须考虑到终止写操作的信号边沿。

24. 如果 $\overline{\text{CE}} = V_{IH}$, 或 $\overline{\text{OE}} = V_{IH}$, 或 $\overline{\text{BHE}}$ 和 / 或 $\overline{\text{BLE}} = V_{IH}$, 数据 I/O 将处于高阻态。

25. 如果 $\overline{\text{OE}} = V_{IH}$, 数据 I/O 处于高阻态。

26. 在该过程中, I/O 处于输出状态。请勿采用输入信号。

真值表

\overline{CE}	\overline{OE}	\overline{WE}	\overline{BLE}	\overline{BHE}	I/O ₀ -I/O ₇	I/O ₈ -I/O ₁₅	模式	功耗模式
H	X ^[27]	X ^[27]	X ^[27]	X ^[27]	高阻态	高阻态	断电	待机 (I _{SB})
L	L	H	L	L	数据输出	数据输出	读取所有位	活动 (I _{CC})
L	L	H	L	H	数据输出	高阻态	仅读取低位	活动 (I _{CC})
L	L	H	H	L	高阻态	数据输出	仅读取高位	活动 (I _{CC})
L	X	L	L	L	数据输入	数据输入	写入所有位	活动 (I _{CC})
L	X	L	L	H	数据输入	高阻态	仅写入低位	活动 (I _{CC})
L	X	L	H	L	高阻态	数据输入	仅写入高位	活动 (I _{CC})
L	H	H	X	X	高阻态	高阻态	选中, 输出被禁用	活动 (I _{CC})

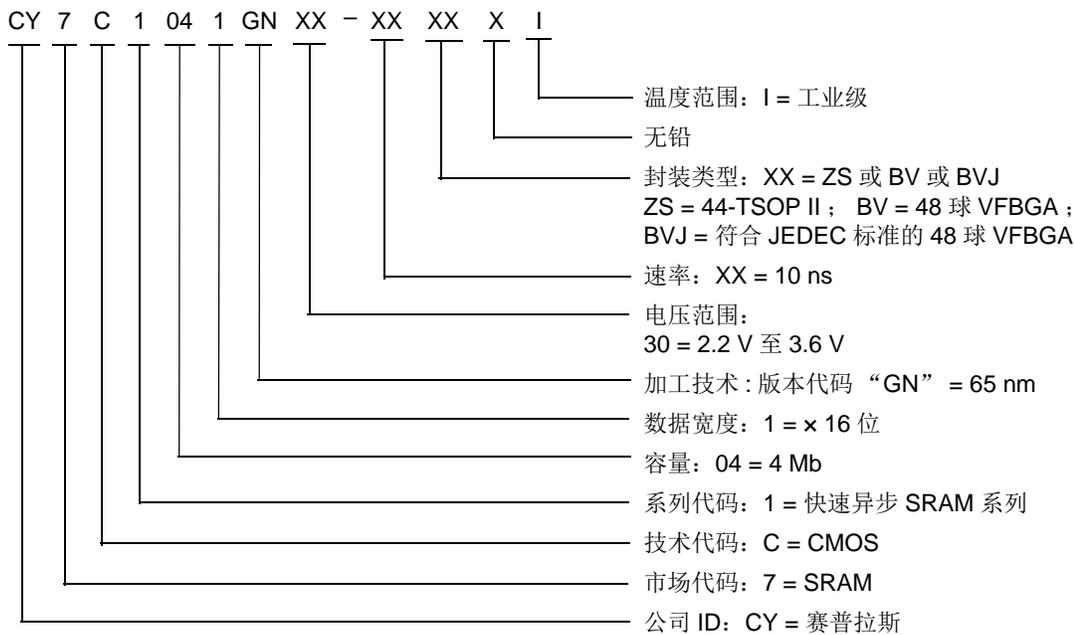
注释:

27. 这些引脚上的输入电压电平应为 V_{IH} 或 V_{IL}。

订购信息

速率 (ns)	电压范围	订购代码	封装图	封装类型 (所有均为无铅)	工作范围
10	2.2 V 至 3.6 V	CY7C1041GN30-10ZSXI	51-85087	44-TSOP II	工业级
		CY7C1041GN30-10BVXI	51-85150	48 球 VFBGA (6 × 8 × 1.0 mm)	
		CY7C1041GN30-10BVJXI	51-85150	48 球 VFBGA (6 × 8 × 1.0 mm), 符合 JEDEC 标准	
	4.5 V 至 5.5 V	CY7C1041GN-10ZSXI		44-TSOP II	

订购代码定义



封装图

图 12. 44-TSOP II (Z44) 封装外形 — 51-85087

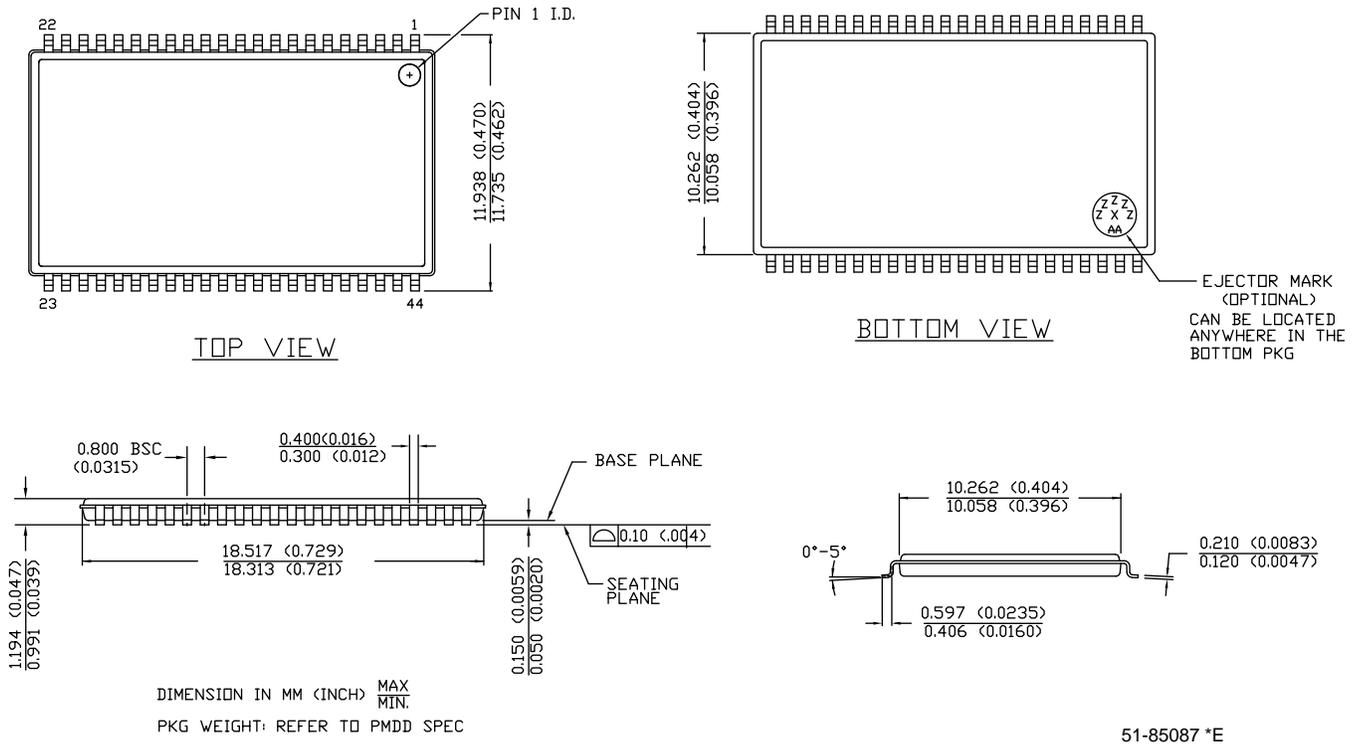
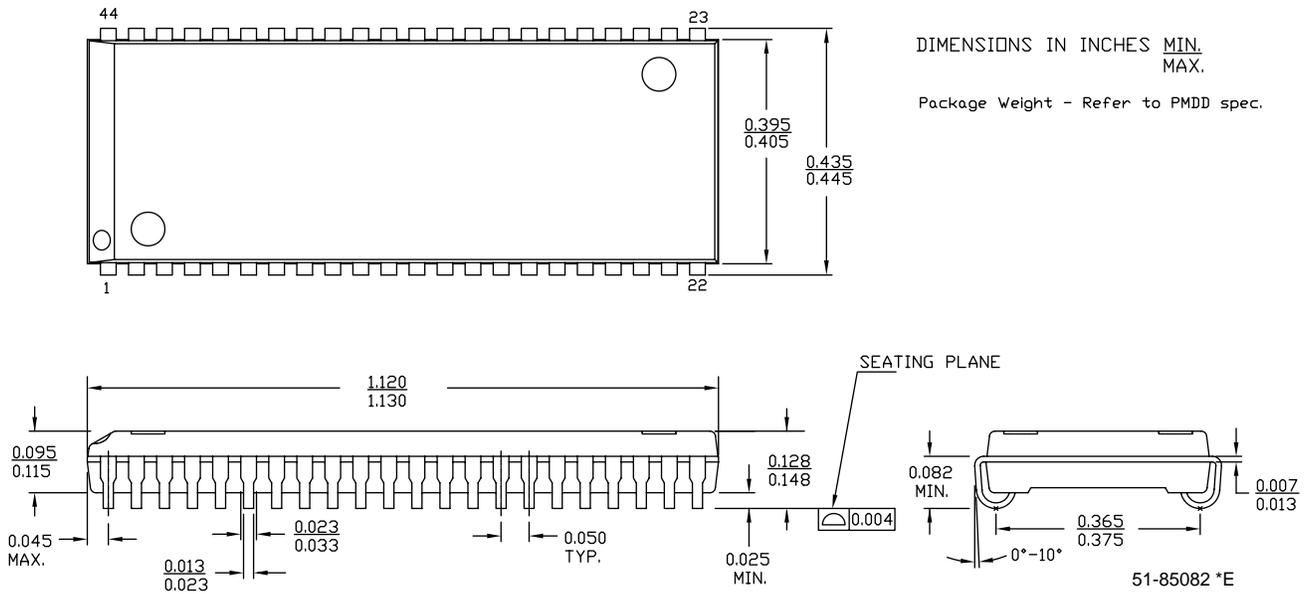
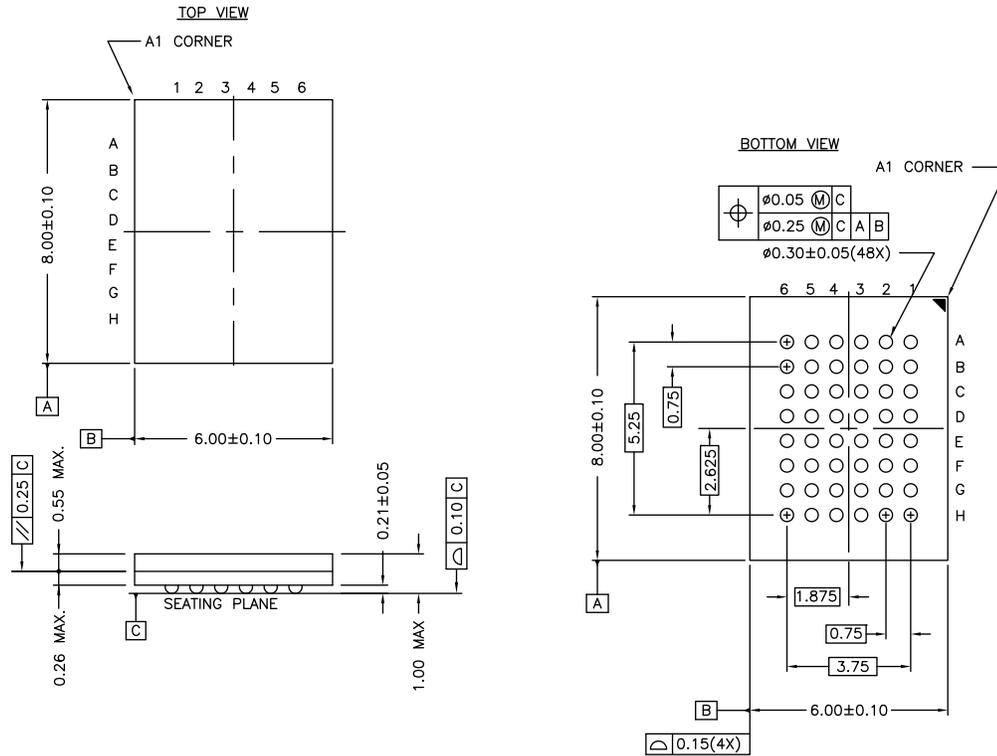


图 13. 44-SOJ (400 Mils) 封装外形 — 51-85082



封装图 (续)

图 14. 48 球 VFBGA (6 × 8 × 1.0 mm) BV48/BZ48 封装外形 — 51-85150



NOTE:
 PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

缩略语

缩略语	说明
BHE	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
I/O	输入 / 输出
$\overline{\text{OE}}$	输出使能
SRAM	静态随机存取存储器
TSOP	薄小型封装
TTL	晶体管 — 晶体管逻辑
VFBGA	间距非常小的球栅阵列 (BGA)
$\overline{\text{WE}}$	写入使能

文档规范
测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
μA	微安
μs	微秒
mA	毫安
mm	毫米
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: **CY7C1041GN — 4 Mb (256K 字 × 16 位) 静态 RAM**
文档编号: **002-10956**

版本	ECN 编号	变更者	提交日期	变更说明
**	5154136	LISZ	02/29/2016	本档版本号为 Rev**, 译自英文版 001-95413 Rev*A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司具有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC[®] 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2016。此处所包含的信息可随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会根据专利权或其他权利以明示或暗示方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对客户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于发生故障（包括运转异常）或失效可能会对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受赛普拉斯软件许可协议的限制。