

EZ-USB™ HX2VL 低消費電力マルチトランザクショントランスレーター USB 2.0 ハブコントローラー

特長

- 最小限の部品表 (BOM) で低コスト設計を実現した高性能、低消費電力 USB 2.0 ハブ。
- USB 2.0 ハブ コントローラー
 - USB 2.0 仕様に準拠, TID# 30000059
 - 最大 4 つのダウンストリーム ポートをサポート
 - ダウンストリーム ポートは FS, LS と下位互換性あり
 - 各ダウンストリーム ポートごとに配置された最高性能を実現するマルチプルトランザクショントランスレーター (TT)
- 超低消費電力
 - バス給電と自己給電モードをサポート
 - バス給電と自己給電を自動切替え
 - 2K ROM および 64 バイト RAM を備えた単一 MCU
 - 最小の消費電力
- 高度に統合したソリューションで BOM コスト削減
 - 内部レギュレータ - 単一電源電圧 5V のみが必要
 - 外部レギュレータで 3.3V 接続を提供
 - アップストリーム プルアップ抵抗を内蔵
 - すべてのダウンストリーム ポート用のプルダウン抵抗を内蔵
 - アップストリーム / ダウンストリーム 終端抵抗を内蔵
 - ポート ステータス インジケータ コントローラーを内蔵
 - 駆動レベル 600 μ W の 12MHz \pm 500 ppm 外部水晶振動子 (内蔵 PLL 用) 入力クロックで、オプションとして 27/48 MHz 振動子クロック入力
 - ESD 回復用の内部電源障害検知機能を搭載
- ダウンストリーム ポート管理
 - 個別とギャング モードの電源管理をサポート
 - 過電流検出
 - ダウンストリーム ポートごとに 2 つのポート ステータス インジケータ
- コンフィギュレーションの多様性
 - VID と PID は外部 EEPROM によりコンフィギュレーション可能
 - ポート数, 取外し可能/取外し不可ポートは、EEPROM および I/O ピン設定によりコンフィギュレーション可能
 - ギャング / 個別モードの電源切替え, リファレンスクロックソース, および電源切替えイネーブルピンの極性は I/O ピンでコンフィギュレーション可能
 - コンフィギュレーション オプションはマスク ROM をとおしても利用可能
- 省スペースの 48 リード TQFP (7 \times 7 mm) および 28 リード QFN (5 \times 5 mm) パッケージが利用可能
- 温度範囲 0°C \sim +70°C をサポート

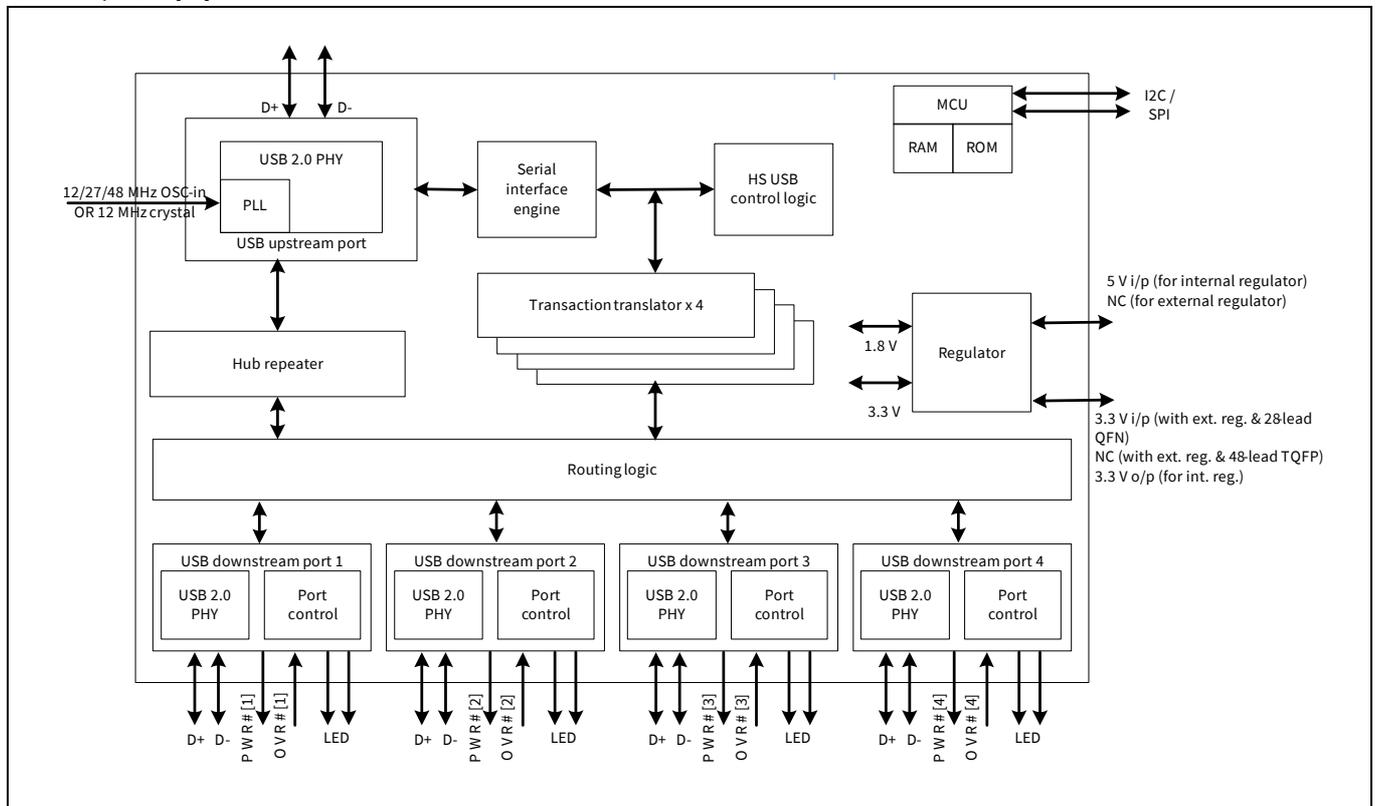
アプリケーション

アプリケーション

EZ-USB™ HX2VL デバイス ファミリの代表的なアプリケーションは次のとおりです。

- ドッキングステーション
- スタンドアロンハブ
- モニターハブ
- 多機能プリンター
- デジタルテレビ
- 高性能ポートレプリケータ
- キーボードハブ
- ゲームコンソール

ブロック図



目次

特長	1
アプリケーション	2
ブロック図	2
目次	3
1 はじめに	5
2 HX2VL アーキテクチャ	6
2.1 USB シリアル インターフェース エンジン	6
2.2 HS USB 制御ロジック	6
2.3 ハブ リピータ	6
2.4 MCU	6
2.5 トランザクション トランスレータ (TT)	6
2.6 ポート制御	6
3 機能概要	7
3.1 システムの初期化	7
3.2 エニユメレーション	7
3.3 マルチプル トランザクション トランスレータのサポート	7
3.4 アップストリーム ポート	7
3.5 ダウンストリーム ポート	8
3.6 電源切替え	8
3.7 過電流検出	8
3.8 ポート インジケータ	9
3.9 電源レギュレータ	9
3.10 外部レギュレータ使用の場合	9
3.11 内蔵レギュレータ使用の場合	10
4 ピン配置	11
5 ピン機能	13
6 ピン機能	16
7 EEPROM コンフィギュレーション オプション	18
8 ピン コンフィギュレーション オプション	21
8.1 パワーオンリセット	21
8.2 ギャング / 個別電源切替えモード	21
8.3 電源切替えイネーブルピンの極性	22
8.4 ポート番号設定	22
8.5 取外し不可ポートの設定	22
8.6 リファレンス クロック設定	22
9 絶対最大定格	23
10 動作条件	24
11 電気的特性	25
11.1 DC 電気的特性	25
11.2 AC 電気的特性	27
12 熱抵抗	28
13 注文情報	29
13.1 注文コードの定義	29
14 パッケージ図	30
15 略語	32
16 詳細情報	33
16.1 HX2VL 開発キット	33
17 本書の表記法	34
17.1 測定単位	34
18 付録: HX2VL, CY7C65642 製品ファミリのシリコン エラッタ	35
18.1 影響を受ける製品番号	35

目次

18.2HX2VL 認定状態	35
18.3HX2VL エラッタのまとめ	35
改訂履歴.....	36
免責事項.....	37

はじめに

1 はじめに

HX2VL は、インフィニオンの超低消費電力で高性能な USB 2.0 ハブ コントローラーの次世代ファミリーです。HX2VL は、アップストリームおよびダウンストリーム トランシーバ、USB シリアル インターフェース エンジン (SIE)、USB ハブ コントロール とリピータ、ロジック、および トランザクション トランスレータ (TT) ロジックを内蔵しています。さらに、電圧レギュレータやプルアップ / プルダウン抵抗などの外付け部品も内蔵しており、USB ハブ システムの実装に必要な部品点数 (BOM) を全体的に削減できます。

CY7C65642 は HX2VL ポートフォリオの一部で、4 つのダウンストリーム ポートがあり、それぞれに専用の独立した TT を備えています。このデバイスは、4 つまでのダウンストリーム ポートを必要とする超低消費電力で高性能なアプリケーションに対応します。CY7C65642 は、48 ピン TQFP パッケージと 28 ピン QFN パッケージ オプションで利用可能です。

すべてのデバイス オプションは、インフィニオンの世界一流のリファレンス デザイン キットによりサポートされています。このキットには、ボードの回路図、BOM、ガーバー ファイル、OrCAD ファイル、およびあらゆる設計資料が含まれます。

2 HX2VL アーキテクチャ

ブロック図に EZ-USB™ HX2™ アーキテクチャを示します。

2.1 USB シリアル インターフェース エンジン

SIE により、HX2VL は USB ホストと通信できます。SIE はハブ制御ブロックから独立して以下の USB 動作を処理します。

- ビット スタッフィングおよびアンスタッフィング
- チェックサム生成と確認
- トークンタイプの識別
- アドレスのチェック

2.2 HS USB 制御ロジック

ハブ制御ブロックはエニュメレーション、一時停止、および再開を処理します。ホストがハブへアクセスするために、ステータスと制御信号を生成します。また、ハブをホストに同期させるフレームタイマーも内蔵しています。MCU のファームウェアへのインターフェースとして機能するステータス / 制御レジスタを備えています。

2.3 ハブリピータ

ハブリピータは、同じスピードで動作しているアップストリームとダウンストリーム側のポートの接続を管理します。USB 12 Mbps と USB 480 Mbps の接続をサポートします。USB 2.0 仕様に従って、ハブリピータは以下の機能を備えています。

- パケット境界での接続を設定 / 解除
- 適切なリモートウェイクアップ処理を含む「一時停止」状態への出入りのエンタリを順に処理

2.4 MCU

HX2VL は、2K ROM および 64 バイト RAM を備えた MCU を搭載しています。MCU は 12 MHz クロックで動作し、ホストからの USB コマンドをデコードし、ホストに応答します。また MCU は、GPIO 設定を処理してさらなる柔軟性を提供し、拡張コンフィギュレーション オプションを持つ EEPROM からの読出しを制御します。

2.5 トランザクショントランスレータ (TT)

TT はある速度から別の速度へデータを変換します。ハブが USB 480 Mbps で動作 (アップストリームポートが USB 480 Mbps のホストコントローラに接続) しているが、USB 12 Mbps または USB 1.5 Mbps のデバイスが取り付けられている場合、TT は、USB 480 Mbps のスプリット トランザクションを USB 12 Mbps または USB 1.5 Mbps のトランザクションに変換します。ダウンストリームポートに取り付けているデバイスの動作速度に応じて、ルーティングロジックはポートを TT に接続するか、あるいはハブリピータに接続するかを決めます。アップストリームホストとダウンストリームデバイスが異なる速度で機能している場合、データは TT を経由します。その他すべての場合において、データはリピータを通して転送されます。例えば、USB 12 Mbps または USB 1.5 Mbps のデバイスが USB 480 Mbps のホストアップストリームにハブを介して接続される場合、データ転送ルートには TT が含まれます。USB 480 Mbps のデバイスがハブを通して USB 480 Mbps のホストのアップストリームに接続される場合は、データ転送ルートにはリピータが含まれます。ハブが USB 12 Mbps のホストコントローラアップストリームに接続される場合、USB 480 Mbps のペリフェラルはその性能を完全に発揮することはできません。これらのデバイスは USB 12 Mbps でのみ動作します。このハブに接続した USB 12 Mbps および USB 1.5 Mbps のデバイスは、通常速度で動作します。

2.6 ポート制御

ダウンストリーム「ポート制御」ブロックは、接続 / 切断、過電流検出、および電源供給有無と LED 制御を処理します。また、ダウンストリーム トランシーバの制御信号も生成します。

3 機能概要

インフィニオン CY7C65642 USB 2.0 ハブは、USB 用の低消費電力のハブソリューションであり、ダウンストリームポート間で TT のマルチプレクシングなしに最高の転送効率を実現します。CY7C65642 USB 2.0 ハブは、USB 12 Mbps 動作のために 1.5 kΩ アップストリームプルアップ抵抗を備え、すべてのダウンストリームに 15 kΩ プルダウン抵抗とアップストリームおよびダウンストリーム D+ と D- ピン上に直列終端抵抗を内蔵しています。このように、USB 2.0 仕様に組込み式サポートを提供して、システム費用を最適化できます。

3.1 システムの初期化

電源投入時に、CY7C65642 は、マスク ROM 内のデフォルト設定、または外付け EEPROM からコンフィギュレーション情報を読み出すオプションを持ちます。最も基本的なレベルでは、この EEPROM はお客様のアプリケーション向けにベンダー ID (VID) と製品 ID (PID) を持っています。さらに専用化したアプリケーションでは、その他のコンフィギュレーションオプションを指定できます。詳細については、[EEPROM コンフィギュレーションオプション](#)を参照してください。CY7C65642 は、EEPROM の内容をディスクリプタとしてロードする前にチェックサムを確認します。

3.2 エニユメレーション

CY7C65642 は D+ にあるプルアップ抵抗を有効にし、アップストリームハブに対してその存在を示します。その後は、USB バスリセットが予測されます。USB バスリセット後に、CY7C65642 はアドレス指定されず、未設定状態になります (コンフィギュレーション値は「0」に設定)。エニユメレーション過程では、ホストはハブのアドレスとコンフィギュレーションを設定します。ハブの設定が完了すると、ハブの全機能を利用できます。

3.3 マルチプルトランザクショントランスレーターのサポート

ハブコントローラーが USB 480 Mbps のシステムで設定されると、シングル TT モードになります。その後、ホストは SetInterface コマンドを送信し、ハブをマルチプル TT モードに設定できます。マルチプル TT モードでは、各 USB 12 Mbps ポートが独立して処理されるため、完全な 12 Mbps 帯域を利用できます。シングル TT モードでは、ホストから USB 12 Mbps または USB 1.5 Mbps ポートに向けた通信はすべて、それらすべてのポートに転送されます。これは、12 Mbps 帯域をすべての USB 12 Mbps と USB 1.5 Mbps ポートが共有することを意味します。

3.4 アップストリームポート

アップストリームポートにはトランスミッタとレシーバステートマシンが含まれています。トランスミッタとレシーバは、現在のハブ設定に応じて USB 480 Mbps か USB 12 Mbps で動作します。トランスミッタステートマシンはアップストリーム側ポートを監視し、同時にハブリピータはアップストリーム側に接続します。このステートマシンは、このハブのダウンストリーム側ポートに発生したバブルや切断イベントが伝播して、このハブを無効にさせたり、接続されているハブから切断されたりすることを防ぎます。

3.5 ダウンストリームポート

CY7C65642 は、最大 4 つのダウンストリームポートに対応し、EEPROM 設定ではそれぞれのポートが使用可能か取外し可能とマークされます。[EEPROM コンフィギュレーションオプション](#)を参照してください。さらに、ピンストラッピングによって設定することも可能です。[ピンコンフィギュレーションオプション](#)を参照してください。

ダウンストリーム D+ と D- プルダウン抵抗は CY7C65642 の各ポートに内蔵されています。ハブが設定される前に、ポートはシングルエンドゼロ (SE0) で駆動され、D+ と D- の両方が LOW に駆動され、無電源状態に設定されます。ハブが設定されると、ポートは駆動せず、ホストは各ポートに SetPortPower コマンドを送信することでポートに電源を供給します。ポートが電源供給されると、接続または切断のイベントはすべてハブが検知します。ポート状態の変化はすべて、ステータスチェンジエンドポイント (エンドポイント 1) をとおしてハブからホストに通知されます。デバイスを接続したポートに対して SetPortReset 要求を受信すると、ハブは以下を実行します。

- 該当するポートで USB リセットを実行
- ポートを有効状態に設定
- ポートが有効になった後にバブル検知を有効化

バブルは、EOF2 後のポートでの非アイドル状態で構成されます。有効になったポートでバブルが検知されると、そのポートは無効になります。ホストからの ClearPortEnable 要求も、指定したポートを無効にします。

ダウンストリームポートは、SetPortSuspend 要求で、ホストによって個別に一時停止できます。ハブが一時停止されていない場合、ポートでのリモートウェイクアップイベントは、ハブステータスチェンジエンドポイントのポート変更通知によりホストに反映されます。ハブが一時停止した場合、このポートでのリモートウェイクアップイベントがホストに転送されます。ホストは ClearPortSuspend コマンドを送信することにより、ポートを再開できます。

3.6 電源切替え

CY7C65642 は、外部ポート電源スイッチ用のインターフェース信号を持ちます。ギャングと個別 (ポートごと) コンフィギュレーションの両方がピンストラッピングによってサポートされます。[ピンコンフィギュレーションオプション](#)を参照してください。

エニュメレーションの後、ホストは各ポートに対して SetPortPower 要求を送信することでそのポートに電源を供給します。電源切替えと過電流の検出は、外部電源切替えのデバイスに接続されたそれぞれの制御信号 (PWR#[n] と OVR#[n]) によって管理されます。両方の HIGH/LOW イネーブル電源スイッチがサポートされ、極性が GPIO 設定を介して設定されます。[ピンコンフィギュレーションオプション](#)を参照してください。

3.7 過電流検出

CY7C65642 シリーズの OVR#[n] ピンは、それぞれの外部電源スイッチのポート過電流表示 (出力) 信号に接続しています。過電流状態を検出した後、ハブは過電流状態をホストに通知し、外部電源デバイスへの PWR#[n] 出力を無効にします。OVR#[n] のセットアップ時間は 20 ns です。過電流検出から PWR#[n] のデアサートまでは 3 ~ 4 ms かかります。

3.8 ポート インジケータ

USB 2.0 ポート インジケータは、CY7C65642 によっても直接サポートされます。仕様に従って、ハブの各ダウンストリームポートは任意的にステータスインジケータをサポートしています。ダウンストリーム側ポートのインジケータの存在は、ハブレベルのディスクリプタの HubCharacteristics フィールドのビット 7 によって指定されます。デフォルトの CY7C65642 ディスクリプタは、ポートインジケータがサポートされることを指定します。CY7C65642 ポートインジケータには、自動と手動の2つの動作モードがあります。

電源投入時に、CY7C65642 のデフォルトは自動モードで、ポートインジケータの色(緑, アンバー, オフ)は CY7C65642 ポートの機能ステータスを示します。デバイスが一時停止すると、LED はオフになります。

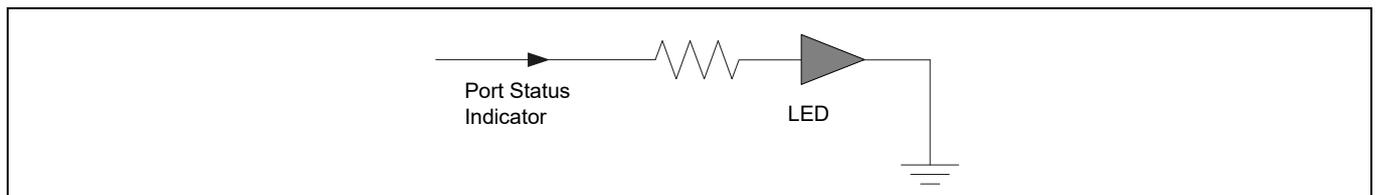


Figure 1 ポートステータスインジケータ LED

3.9 電源レギュレータ

CY7C65642 は、内部コアロジックおよび USB 物理レイヤ (PHY) の通常動作に 3.3 V のソース電源を必要とします。内蔵の低ドロップ電源レギュレータは、USB ケーブル (VBUS) からの 5 V 電源入力を 3.3 V ソース電源に変換します。3.3 V 電源出力は、入力電圧が 4 V ~ 5.5 V の範囲内にある場合、内部電圧リファレンス回路によって保証されます。レギュレータの最大電流負荷は 150 mA です。これにより、CY7C65642 の通常消費電力 (100 mA 未満) に許容差を提供します。内蔵レギュレータの静止電流は 28 μ A です。

3.10 外部レギュレータ使用の場合

CY7C65642 は、外部レギュレータ使用と内蔵レギュレータ使用の双方をサポートします。外部レギュレータを選択した場合、48 ピンパッケージでは、VCC と VREG は接続せずに開放のままにします。外部レギュレータ出力 3.3 V は VCC_A と VCC_D ピンに接続する必要があります。この接続は基板上的チップの外側で行われます。28 ピンパッケージでは、外部レギュレータからの 3.3 V 出力は、VREG, VCC_A, および VCC_D に接続する必要があります。VCC ピンは接続せずに、開放のままにします。チップの内部使用のために、外部 3.3 V 入力から 1.8 V がチップ内部で生成されます。

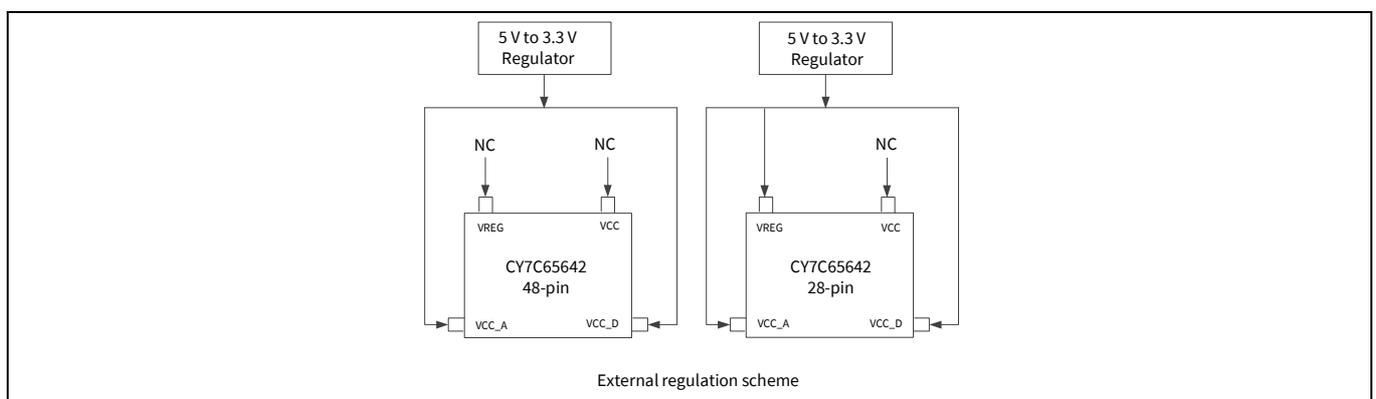


Figure 2 外部レギュレータ使用の場合

3.11 内蔵レギュレータ使用の場合

内蔵レギュレータを選択した場合、VCC ピンは 48 ピンと 28 ピンパッケージの双方で 5V に接続する必要があります。内蔵されたレギュレータによりチップの内部使用のために 3.3V と 1.8V を生成します。また、3.3V 出力は VREG ピンから出て、外部で VCC_A と VCC_D に接続する必要があります。

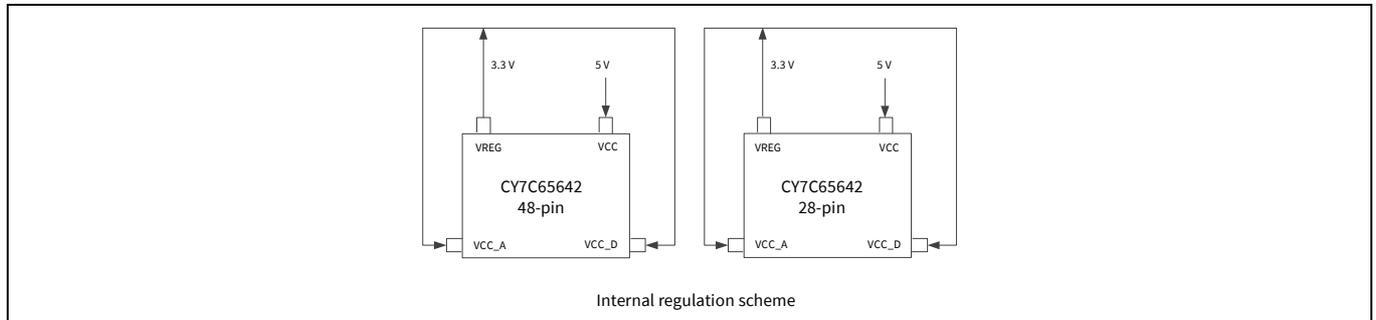


Figure 3 内蔵レギュレータ使用の場合

ピン配置

4 ピン配置

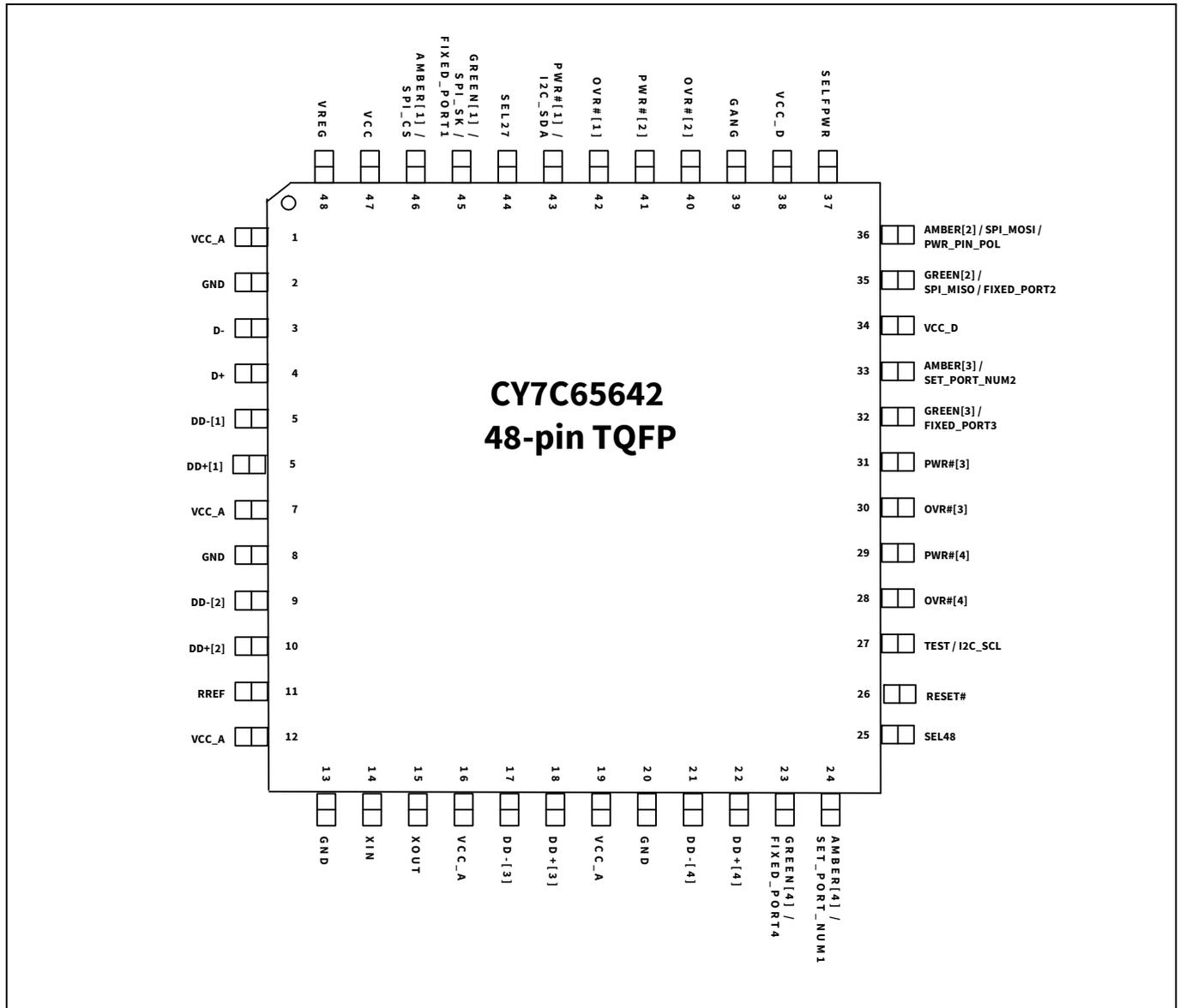


Figure 4 48ピンTQFP (7×7×1.4 mm) ピン配置

ピン配置

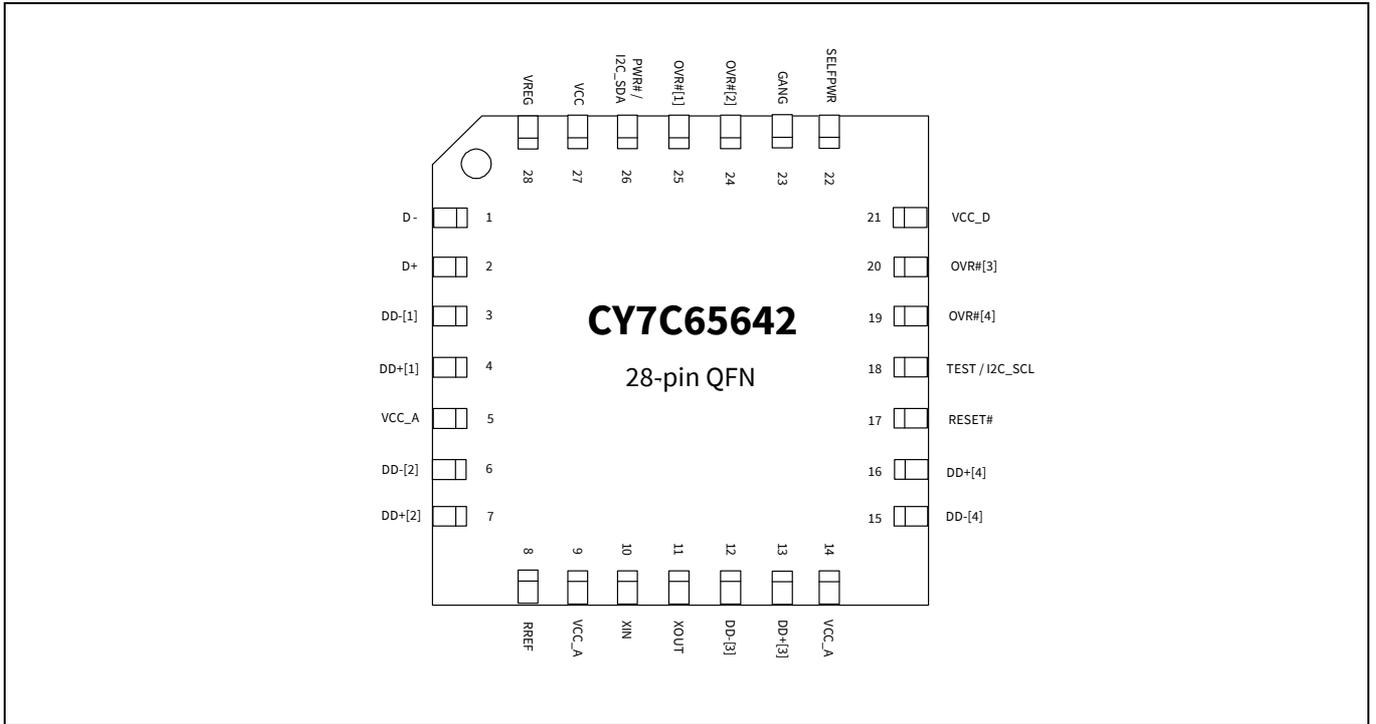


Figure 5 28 ピン QFN (5 × 5 × 0.8 mm) ピン配置

ピン機能

5 ピン機能

Table 1 48 ピン TQFP ピン機能

ピン名	ピン番号	タイプ ^[1]	説明
電源およびクロック			
VCC_A	1	P	チップへの 3.3V アナログ電源
VCC_A	7	P	チップへの 3.3V アナログ電源
VCC_A	12	P	チップへの 3.3V アナログ電源
VCC_A	16	P	チップへの 3.3V アナログ電源
VCC_A	19	P	チップへの 3.3V アナログ電源
VCC_D	34	P	チップへの 3.3V デジタル電源
VCC_D	38	P	チップへの 3.3V デジタル電源
VCC	47	P	内蔵レギュレータへの 5V 入力; 外部レギュレータを使用する場合は未接続
VREG	48	P	内蔵レギュレータ使用時には 5V ~ 3.3V レギュレータ出力; 外部レギュレータ使用時には未接続
GND	2	P	できる限り短いパスでグラウンドに接続
GND	8	P	できる限り短いパスでグラウンドに接続
GND	13	P	できる限り短いパスでグラウンドに接続
GND	20	P	できる限り短いパスでグラウンドに接続
XIN	14	I	12MHz 水晶クロック入力、または 12/27/48MHz クロック入力
XOUT	15	O	12MHz 水晶クロック出力 (外部クロックを使用する場合、未接続)
SEL48 / SEL27	25 / 44	I	クロックソースの選択入力。 00: 予約済み 01: 48MHz OSC 入力 10: 27MHz OSC 入力 11: 12MHz 水晶振動子または OSC 入力
RESET#	26	I	アクティブ LOW リセット。外部リセット入力、デフォルトで 10 kΩ HIGH にプルアップ; RESET = LOW の場合、チップ全体を初期状態にリセット。
SELPWR	37	I	自己給電 / バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電。
GANG	39	I/O	デフォルトはパワーオンリセット後の入力モード。 ギャングモード: 入力が 1 の場合、出力は通常動作では 0、一時停止では 1 個別モード: 入力が 0 の場合、出力は通常動作では 1、一時停止では 0 詳細は、 ピンコンフィギュレーションオプション のギャング / 個別電源切替えモードを参照してください。
RREF	11	I/O	649 Ω の抵抗を RREF とグラウンドの間に接続することが必要。

注

1. ピンタイプ: I = 入力, O = 出力, P = 電源 / グラウンド, Z = High-Z, R_{DN} = パッド内部プルダウン抵抗, R_{UP} = パッド内部プルアップ抵抗
2. ピンが論理 HIGH にストラップされている場合、論理 HIGH に対応するように設計されて独立した回路を除き、LED インジケータとして動作するこれらのピンの代替機能は利用できません。60 ms のパワーオンリセット (POR) 後に、これらのピンが出力として再コンフィギュレーションされるため、接続が切断されます。
3. ピンストラッピング GREEN[1] および GREEN[2] により、HX2VL の通常の機能に影響を及ぼす可能性がある専用機能を有効にします。ピンストラッピングによってポート #1 と #2 を取外し不可ポートに設定してはいけません。

ピン機能

Table 1 48 ピン TQFP ピン機能

ピン名	ピン番号	タイプ ^[1]	説明
システム インターフェース			
Test I ² C_SCL	27	I(R _{DN}) I/O(R _{DN})	0 の場合は通常動作、1 の場合はチップがテスト モードに入る I ² C クロック ピンとして使用し、I ² C EEPROM にアクセス可能
アップストリーム ポート			
D-	3	I/O/Z	アップストリーム D- 信号
D+	4	I/O/Z	アップストリーム D+ 信号
ダウンストリーム ポート 1			
DD-[1]	5	I/O/Z	ダウンストリーム D- 信号
DD+[1]	6	I/O/Z	ダウンストリーム D+ 信号
AMBER[1] ^[2] SPI_CS	46	O(R _{DN}) O(R _{DN})	LED。ポートの状態を示すアンバーの LED 用のドライバ出力。 チップ選択として使用し、外部 SPI EEPROM にアクセス可能
GREEN[1] ^[2,3] SPI_SK FIXED_PORT1	45	O(R _{DN}) O(R _{DN}) I(R _{DN})	LED。ポートの状態を示す緑の LED 用のドライバ出力。 SPI クロックとして使用し、外部 SPI EEPROM にアクセス可能。 POR では、ポート 1 を取外し不可ポートとして設定するために使用。 ピンコンフィギュレーションオプション を参照
OVR#[1]	42	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。
PWR#[1] I ² C_SDA	43	O/Z I/O	電源切替えドライバ出力。デフォルトはアクティブ LOW I ² C データピンとして使用し、I ² C EEPROM に接続することが可能
ダウンストリーム ポート 2			
DD-[2]	9	I/O/Z	ダウンストリーム D- 信号
DD+[2]	10	I/O/Z	ダウンストリーム D+ 信号
AMBER[2] ^[2] SPI_MOSI PWR_PIN_PO L	36	O(R _{DN}) O(R _{DN}) I(R _{DN})	LED。ポートの状態を示すアンバーの LED 用のドライバ出力。 データ出力として使用し、外部 SPI EEPROM にアクセス可能。 電源切替えイネーブルピンの極性設定に使用。 ピンコンフィギュレーションオプション を参照
GREEN[2] ^[2,3] SPI_MISO FIXED_PORT2	35	O(R _{DN}) I(R _{DN}) I(R _{DN})	LED。ポートの状態を示す緑の LED 用のドライバ出力。 データ入力として使用し、外部 SPI EEPROM にアクセス可能。 POR では、ポート 2 を取外し不可ポートとして設定するために使用。 ピンコンフィギュレーションオプション を参照
OVR#[2]	40	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力
PWR#[2]	41	O/Z	電源切替えドライバ出力。デフォルトはアクティブ LOW

注

1. ピン タイプ: I=入力, O=出力, P=電源 / グランド, Z=High-Z, R_{DN}=パッド内部プルダウン抵抗, R_{UP}=パッド内部プルアップ抵抗
2. ピンが論理 HIGH にストラップされている場合、論理 HIGH に対応するように設計されて独立した回路を除き、LED インジケータとして動作するこれらのピンの代替機能は利用できません。60 ms のパワー オンリセット (POR) 後に、これらのピンが出力として再コンフィギュレーションされるため、接続が切断されます。
3. ピンストラッピング GREEN[1] および GREEN[2] により、HX2VL の通常の機能に影響を及ぼす可能性がある専用機能を有効にします。ピンストラッピングによってポート #1 と #2 を取外し不可ポートに設定してはいけません。

ピン機能

Table 1 48 ピン TQFP ピン機能

ピン名	ピン番号	タイプ ^[1]	説明
ダウンストリーム ポート 3			
DD-[3]	17	I/O/Z	ダウンストリーム D- 信号
DD+[3]	18	I/O/Z	ダウンストリーム D+ 信号
AMBER[3] ^[2] SET_PORT_NUM2	33	O(R _{DN}) I(R _{DN})	LED。ポートの状態を示すアンバーの LED 用のドライバ出力。SET_PORT_NUM1 と共に、ポート番号の設定に使用。 ピンコンフィギュレーションオプション を参照
GREEN[3] ^[2] FIXED_PORT3	32	O(R _{DN}) I(R _{DN})	LED。ポートの状態を示す緑の LED 用のドライバ出力。POR では、ポート 3 を取外し不可ポートとして設定するために使用。 ピンコンフィギュレーションオプション を参照
OVR#[3]	30	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力
PWR#[3]	31	O/Z	電源切替えドライバ出力。デフォルトはアクティブ LOW
ダウンストリーム ポート 4			
DD-[4]	21	I/O/Z	ダウンストリーム D- 信号
DD+[4]	22	I/O/Z	ダウンストリーム D+ 信号
AMBER[4] ^[2] SET_PORT_NUM1	24	O(R _{DN}) I(R _{DN})	LED。ポートの状態を示すアンバーの LED 用のドライバ出力。SET_PORT_NUM2 と共に、ポート番号の設定に使用。 ピンコンフィギュレーションオプション を参照
GREEN[4] ^[2] FIXED_PORT4	23	O(R _{DN}) I(R _{DN})	LED。ポートの状態を示す緑の LED 用のドライバ出力。POR では、ポート 4 を取外し不可ポートとして設定するために使用。 ピンコンフィギュレーションオプション を参照
OVR#[4]	28	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力
PWR#[4]	29	O/Z	電源切替えドライバ出力。デフォルトはアクティブ LOW

注

1. ピンタイプ: I=入力, O=出力, P=電源/グランド, Z=High-Z, R_{DN}=パッド内部プルダウン抵抗, R_{UP}=パッド内部プルアップ抵抗
2. ピンが論理 HIGH にストラップされている場合、論理 HIGH に対応するように設計されて独立した回路を除き、LED インジケータとして動作するこれらのピンの代替機能は利用できません。60 ms のパワーオンリセット (POR) 後に、これらのピンが出力として再コンフィギュレーションされるため、接続が切断されます。
3. ピンストラッピング GREEN[1] および GREEN[2] により、HX2VL の通常の機能に影響を及ぼす可能性がある専用機能を有効にします。ピンストラッピングによってポート #1 と #2 を取外し不可ポートに設定してはいけません。

ピン機能

6 ピン機能

Table 2 28 ピン QFN ピン機能

ピン名	ピン番号	タイプ ^[4]	説明
電源およびクロック			
VCC_A	5	P	チップへの 3.3V アナログ電源
VCC_A	9	P	チップへの 3.3V アナログ電源
VCC_A	14	P	チップへの 3.3V アナログ電源
VCC_D	21	P	チップへの 3.3V デジタル電源
VCC	27	P	内蔵レギュレータへの 5V 入力; 外部レギュレータを使用する場合は未接続
VREG	28	P	内蔵レギュレータ使用時には 5V ~ 3.3V レギュレータ出力; 外部レギュレータ使用時には 3.3V レギュレータ入力
XIN	10	I	12MHz 水晶クロック入力、または 12MHz クロック入力
XOUT	11	O	12MHz 水晶クロック出力 (外部クロックを使用する場合、未接続)
RESET#	17	I	アクティブ LOW リセット。外部リセット入力、デフォルトで 10 kΩ HIGH にプルアップ; RESET = LOW の場合、チップ全体を初期状態にリセット。
SELPWR	22	I	自己給電。自己給電 / バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電。
GANG	23	I/O	デフォルトはパワーオンリセット後の入力モード。 ギャングモード: 入力が 1 の場合、出力は通常動作では 0、一時停止では 1 個別モード: 入力が 0 の場合、出力は通常動作では 1、一時停止では 0 詳細は、 ピンコンフィギュレーションオプション のギャング / 個別電源切替えモードを参照してください。
RREF	8	I/O	649 Ω の抵抗を RREF とグラウンドの間に接続することが必要。
システムインターフェース			
Test I2C_SCL	18	O(R _{DN}) I/O(R _{DN})	0 の場合は通常動作、1 の場合はチップがテストモードに入る I ² C クロックピン
PWR# ^[5] I2C_SDA	26	I/O	電源切替えドライバ出力。デフォルトはアクティブ LOW I ² C データピン
アップストリームポート			
D-	1	I/O/Z	アップストリーム D- 信号
D+	2	I/O/Z	アップストリーム D+ 信号

注

- ピンタイプ: I=入力, O=出力, P=電源 / グランド, Z=High-Z, R_{DN}=パッド内部プルダウン抵抗, R_{UP}=パッド内部プルアップ抵抗
- PWR#/I2C_SDA は、PWR# または I2C_SDA のどちらかとして使用できますが、両機能としては使用できません。EEPROM が接続されている場合、ピンは I2C_SDA として機能し、(48 ピン TQFP パッケージと違って) PWR# モードには切り替わりません。

ピン機能

Table 2 28 ピン QFN ピン機能 (continued)

ピン名	ピン番号	タイプ ^[4]	説明
ダウンストリームポート 1			
DD-[1]	3	I/O/Z	ダウンストリーム D- 信号
DD+[1]	4	I/O/Z	ダウンストリーム D+ 信号
OVR#[1]	25	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR#[1](ピン 25)のみが有効です。ギャングモードでは、OVR#[2](ピン 24), OVR#[3](ピン 20) および OVR#[4](ピン 19)は無効です。
ダウンストリームポート 2			
DD-[2]	6	I/O/Z	ダウンストリーム D- 信号
DD+[2]	7	I/O/Z	ダウンストリーム D+ 信号
OVR#[2]	24	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR#[1](ピン 25)のみが有効です。この(OVR#[2])ピンは、ギャングモードでは無効です。
ダウンストリームポート 3			
DD-[3]	12	I/O/Z	ダウンストリーム D- 信号
DD+[3]	13	I/O/Z	ダウンストリーム D+ 信号
OVR#[3]	20	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR#[1](ピン 25)のみが有効です。この(OVR#[3])ピンは、ギャングモードでは無効です。
ダウンストリームポート 4			
DD-[4]	15	I/O/Z	ダウンストリーム D- 信号
DD+[4]	16	I/O/Z	ダウンストリーム D+ 信号
OVR#[4]	19	I(R _{UP})	過電流条件検出入力。アクティブ LOW 過電流条件検出入力。ギャングモードでは、OVR#[1](ピン 25)のみが有効です。この(OVR#[4])ピンは、ギャングモードでは無効です。
GND	PAD	P	チップ用のグランドピン。これはチップの下にある、はんだ付け可能なエクスポーズドパッド。Figure 9 を参照してください。

注

4. ピンタイプ: I=入力, O=出力, P=電源/グランド, Z=High-Z, R_{DN}=パッド内部プルダウン抵抗, R_{UP}=パッド内部プルアップ抵抗
5. PWR#/I2C_SDA は、PWR# または I2C_SDA のどちらかとして使用できますが、両機能としては使用できません。EEPROM が接続されている場合、ピンは I2C_SDA として機能し、(48 ピン TQFP パッケージと違って) PWR# モードには切り替わりません。

7 EEPROM コンフィギュレーションオプション

CY7C65642 を使用するシステムでは、デフォルトのディスクリプタを使ってハブを設定するオプションがあります。そうでない場合、デバイスが固有の VID と PID を設定するために、外付け EEPROM を使用する必要があります。CY7C65642 は、93C46 のような SPI (マイクロワイヤ) EEPROM、または 24C02 のような I²C EEPROM と通信可能です。EEPROM 接続の例を以下に示します。

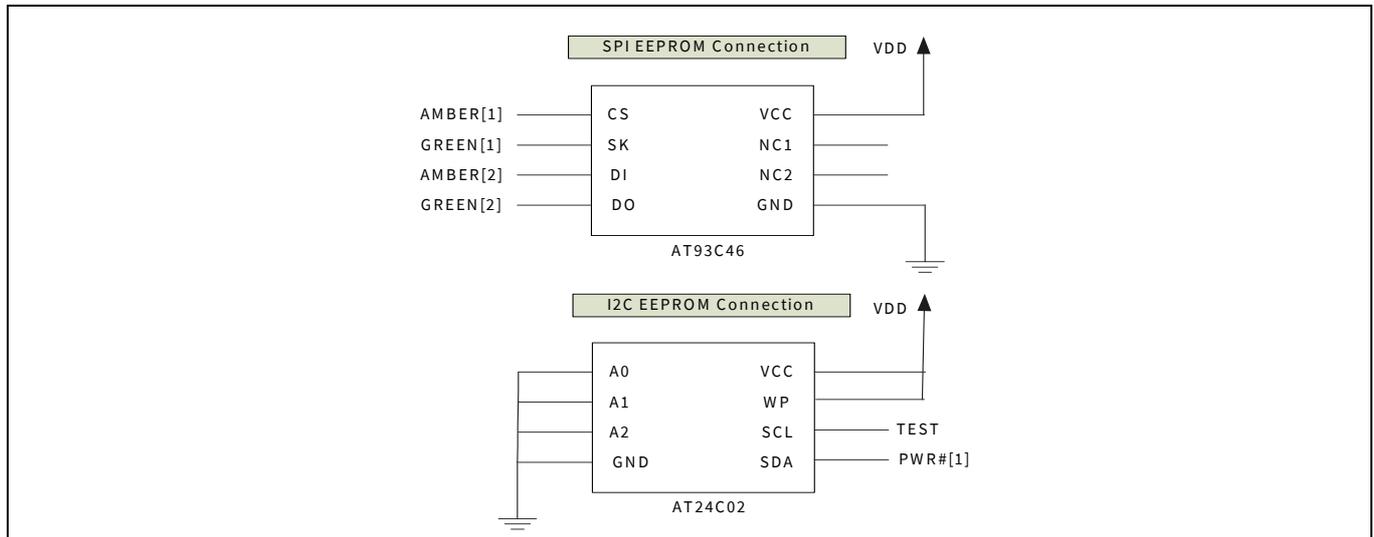


Figure 6 EEPROM 接続の例

注: 28 ピン QFN パッケージは、ATMEL/24C02N_SU27 D, MICROCHIP/4LC028 SN0509, SEIKO/S24CS02AVH9 などの I²C EEPROM のみをサポートします。48 ピン TQFP パッケージには、I²C と SPI EEPROM の両方の接続オプションが含まれます。この場合、ユーザーは、EEPROM と通信する時に、SPI 接続または I²C 接続のいずれかを使用できます。48 ピンパッケージは、上記のファミリーに加えて、ATMEL/AT93C46DN-SH-T をサポートしています。

HX2VL は SPI EEPROM から読み出しのみができます。このため、EEPROM のフィールドプログラミングは I²C EEPROM にしかサポートされません。デフォルトの VID と PID は、0x04B4 と 0x6572 です。

CY7C65642 は、パワーオンリセットの後にチェックサムを確認し、有効の場合は EEPROM からコンフィギュレーションを読み出します。このコンフィギュレーションの上書きを防ぐために、SPI EEPROM が存在する場合、AMBER[1] を無効にします。

Table 3 詳細

バイト	値
00h	VID_LSB
01h	VID_MSB
02h	PID_LSB
03h	PID_MSB
04h	ChkSum
05h	予約済み (FEh)
06h	取り外し可能ポート
07h	ポート番号
08h	最大出力
09h ~ 0Fh	予約済み (FFh)
10h	ベンダ文字列長さ
11h ~ 3Fh	ベンダ文字列 (ASCII コード)
40h	製品文字列長さ
41h ~ 6Fh	製品文字列 (ASCII コード)
70h	シリアル番号長さ
71h ~ 80h	シリアル番号文字列

Byte 0: VID (LSB)

ベンダ ID の最下位バイト

Byte 1: VID (MSB)

ベンダ ID の最上位バイト

Byte 2: PID (LSB)

製品 ID の最下位バイト

Byte 3: PID (MSB)

製品 ID の最上位バイト

Byte 4: ChkSum

CY7C65642 は、ChkSum が VID_LSB + VID_MSB + PID_LSB + PID_MSB + 1 に等しくない場合、EEPROM 設定を無視します。

Byte 5: 予約済み

FEh に設定

Byte 6: RemovablePorts

RemovablePorts[4:1] は、該当するダウンストリームポートに接続されたデバイスが取り外し可能 (0 に設定) か、取り外し不可 (1 に設定) かを示すビットです。ビット 1 はポート 1、ビット 2 はポート 2、... などのように対応します。デフォルト値は 0 です (取り外し可能)。これらのビット値は、HubDescriptor:DeviceRemovable フィールドで適切に報告されます。

ビット 0, 5, 6, 7 は 0 に設定されます。

Byte 7: ポート番号

ポート番号は、ダウンストリームポートの番号を示します。値は1～4である必要があります。デフォルト値は4です。

Byte 8: 最大出力

この値は、コンフィギュレーションディスクリプタの bMax-Power フィールドで報告され、ハブのアップストリーム側から要求される 2 mA 単位でインクリメントする電流です。許容範囲は 00h (0 mA) ～ FAh (500 mA) です。デフォルト値は 32h (100 mA) です。

Byte 9 ～ 15: 予約済み

FFh に設定 (ただし 11 は FEh に設定)

Byte 16: ベンダ文字列長さ

ベンダ文字列の長さ

Byte 17 ～ 63: ベンダ文字列

ベンダ文字列の値 (ASCII コード)

Byte 64: 製品文字列長さ

製品文字列の長さ

Byte 65 ～ 111: 製品文字列

製品文字列の値 (ASCII コード)

Byte 112: シリアル番号長さ

シリアル番号の長さ

Byte 113 以降: シリアル番号文字列

シリアル番号文字列 (ASCII コード)

8 ピンコンフィギュレーションオプション

8.1 パワーオンリセット

パワーオンリセットは外部リセットまたは内部回路によりトリガーされます。内部リセットは、チップ内部のコア電源 (3.3 V \pm 10%) に対して電源が不安定な状態になった場合に開始されます。内部リセットは、電源がパワーグッド電圧 (2.5 V \sim 2.8 V) に達した後に、2.7 μ s \pm 1.2% で解除されます。外部リセットピンは、図で示すようにアップストリーム側の VBUS で電圧レベル (5 V) を連続的に検知します。USB の差し込み / 抜き出し、または電圧降下イベントが生じた場合、外部リセットはトリガーされます。このリセットトリガーは、抵抗 R1 と R2 を使用して設定できます。インフィニオンは、外部リセット回路に適用されるリセット時間は、内部リセット時間よりも長くするよう推奨します。

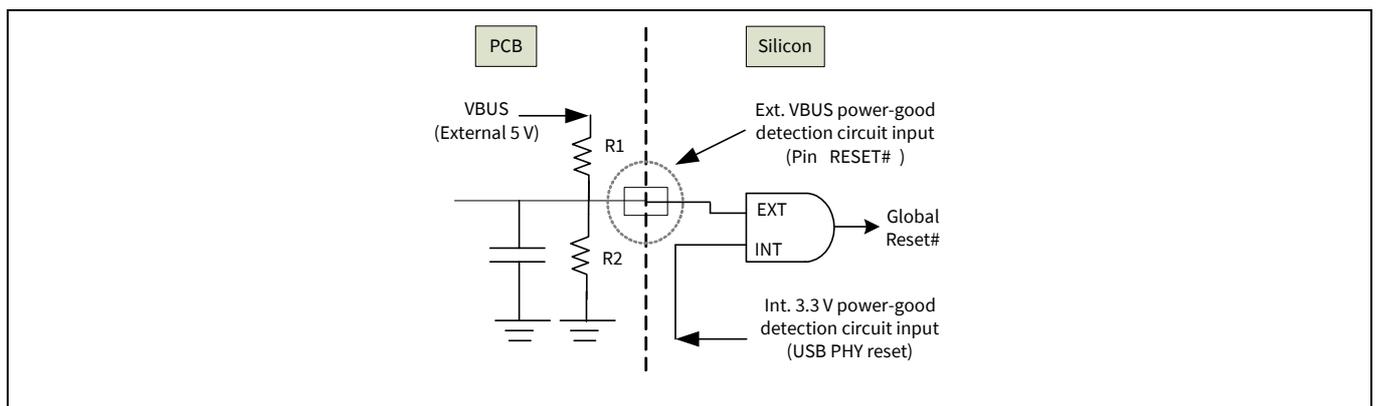


Figure 7 パワーオンリセット

8.2 ギャング / 個別電源切替えモード

単一のピンを使用し、個別 / ギャング モードを設定し、一時停止フラグを出力します。これにより、ピン数を減らせます。個別またはギャングモードは、パワーオンリセット後の 20 μ s 以内に決定されます。そのセットアップ時間は 1 ns です。リセットしてから 50 \sim 60 ms 後に、このピンは出力モードに変更します。CY7C65642 は完全に一時停止されると、一時停止フラグを出力します。個別モードでは 100K よりも大きなプルダウン抵抗が必要で、ギャングモードでは 100K よりも大きなプルアップ抵抗が必要です。下図は一時停止の LED インジケータの回路図を示します。LED の極性に従う必要があります。そうしないと、一時停止時の電流は仕様限度 (2.5 mA) を超えてしまいます。

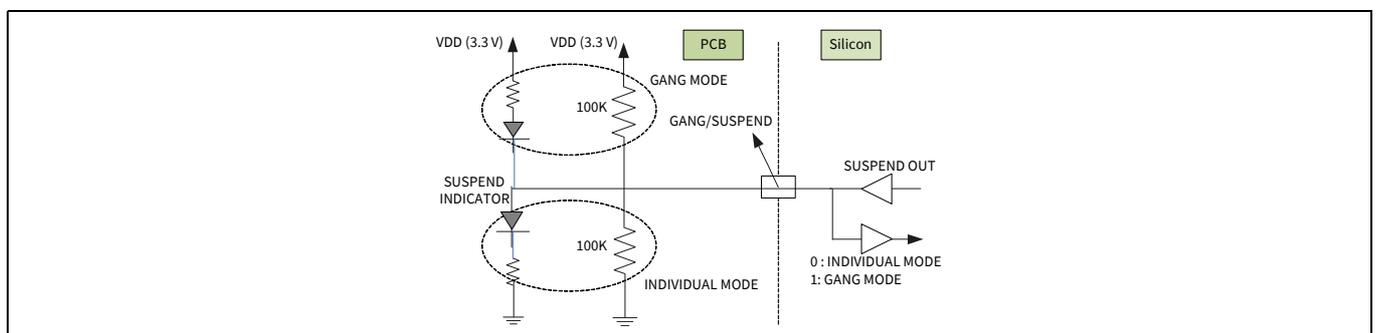


Table 4 48 ピンと 28 ピン パッケージで対応する機能

対応機能	48 ピン	28 ピン
ポート番号設定	有	無
取外し不可ポート設定	有	無
リファレンス クロック設定	有	無
電源切替えイネーブル極性	有	無
LED インジケータ	有	無

8.3 電源切替えイネーブルピンの極性

ピンの極性は、PWR_PIN_POL ピンを 1 にストラッピングすることでアクティブ HIGH に、PWR_PIN_POL ピンを 0 にストラッピングすることでアクティブ LOW に設定されます。したがって、両方の電源切替えに対応します。この機能は、28 ピン QFN パッケージではサポートされません。

8.4 ポート番号設定

上記の EEPROM 設定に加えて、2, 3, または 4 つのポートを備えるハブの設定も、**Figure 5** に示すように SET_PORT_NUM1 と SET_PORT_NUM2 のピンストラッピングを使用します。ピンストラッピングオプションは 28 ピン QFN パッケージではサポートされません。

Table 5 ポート番号設定

SET_PORT_NUM2	SET_PORT_NUM1	ポート数
1	1	1 (ポート 1)
1	0	2 (ポート 1/2)
0	1	3 (ポート 1/2/3)
0	0	4 (すべてのポート)

8.5 取外し不可ポートの設定

組込みシステムにおいて、パワーオンリセットの前に、該当する FIXED_PORT# ピン 1~4 を HIGH にストラッピングすることにより、システム内部で常に接続するダウンストリームポートを取外し不可ポート (常時接続) として設定できます。POR 時に、ピンが HIGH にプルアップされた場合、該当するポートは取外し不可ポートに設定されます。これは 28 ピン QFN パッケージではサポートされません。

8.6 リファレンス クロック設定

このハブは、オプションで 27/48 MHz クロックソースに対応します。27/48 MHz クロックが基板上に存在する場合、それを使用します。外部振動子を除去することで、BOM コストをさらに削減できます。以下に示すように GPIO ピンの設定によりこれを実行できます。これは 28 ピン QFN パッケージではサポートされません。

Table 6 リファレンス クロック設定

SEL48	SEL27	クロックソース
0	1	48 MHz 振動子入力
1	0	27 MHz 振動子入力
1	1	12 MHz 水晶振動子または 12 MHz 振動子入力

絶対最大定格

9 絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。

Table 7 絶対最大定格

パラメーター	定格
保存温度	-60°C ~ +100°C
周囲温度	0°C ~ +70°C
グランド電位への 5V 電源電圧	-0.5 V ~ +6.0 V
グランド電位への 3.3V 電源電圧	-0.5 V ~ +3.6 V
オープンドレイン入力ピンでの電圧 (OVR#1-4, SELFPWR, RESET#)	-0.5 V ~ +5.5 V
デジタル I/O の 3.3V 入力電圧	-0.5 V ~ +3.6 V
FOSC (振動子または水晶周波数)	12 MHz ± 0.05%

動作条件

10 動作条件

Table 8 動作条件

パラメーター	条件
周囲温度	0°C ~ +70°C
周囲最大接合部温度	0°C ~ +125°C
グランド電位への 5V 電源電圧	4.75 V ~ +5.25 V
グランド電位への 3.3V 電源電圧	3.15 V ~ +3.6 V
USB 信号ピンの入力電圧	0.5 V ~ +3.6 V
オープンドレイン入力ピンでの電圧	-0.5 V ~ +5.0 V
温度特性 48 ピン TQFP	78.7 °C/W
温度特性 28 ピン QFN	33.3 °C/W

電気的特性

11 電気的特性

11.1 DC 電気的特性

Table 9 DC 電気的特性

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内蔵レギュレータ	
P_D	電力損失	USB 信号を除く	-	-	432		mW
V_{IH}	入力 HIGH 電圧	-	2	-	-		V
V_{IL}	入力 LOW 電圧	-	-	-	0.8		V
I_I	入力リーク電流	USB 12 Mbps / USB 1.5 Mbps ($0 < V_{IN} < V_{CC}$)	-10	-	+10		μA
		USB 480 Mbps モード ($0 < V_{IN} < V_{CC}$)	-5	0	+5		μA
V_{OH}	出力 HIGH 電圧	$I_{OH} = 8 \text{ mA}$	2.4	-	-		V
V_{OL}	出力 LOW 電圧	$I_{OL} = 8 \text{ mA}$	-	-	0.4		V
R_{DN}	パッド内部プルダウン抵抗	-	29	59	135		$K\Omega$
R_{UP}	パッド内部プルアップ抵抗	-	80	108	140		$K\Omega$
C_{IN}	入力ピン静電容量	USB 12 Mbps / USB 1.5 Mbps モード	-	-	20		pF
		USB 480 Mbps モード	4	4.5	5		pF
I_{SUSP}	一時停止の電流	-	-	0.786	1.043	1.3	mA

注

6. 電流の測定は、エニユメレーションされた外付けデバイスにより実行されます。
7. 外付けデバイスがありません。

電気的特性

Table 9 DC 電気的特性 (continued)

パラメーター	説明	条件	Min	Typ	Max		単位	
					外部レギュレータ	内蔵レギュレータ		
I _{CC}	電源電流							
	4つのアクティブポート	USB 12 Mbps ホスト, USB 12 Mbps デバイス	-	88.7	103.9	105.4	mA	
		USB 480 Mbps ホスト, USB 480 Mbps デバイス	-	81.9	88.2	89.3	mA	
		USB 480 Mbps ホスト, USB 12 Mbps デバイス	-	88.2	101.2	102.3	mA	
	3つのアクティブポート ^[6]	USB 12 Mbps ホスト, USB 12 Mbps デバイス	-	79.1	91.6	93	mA	
		USB 480 Mbps ホスト, USB 480 Mbps デバイス	-	72.9	78.5	78.6	mA	
		USB 480 Mbps ホスト, USB 12 Mbps デバイス	-	75.9	88.7	88.8	mA	
	2つのアクティブポート	USB 12 Mbps ホスト, USB 12 Mbps デバイス	-	68.1	78.4	78.6	mA	
		USB 480 Mbps ホスト, USB 480 Mbps デバイス	-	61.9	67.6	69.6	mA	
		USB 480 Mbps ホスト, USB 12 Mbps デバイス	-	64.9	75.4	76.1	mA	
	1つのアクティブポート	USB 12 Mbps ホスト, USB 12 Mbps デバイス	-	57.1	66.3	66.7	mA	
		USB 480 Mbps ホスト, USB 480 Mbps デバイス	-	51.9	57.6	59.3	mA	
		USB 480 Mbps ホスト, USB 12 Mbps デバイス	-	54.7	61.1	62.5	mA	
	アクティブポートなし ^[7]	USB 12 Mbps ホスト	-	42.8	48.9	50.3	mA	
		USB 480 Mbps ホスト	-	44.2	49.1	50.6	mA	

注

- 6. 電流の測定は、エニュメレーションされた外付けデバイスにより実行されます。
- 7. 外付けデバイスがありません。

電気的特性

11.2 AC 電気的特性

USB トランシーバは、USB 1.5 Mbps, USB 12 Mbps, USB 480 Mbps モードで USB 2.0 認証を取得しています。アップストリーム USB トランシーバと 4 つすべてのダウンストリーム トランシーバは、いずれも USB-IF USB 2.0 電気認可試験に合格しています。

48 ピン TQFP パッケージは、I²C または SPI のいずれかを使用して、EEPROM への通信をサポートできます。28 ピン QFN パッケージは、EEPROM への I²C 通信のみをサポートします。

EEPROM とのこれら 2 つのインターフェースの AC 特性を、下表にまとめます。

Table 10 SPI EEPROM インターフェースの AC 特性

パラメーター	説明	Min	Typ	Max	単位
t _{CSS}	CS セットアップ時間	3.0	-	-	μs
t _{CSH}	CS ホールド時間	3.0	-	-	
t _{SKH}	SK HIGH 時間	1.0	-	-	
t _{SKL}	SK LOW 時間	2.2	-	-	
t _{DIS}	DI セットアップ時間	1.8	-	-	
t _{DIH}	DI ホールド時間	2.4	-	-	
t _{PD1}	'1' までの出力遅延時間	-	-	1.8	
t _{PD0}	'0' までの出力遅延時間	-	-	1.8	

Table 11 I²C EEPROM インターフェースの AC 特性

パラメーター	説明	1.8 V ~ 5.5 V		2.5 V ~ 5.5 V		単位
		Min	Max	Min	Max	
f _{SCL}	SCL クロック周波数	0.0	100	0.0	400	kHz
t _{LOW}	クロック LOW 期間	4.7	-	1.2	-	μs
t _{HIGH}	クロック HIGH 期間	4.0	-	0.6	-	μs
t _{SU:STA}	START 条件セットアップ時間	4.7	-	0.6	-	μs
t _{SU:STO}	STOP 条件セットアップ時間	4.7	-	0.6	-	μs
t _{HD:STA}	START 条件ホールド時間	4.0	-	0.6	-	μs
t _{HD:STO}	STOP 条件ホールド時間	4.0	-	0.6	-	μs
t _{SU:DAT}	データ入力セットアップ時間	200.0	-	100.0	-	ns
t _{HD:DAT}	データ入力ホールド時間	0	-	0	-	ns
t _{DH}	データ出力ホールド時間	100	-	50	-	ns
t _{AA}	クロックから出力までの時間	0.1	4.5	0.1	-	μs
t _{WR}	書き込みサイクル時間	-	10	-	5	ns

熱抵抗

12 熱抵抗

Table 12 熱抵抗

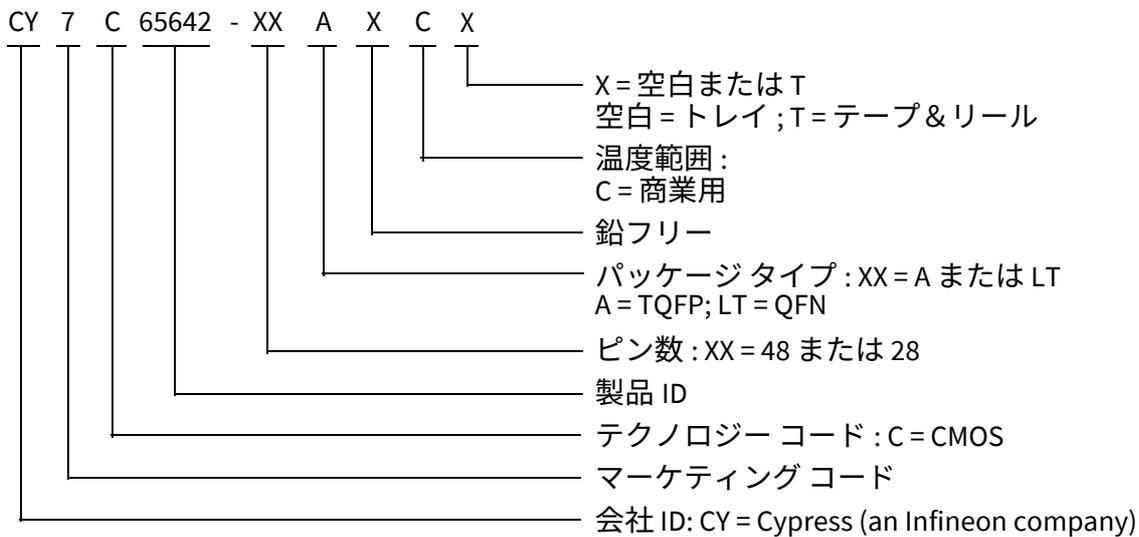
パラメーター	説明	48ピンTQFP パッケージ	28ピンQFN パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲へ)	78.7	33.3	°C/W
Θ_{JC}	熱抵抗 (接合部からケースへ)	35.3	18.4	°C/W

13 注文情報

Table 13 注文情報

注文コード	パッケージタイプ
CY7C65642-48AXC	48 ピン TQFP - トレイ
CY7C65642-48AXCT	48 ピン TQFP - テープ&リール
CY7C65642-28LTXC	28 ピン QFN - トレイ
CY7C65642-28LTXCT	28 ピン QFN - テープ&リール

13.1 注文コードの定義



パッケージ図

14 パッケージ図

CY7C65642 は以下のパッケージで提供可能です。

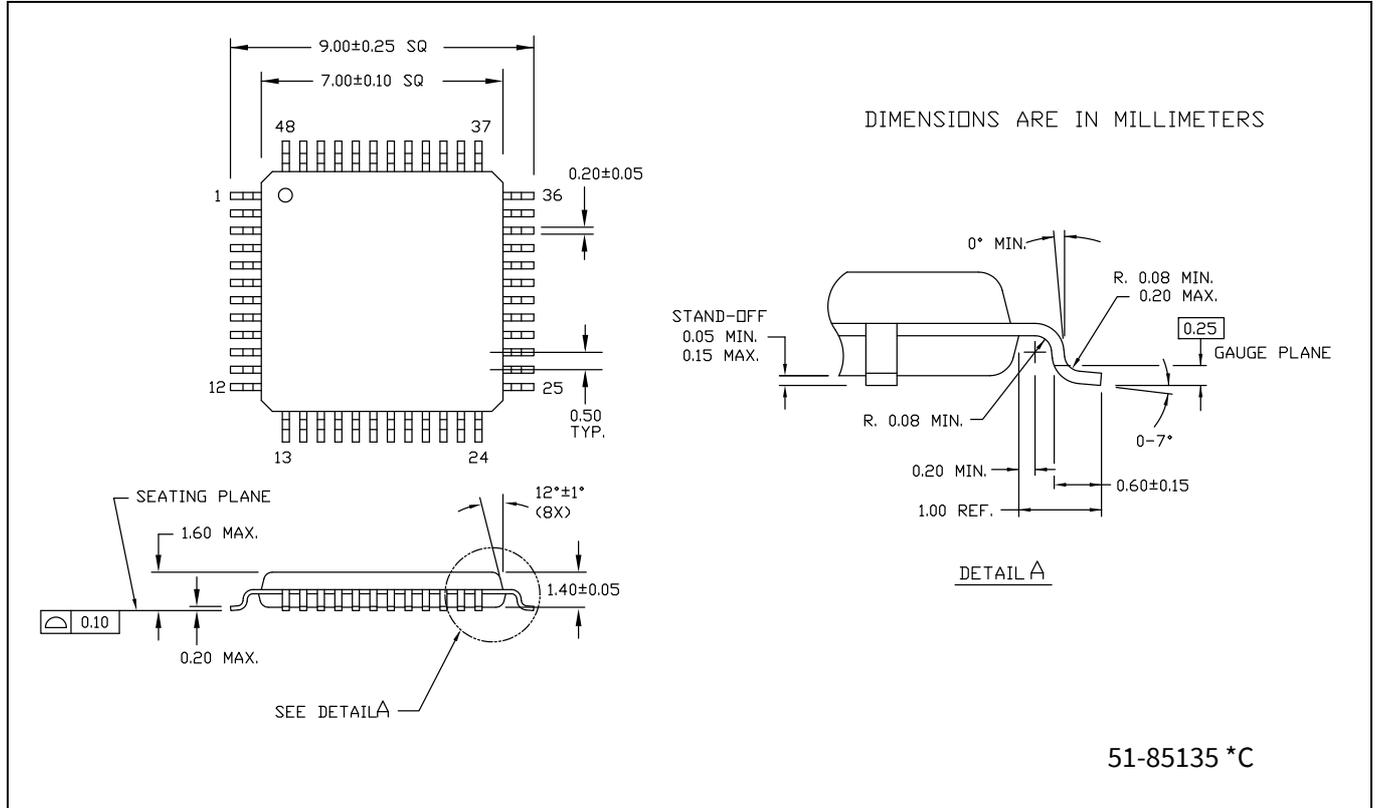


Figure 8 48 リード TQFP (7 × 7 × 1.4 mm) A48 パッケージ外形図 (PG-TQFP-48)

パッケージ図

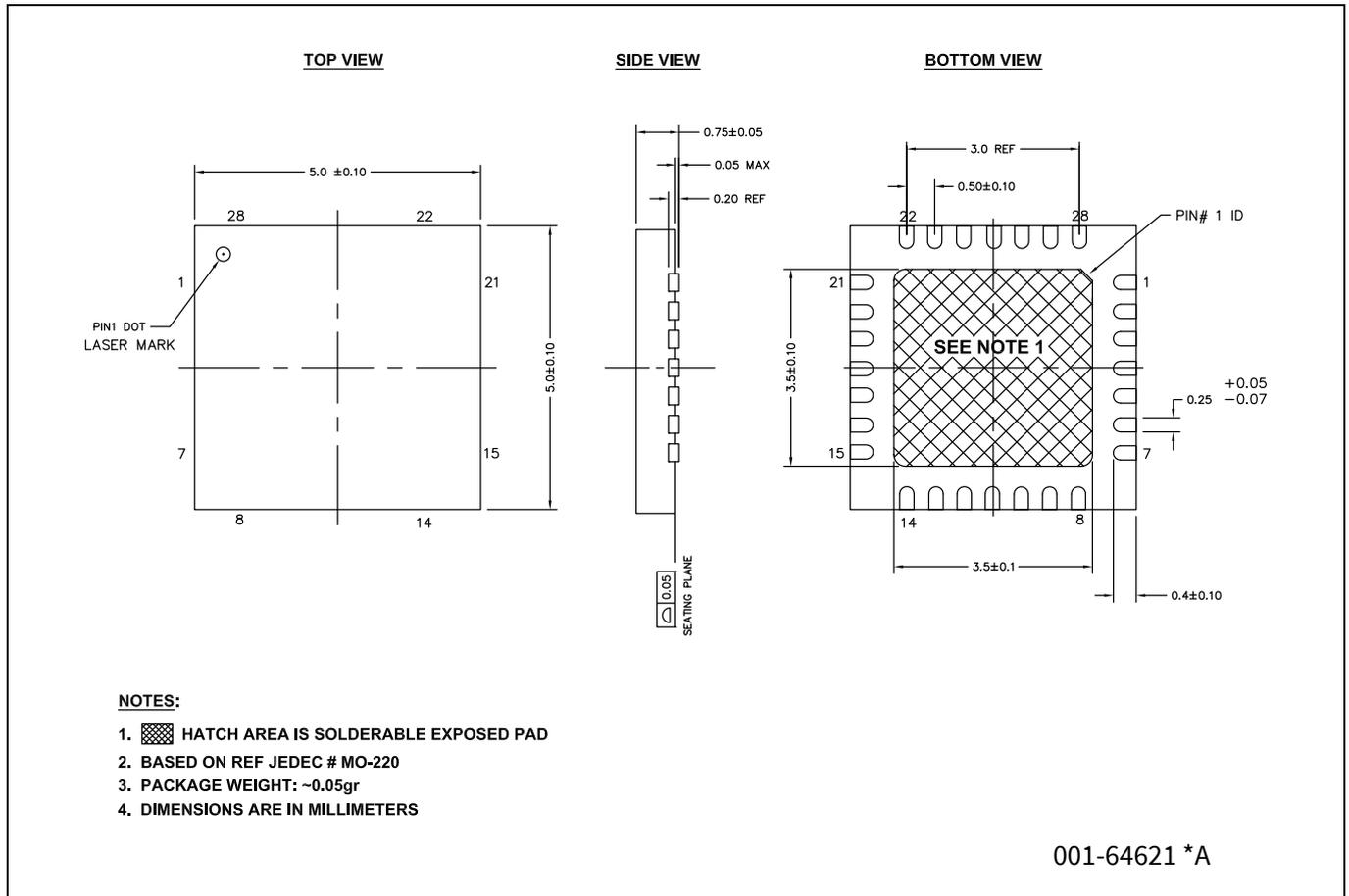


Figure 9 28 リード QFN ((5 × 5 × 0.8 mm) LT28A 3.5 × 3.5 E-Pad (Sawn)) パッケージ外形図 (PG-VQFN-28)

略語

15 略語

Table 14 略語

略語	説明
AC	Alternating Current (交流電流)
ASCII	American Standard Code for Information Interchange (情報交換用米国標準コード)
EEPROM	Electrically Erasable Programmable Read Only Memory (電氣的消去プログラム可能な読出し専用メモリ)
EMI	Electromagnetic Interference (電磁妨害)
ESD	Electrostatic Discharge (静電放電)
GPIO	General Purpose Input/Output (汎用入出力)
I/O	Input/Output (入力 / 出力)
LED	Light Emitting Diode (発光ダイオード)
LSB	Least Significant Bit (最下位ビット)
MSB	Most Significant Bit (最上位ビット)
PCB	Printed Circuit Board (プリント回路基板)
PLL	Phase-Locked Loop (位相同期回路)
POR	Power On Reset (パワーオンリセット)
PSoC™	Programmable System-on-Chip™ (プログラマブルシステムオンチップ)
QFN	Quad Flat No-leads (クアッドフラット (リードなし) パッケージ)
RAM	Random Access Memory (ランダムアクセスメモリ)
ROM	Read Only Memory (読出し専用メモリ)
SIE	Serial Interface Engine (シリアルインターフェースエンジン)
TQFP	Thin Quad Flat Pack (薄型クアッドフラットパッケージ)
TT	Transaction Translator (トランザクショントランスレータ)
USB	Universal Serial Bus (ユニバーサルシリアルバス)

16 詳細情報

インフィニオンは、www.infineon.com に豊富なデータを掲載しており、ユーザーが設計に適切な HX2VL デバイスを選択し、デバイスを設計に迅速かつ効果的に統合する手助けをしています。リソースの包括的な一覧については、[HX2VL product page](#) を参照してください。

- 概要 : [USB portfolio](#)
- USB 2.0 ハブ コントローラ セレクター : [HX2LP](#), [HX2VL](#)
- アプリケーションノート : インフィニオンは、基本レベルから高度なレベルまでの幅広いトピックをカバーする多数の USB アプリケーションノートを提供しています。以下は HX2VL 専用の推奨アプリケーションノートです。
 - [AN72332 - Guidelines on System Design using Infineon's USB 2.0 Hub \(HX2VL\)](#)
 - [AN69235 - Migrating from HX2/HX2LP to HX2VL](#)
- リファレンス デザイン :
 - [CY4608 HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
 - [CY4607 HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
- モデル : [HX2VL \(CY7C65632/34/42\) - IBIS](#)

16.1 HX2VL 開発キット

HX2VL 開発キット基板は、HX2VL デバイス (CY7C65632, CY7C65634) の特長を説明するツールです。完全設計の段階に入る前の最初の設計段階では、この基板により、開発者がチップの特長と制限を充分把握できます。開発キットは、基板ハードウェア、PC アプリケーションソフトウェアにかかわる補助ドキュメント、および EEPROM コンフィギュレーションデータ (.iic) ファイルを含みます。

本書の表記法

17 本書の表記法

17.1 測定単位

Table 15 測定単位

記号	測定単位
°C	摂氏温度
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mW	ミリワット
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
ppm	100 万分の 1
V	ボルト
W	ワット

18 付録 : HX2VL, CY7C65642 製品ファミリのシリコン エラッタ

ここでは、HX2VL, CY7C65642 のエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含みます。

ご質問がありましたら、最寄りのインフィニオンの販売代理店までお問い合わせください。

18.1 影響を受ける製品番号

製品番号	デバイスの特性
CY7C65642	USB 2.0 マルチプル TT ハブ

18.2 HX2VL 認定状態

製品の状態 : 量産中

18.3 HX2VL エラッタのまとめ

この表は、利用可能な HX2VL ファミリデバイスへのエラッタの適用性を定義します。

項目	製品番号	シリコン リビジョン	回避方法	修正状況
1. ハブ サスペンド中に切断された後に接続イベントが発生すると、USB デバイスが正しく認識されません。	CY7C65642	Rev. **	USB デバイスが STALL された場合は、ホスト USB アプリケーション、またはドライバからポートリセットを発行します。	修正の計画はありません。

1. ハブ サスペンド中に切断された後に接続イベントが発生すると、USB デバイスが正しく認識されません。

•問題の定義

EZ-USB™ HX2VL は、接続されたダウンストリーム (DS) デバイスがハブ サスペンド状態中に切断され、同じ DS ポートに接続された場合、サスペンドから復帰した後、DS USB デバイスを認識しないことがあります。

•影響を受けるパラメーター
なし。

•トリガー条件

切断に続いてサスペンド状態のハブからの DS デバイスの接続イベント。

•影響の範囲

標準 Microsoft ドライバ / クラスデバイス (マウス、キーボード、大容量ストレージなど) では問題は発生しません。標準クラスドライバは、DS デバイスからの STALL がある場合、ポートリセットコマンドを使用してデバイスを回復します。

•回避方法

STALLS 時に、ホスト USB アプリケーションまたはドライバからポートリセットを発行して、DS デバイスを回復します。

•修正状況

修正の計画はありません。

付録 : HX2VL, CY7C65642 製品ファミリのシリコン エラッタ

改訂履歴

版数	発行日	変更内容
**	2012-05-30	これは英語版 001-65659 Rev. *C を翻訳した日本語版 001-79912 Rev. ** です。
*A	2015-07-29	これは英語版 001-65659 Rev. *F を翻訳した日本語版 001-79912 Rev. *A です。
*B	2017-07-04	これは英語版 001-65659 Rev. *J を翻訳した日本語版 001-79912 Rev. *B です。
*C	2018-08-20	これは英語版 001-65659 Rev. *K を翻訳した日本語版 001-79912 Rev. *C です。
*D	2021-07-21	これは英語版 001-65659 Rev. *L を翻訳した日本語版 001-79912 Rev. *D です。
*E	2023-07-19	これは英語版 001-65659 Rev. *M を翻訳した日本語版 001-79912 Rev. *E です。
*F	2024-06-13	これは英語版 001-65659 Rev. *N を翻訳した日本語版 001-79912 Rev. *F です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-06-13

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Email:

Go to www.infineon.com/support

Document reference

001-79912 Rev. *F

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および/または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。