

# インフィニオン ISOFACE™デュアル チャネル デジタル アイソレータ デザイン ガイド

## 本書について

### 適用範囲と目的

本書では、インフィニオンの ISOFACE™デュアルチャネル デジタル アイソレータを紹介し、高電圧 (HV) アプリケーションでガルバニック絶縁を設計するシステムエンジニアに向けた設計ガイドラインを示します。

### 対象者

本書は、HV アプリケーションにおける絶縁目的でインフィニオンのデジタル アイソレータを使用する設計エンジニアを対象としています。

## 目次

## 目次

本書について.....	1
目次 .....	2
<b>1 ISOFACE™デュアル チャネル デジタル アイソレータの紹介 .....</b>	<b>3</b>
1.1 絶縁技術.....	3
1.2 製品の特長.....	3
1.3 製品バリエーション概要.....	4
<b>2 ISOFACE™デジタル アイソレータのセレクションガイド .....</b>	<b>5</b>
<b>3 PCB 設計ガイドライン .....</b>	<b>8</b>
3.1 PCB 材料.....	8
3.2 基板層スタック.....	8
3.3 レイアウトの考慮事項.....	9
<b>4 ISOFACE™デジタル アイソレータの代表的なアプリケーション .....</b>	<b>10</b>
4.1 デュアルチャネル デジタル アイソレータを使用したアプリケーション.....	10
改訂履歴 .....	13
免責事項 .....	14

## 1 ISOFACE™デュアルチャネルデジタルアイソレータの紹介

### 1 ISOFACE™デュアルチャネルデジタルアイソレータの紹介

ガルバニック絶縁は、レベルシフト機能を提供し、電気ノイズ耐性を向上させ、HVアプリケーションの安全性を確保します。産業用アプリケーションでの絶縁に対する要求がますます高まる中、インフィニオンテクノロジーは、正確なタイミングおよび低消費電力動作を確保しながら高い堅牢性を提供する、第1世代のISOFACE™デジタルアイソレータを発表しました。

#### 1.1 絶縁技術

インフィニオンの最初のデジタルアイソレータファミリは、インフィニオンの特許技術であるコアレストランス(CT)技術を使用して、異なる電圧領域を横断する信号を分離します。この技術は、Figure 1に示すように、半導体製造プロセスを利用して、二酸化ケイ素(SiO<sub>2</sub>)絶縁バリアで分離された金属スパイラルからなるオンチップトランスを統合する電磁結合絶縁技術です。オンチップコアレストランスは、入力チップと出力チップ間の信号伝送に使用されます。さらに、グリッチフィルタ、通信変調、ウォッチドッグ、低電圧ロックアウト(UVLO)などの機能が統合されており、高電圧やノイズが存在する過酷な産業環境においても、堅牢でフェイルセーフなデータ伝送を実現します。

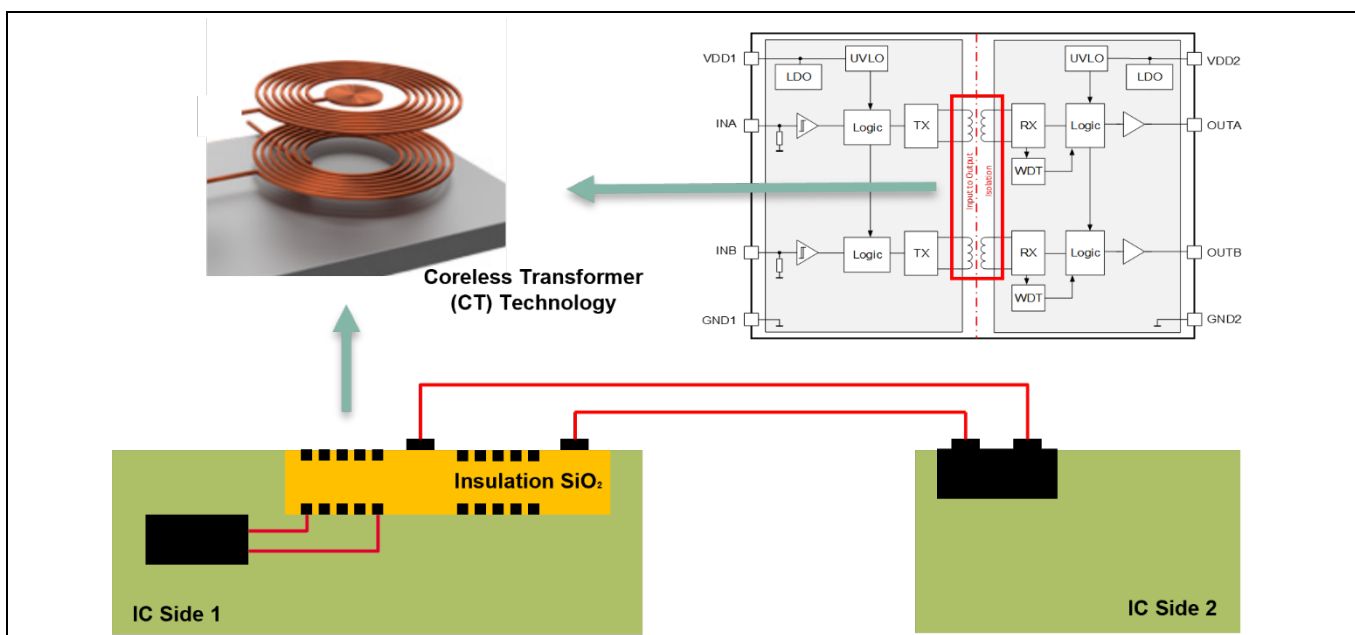


Figure 1 ISOFACE™デジタルアイソレータ 2DIBx4xxF 製品に使用されるインフィニオンのCTの断面図

#### 1.2 製品の特長

インフィニオンのISOFACE™デジタルアイソレータは、産業用アプリケーションの厳しい要件を満たすように設計されており、次のような特長を備えています。

- 100 kV/μs 超の高いコモンモード過渡耐性
- デュアルチャネルデジタルアイソレータ用入力閾値はTTLまたはCMOS
- デフォルトのフェイルセーフ出力はハイまたはローのオプションを提供
- 2.7V~6.5Vの広い動作電源電圧(絶対最大定格7.5V)
- 高精度なタイミング性能: 伝搬遅延 26 ns (Typ)、拡散-5/+6 ns のスピード

# インフィニオン ISOFACE™デュアル チャネル デジタル アイソレータ デザインガイド

## 1 ISOFACE™デュアル チャネル デジタル アイソレータの紹介

- 低消費電力: 最大 3.3 mA (3.3 V、1 Mbps 時)

### 1.3 製品バリエーション概要

**Table 1** に示すように、異なるチャネル構成, フェイルセーフのデフォルト出力状態, 可変または固定入力閾値の製品バリエーションを用意しています。

**Table 1** インフィニオン ISOFACE™デュアル チャネル デジタル アイソレータ ファミリの製品バリエーション

製品番号	チャネル構成	デフォルトの出力状態	入力閾値	絶縁定格	パッケージ
2DIB0400F	順方向 2 逆方向 0 (2+0)	低	可変 (CMOS)	V <sub>ISO</sub> = 3000 V <sub>RMS</sub> (UL1577 Ed. 5)	PG-DSO-8 5 x 4 mm
2DIB0401F		高			
2DIB1400F	順方向 1 逆方向 1 (1+1)	低			
2DIB1401F		高			
2DIB0410F	順方向 2 逆方向 0 (2+0)	低	固定 (TTL)		
2DIB0411F		高			
2DIB1410F	順方向 1 逆方向 1 (1+1)	低			
2DIB1411F		高			

最適なターゲットアプリケーション:

- 通信/サーバー用電源システムにおける低電圧 (LV) DC-DC ブリック
- パワーステージ内蔵 GaN (GaN-IPS) 用ハイサイド フローティングドライバ ゲート制御
- 絶縁 UART/CAN 通信

## 2 ISOFACE™デジタル アイソレータのセレクションガイド

### 2 ISOFACE™デジタル アイソレータのセレクションガイド

ISOFACE™デュアル チャネル デジタル アイソレータ ファミリから適切なデバイスを見つけるのは難しくありません。一定の共通機能を備えています。さまざまな産業用アプリケーションの要件に対応するように入力閾値やデフォルト出力状態が異なるためです。

#### • データレート

ISOFACE™デュアル チャネル デジタル アイソレータ ファミリは、最大 40 Mbps の単一データレートを提供し、スイッチドモード電源 (SMPS) アプリケーションのゲートドライブ信号の絶縁や低/中速通信インターフェースの絶縁に適しています。Table 2 に、所定のデータレートに適したアプリケーションをまとめます。

**Table 2** データレート最大 40 Mbps の ISOFACE™デジタル アイソレータに適したアプリケーション

ISOFACE™ デジタル アイソレータ	製品番号	最大データ レート	SMPS アプリケー ション	絶縁通信インターフェース
デュアル チャネル デジ タル アイソレータ	2DIBx4xxF	40 Mbps	最大スイッチン グ周波数 20 MHz	絶縁 UART、CAN 通信

#### • 絶縁仕様の要件

絶縁耐圧は、沿面距離、空間距離、比較トラッキング指数 (CTI)、汚染度などのパッケージ要件とともに、主にアプリケーションに適したデジタル アイソレータを選択するのに使用されるパラメータです。

例えば、インフィニオンの ISOFACE™ 2DIBx4xxF デジタル アイソレータは、最小 4 mm の沿面距離と空間距離を備え、400 V 以上の CTI は、UL 1577 に準拠した 3000 V<sub>RMS</sub> 絶縁電圧 (V<sub>ISO</sub>) に耐えられます。これらの製品は、機能絶縁または基礎絶縁のいずれかを必要とするアプリケーションに適しています。Table 3 に、ISOFACE™デュアル チャネル デジタル アイソレータの絶縁仕様の概要を示します。

**Table 3** ISOFACE™デジタル アイソレータのアイソレーション仕様

ISOFACE™ デジタル アイ ソレータ	製品番号	最小沿面距 離および空 間距離	適切な絶縁 タイプ	最大絶縁電圧 V <sub>ISO</sub> (UL 1577)	最大使用電圧 (V <sub>IOWM</sub> )	最大サージ絶 縁電圧 (V <sub>IOSM</sub> )
デュアル チャ ネル デジタル アイソレータ	2DIBx4xxF	4 mm	機能絶縁 または基 礎絶縁	3000 V <sub>RMS</sub>	558 V <sub>RMS</sub> <sup>1</sup>	6 kV <sub>pk</sub>

#### • チャネル構成

チャネル構成の決定とは、チャネル数とその方向を選択することです。例えば、2+0 (順方向 2、逆方向 0) のデュアル チャネル デジタル アイソレータは、ハーフブリッジやフルブリッジなどの電力変換器のトポロジーで、ゲート駆動信号 (ローサイドスイッチやハイサイドスイッチなど) を分離するのに適しています。一方、1+1 (順方向 1、逆方向 1) デュアル チャネル デジタル アイソレータは、UART や CAN などの通信インターフェースの Tx および Rx 信号経路を分離するのに適しています。Table 4 は、ISOFACE™デュアル チャネル デジタル アイソレータで可能なさまざまなチャネル構成と、それに対応するアプリケーションをまとめたものです。

<sup>1</sup> 基礎絶縁、汚染度 2、材料グループ II

## 2 ISOFACE™デジタル アイソレータのセレクションガイド

**Table 4** ISOFACE™デジタル アイソレータのチャネル構成とアプリケーション

ISOFACE™ デジタルアイ ソレータ	絶縁要件	製品番号	チャネル構成	適したアプリケーション
デュアルチャ ネル デジタル アイソレータ	最大 3000 V <sub>RMS</sub> の 絶縁電圧 (V <sub>ISO</sub> ) に よる基礎絶縁ま たは機能絶縁	2DIB04xxF	順方向 2 逆方向 0 (2+0)	ハーフブリッジおよびフルブ リッジのトポロジによる SMPS アプリケーション
		2DIB14xxF	順方向 1 逆方向 1 (1+1)	UART と CAN の通信インター フェースを絶縁、GaN-IPS の ハイサイドフローティング駆 動にレベルシフトを採用。

### • 入力閾値

ISOFACE™デュアル チャネル デジタル アイソレータは、CMOS または TTL のいずれかの入力論理閾値に対応したバリエーションを提供します。TTL 入力閾値は電源電圧に依存せず、0.8 V (Low)、2 V (High) のレベルで固定されます。これは、スイッチングノイズがデジタル アイソレータの電源にカップリングされる SMPS アプリケーションにおいて有利で、スイッチングノイズの結果により入力閾値が変化することはありません。CMOS の入力閾値は、電源電圧に関連した可変で、電源ラインのノイズが少ない絶縁型通信インターフェースにおいて、より多くのノイズマージンを確保できる可能性があります。

**Table 5** アプリケーションごとの ISOFACE™デジタル アイソレータの望ましい入力閾値

アプリケーション	デフォルト入力閾値	製品番号
SMPS アプリケーションにおけるゲート駆動信号の絶縁	TTL	2DIBx41xF
CAN、UART などの通信インターフェースの絶縁	CMOS	2DIBx40xF

### • フェイルセーフのデフォルト出力状態

フェイルセーフのデフォルト出力状態は、デジタル アイソレータの入力チャンネルが無電源または入力ピンがオープンである場合の出力状態を示します。この出力状態は、アプリケーションに応じて適切なデジタル アイソレータを選択するための重要な基準です。一般的に、デジタル アイソレータが SMPS アプリケーションなどでゲート駆動信号を絶縁するのに使用される場合、デフォルトの低出力状態が好まれます。デジタル アイソレータの出力は、出力側で何らかのエラーが発生しても、安全にオフの状態を保ちます。一方、通信インターフェースを絶縁する場合は、デフォルトの高出力状態にするのが望ましいです。Table 6 に、さまざまなアプリケーションに適したデフォルトの出力状態をまとめます。

# インフィニオン ISOFACE™デュアル チャネル デジタル アイソレータ デザインガイド

## 2 ISOFACE™デジタル アイソレータのセレクションガイド

**Table 6** アプリケーションごとの ISOFACE™デジタル アイソレータの望ましいデフォルト出力状態

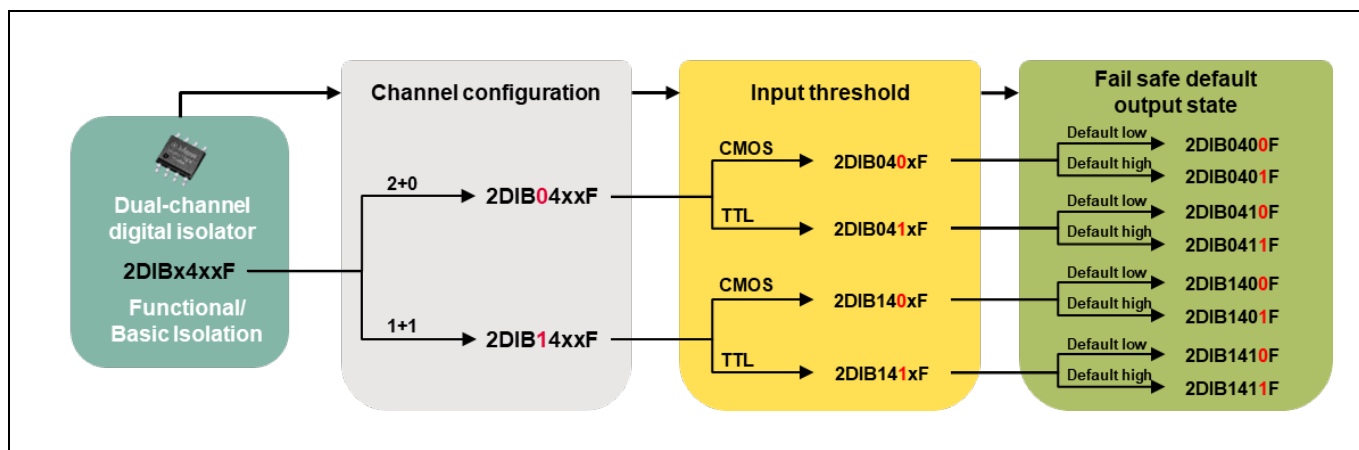
アプリケーション	デフォルト出力状態	製品番号
SMPS アプリケーションにおけるゲート駆動信号の絶縁	低	2DIBx4x0F
CAN、UART、SPI、RS 485 などの通信インターフェースを絶縁	高	2DIBx4x1F

### • コモンモード過渡耐性 (CMTI)

CMTI は、デジタル アイソレータがグランド間の電位差の速い変化に耐えられる能力として定義されます。CMTI の値が高く、通常  $\text{kV}/\mu\text{s}$  で指定される場合、高いスイッチング周波数での高速過渡対応という危機的状況下でも、堅牢な絶縁技術、失敗のないデータ伝送が可能であることを示します。

ISOFACE™デュアル チャネル デジタル アイソレータは、現在市販されている製品の中で、最高レベルの CMTI 最小値  $100 \text{ kV}/\mu\text{s}$  を実現しており、高い  $\text{dv}/\text{dt}$  ( $100 \text{ kV}/\mu\text{s}$  以上) SiC/GaN を用いた高電力密度設計や、高い同相ノイズを持つモーターコントロールアプリケーションに最適な選択肢です。

**Figure 2** に、主要パラメータとアプリケーション要件に応じて、ISOFACE™デジタル アイソレータファミリから最適なデバイスを選択する方法の概要を示します。



**Figure 2** ISOFACE™デジタル アイソレータ セレクションガイド



3 PCB 設計ガイドライン

### 3 PCB 設計ガイドライン

#### 3.1 PCB 材料

インフィニオンのデュアル/クアッド チャネル デジタル アイソレータは、最大データレートが 40 Mbps のため、PCB には一般的に使用される FR-4 素材が適します。わずかな吸湿性、信頼性の高い絶縁性、高い機械的強度という特性から、他の代替品よりも推奨します。

#### 3.2 基板層スタック

40 Mbps までの高データレートのデジタル アイソレータを使用したシステムで低 EMI 性能の実現には、以下のような 4 層基板設計によるシステムアプリケーション基板の設計が強く推奨されます。

- 第 1 層: 高速層  
この層は、信号入力や信号出力などの高速信号トレースを対象とします。
- 第 2 層: グランド層  
グラウンド層を 1 層挟むことで、シールド効果を発揮します。
- 第 3 層: 電力層  
この層は、デジタル アイソレータのすべての電源トレースを対象とします。
- 第 4 層: 低速層またはグラウンド層  
低速の信号線がない場合は、この層をグラウンド層として設計することで、シールド性を高められます。

基板層スタックを **Figure 3** に示します。

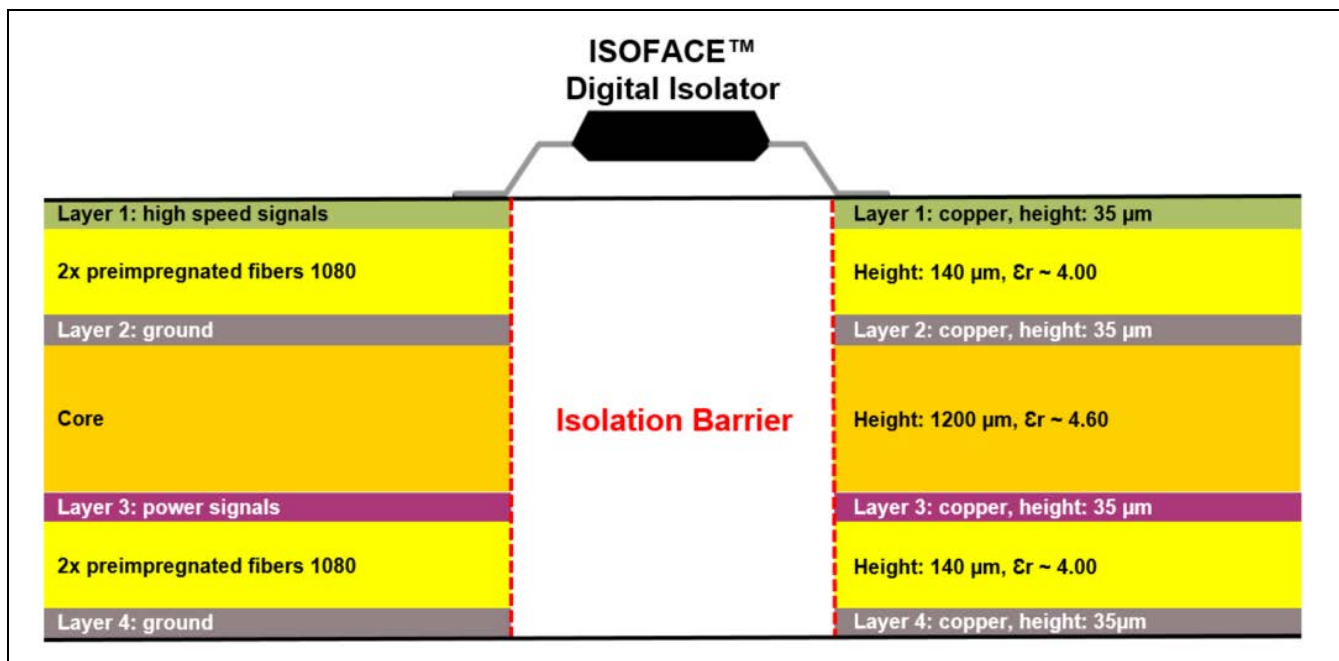


Figure 3 デジタル アイソレータを使用したシステム設計の基板層スタック



## 3 PCB 設計ガイドライン

### 3.3 レイアウトの考慮事項

ISOFACE™デジタル アイソレータをデータレートの高い HV アプリケーションで設計する際、安全で失敗のないデータ伝送を実現する上で、レイアウト上の重要な考慮事項がいくつかあります。Figure 4 に示すように、ISOFACE™ 2DIB1400F の例では、デジタル アイソレータはハイトレース、電源、およびサイレントグラウンドに接続する必要があります。

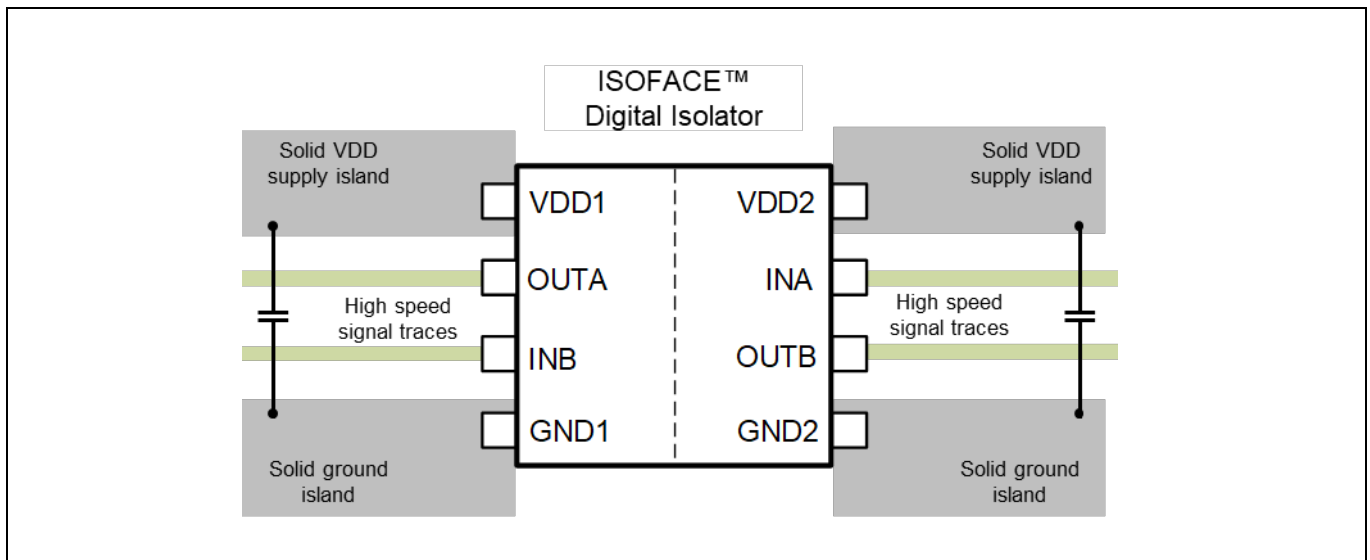


Figure 4 ISOFACE™デュアル チャンネル デジタル アイソレータを使用した設計におけるレイアウト上の考慮事項

以下にまとめたように、守るべきルールがあります。

- 特に高速データ転送時において、ピーク値の高い電流が VDD ピンに流れ込むため、電源 VDD ピンに直接電源アイランドを配置して、トレースによるインダクタンスを低減してください。
- 高周波用バイパスコンデンサは、できるだけ VDD 端子と GND 端子の近くに配置してください。スムーズな出力信号を得るために、高いデータレートでは 100 nF と 1  $\mu$ F の 2 つのバイパスコンデンサを両側に使用することを強く推奨します。
- PCB の放熱を促進するため、グランドピンに直接ソリッドグランドアイランドを配置してください。
- 高速信号の配線は最上層で行い、ビアを使用しないことで、ノイズの発生やデータ伝送に影響を与える寄生容量を低減してください。
- 低速信号は寄生効果を許容できるため、下層に配線してください。

4 ISOFACE™デジタル アイソレータの代表的なアプリケーション

## 4 ISOFACE™デジタル アイソレータの代表的なアプリケーション

ISOFACE™デジタル アイソレータは、HV 向けに機能絶縁と安全絶縁の両方を提供します。非絶縁型ゲートドライバとともに、特に GaN-IPS のような高い柔軟性と統合された通信が必要な SMPS アプリケーションに適しています。トランシーバーとの組合せや単体での使用も可能で、絶縁型通信インターフェースに適しています。

### 4.1 デュアルチャンネル デジタル アイソレータを使用したアプリケーション

ISOFACE™デュアルチャンネル デジタル アイソレータは、広い電源範囲、TTL/CMOS 入力閾値、および高い CMTI を特長とし、SMPS アプリケーションおよび絶縁通信インターフェースの両方において、高いノイズ耐性で堅牢なデータ伝送を実現します。

- 絶縁型 LV DC-DC ブリック

LV DC-DC ブリックは通信機器やサーバーの SMPS で広く使用され、安定した 12 V DC 出力を実現します。800 W を超える絶縁型 DC-DC ブリックは、高い電力密度、強化された安全要件、および通信機能に対する高まる要求を満たすため、主に主電力トランスの 2 次側に配置されたデジタルコントローラによって制御されるフルブリッジ-フルブリッジ (FB-FB) トポロジを採用して設計されています。入出力間安全絶縁を確保するため、PWM ゲート制御信号を絶縁バリア上で転送に基本的な絶縁を持つデジタルアイソレータがよく利用されます。

一例として、Figure 5 に、絶縁された 1 kW の DC-DC ブリックに対するインフィニオンのソリューションを示します。このソリューションでは、2 次側に XDP™ XDPP1100 デジタル電力コントローラを採用して、1 次側のフルブリッジトポロジを制御します。PWM 信号は、ISOFACE™デュアルチャンネル デジタルアイソレータ 2DIB0410F を介してアイソレーションバリアで伝送されます。

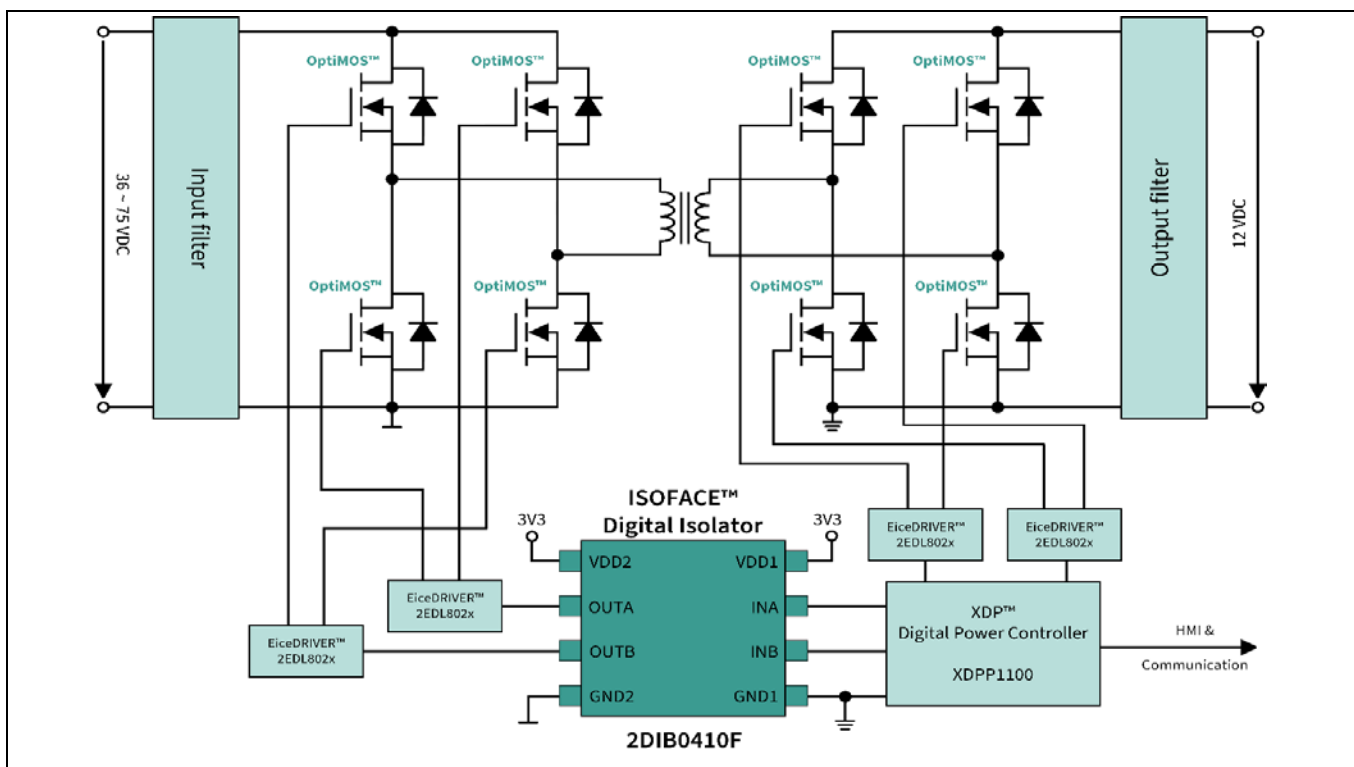


Figure 5 ISOFACE™ 2DIB0410F を使用した絶縁型 LV DC-DC ブリック

# インフィニオン ISOFACE™デュアル チャネル デジタル アイソレータ デザインガイド

## 4 ISOFACE™デジタル アイソレータの代表的なアプリケーション

コンバータの両側には、レベルシフト方式の **EiceDRIVER™ 2EDL802x ゲートドライバ IC** が使用されます。デジタルアイソレータの2つのチャンネルは、フルブリッジの対角線上の異なるアームにある2つの **OptiMOS™ パワー-MOSFET** を制御する、相補的な PWM 信号を転送します。さらに、ISOFACE™ 2DIB0410F は、SMPS アプリケーションの  $V_{DD}$  電源ラインのノイズに影響されない固定 TTL 入力閾値を提供します。デフォルトの低出力状態は、デジタルアイソレータの入力側電源が UVLO を下回った場合に、すべての MOSFET が安全にターンオフすることを保証します。

### ● 絶縁された CAN 通信と UART 通信

**CAN (Controller Area Network)** や **UART (Universal Asynchronous Receiver/Transmitter)** 通信は、産業用や自動車用アプリケーションで広く使用されています。物理層では1対のケーブル(2本の通信線)だけでデータ伝送が可能という共通の利点があります。ISOFACE™デュアルチャネルデジタルアイソレータ 2DIB1401F は、絶縁された CAN または UART インターフェースにおける安全性の確保またはノイズ干渉の防止に関して、ガルバニック絶縁を実現する最良の選択肢として優れています。この信頼性の高いアイソレータは、高い CMTI と非常に低いパルス幅歪み (PWD) を提供し、信頼性の高い通信を実現する上で重要な特長を備えています。さらに、アイソレータのデフォルトの高出力状態により、障害発生時にも通信ライン(アイドル状態では通常ロジックハイ)がブロックされずに済むため、入力側の電源が落ちる可能性を防ぎます。

インフィニオンの **CAN トランシーバー-TLE9251** とともに、絶縁型 CAN インターフェースの例を **Figure 6** に示します。ISOFACE™ 2DDIB1401F をコントローラとトランシーバーの間に配置し、ガルバニック絶縁を実現します。

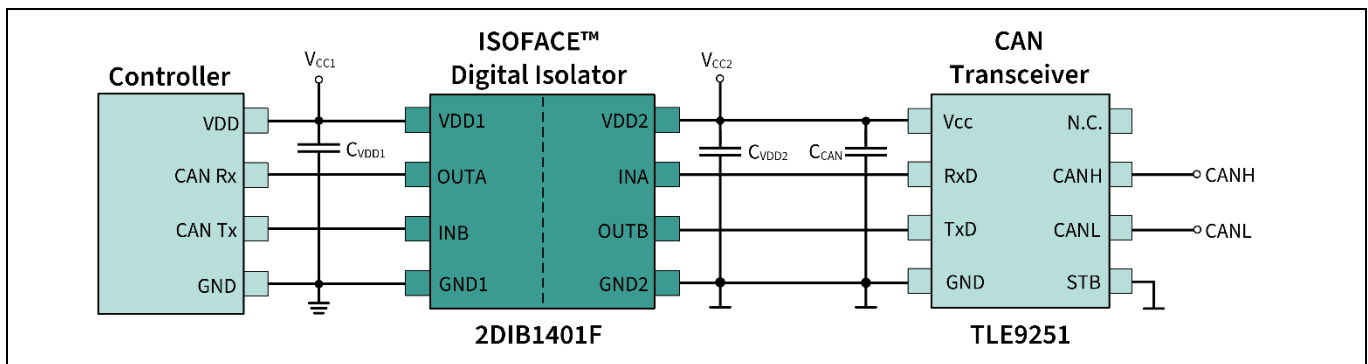


Figure 6 ISOFACE™ 2DIB1411F を使用した絶縁型 CAN 通信

### ● GaN-IPS のハイサイド フローティング ドライブにおける機能絶縁

エネルギー損失を大幅に抑えながら、はるかに高いスイッチング周波数で動作できるため、最近 SMPS 設計における 650 V **窒化ガリウム (GaN) -HEMT** の重要性が増しています。また、GaN スイッチとゲートドライバを1パッケージ化した GaN-IPS は、極めて高い電力密度、少ない部品点数、最小限の寄生素子で設計を実現するのに最適な選択肢になりつつあります。

ハイサイド GaN-IPS を正常に機能させるには、スイッチノードがゲートドライバの基準電圧になるため、ゲートドライバのレベルシフト機能を担うデジタルアイソレータが必要です。GaN-HEMT は最大 100 V/ns の高速 dv/dt 整流を生成する能力を備えているため、高いコモンモード過渡が発生する可能性があり、堅牢なソリューションが必要です。この場合、最小 100 V/ns の CMTI を実現し、PWM 信号の確実な転送を可能にする ISOFACE™デジタルアイソレータが適しています。

Figure 7 に、ハイサイドフローティングドライブ用に ISOFACE™デュアルチャネルデジタルアイソレータ 2DIB1410F を使用した例を示します。1つの順方向データチャンネルはゲート信号の転送に使用され、逆方向チャンネルはコントローラへの故障フィードバック信号の通信に使用されます。

# インフィニオン ISOFACE™デュアルチャンネル デジタルアイソレータ デザインガイド

## 4 ISOFACE™デジタルアイソレータの代表的なアプリケーション

ローサイドの GaN-IPS に別の ISOFACE™ 2DIB1410F を使用することは任意ですが、ハイサイドとローサイドの信号経路間の伝搬遅延を均一化し、GaN-IPS の異なるグランド (パワーグランド) とコントローラ (デジタルグランド) の絶縁を強く推奨します。

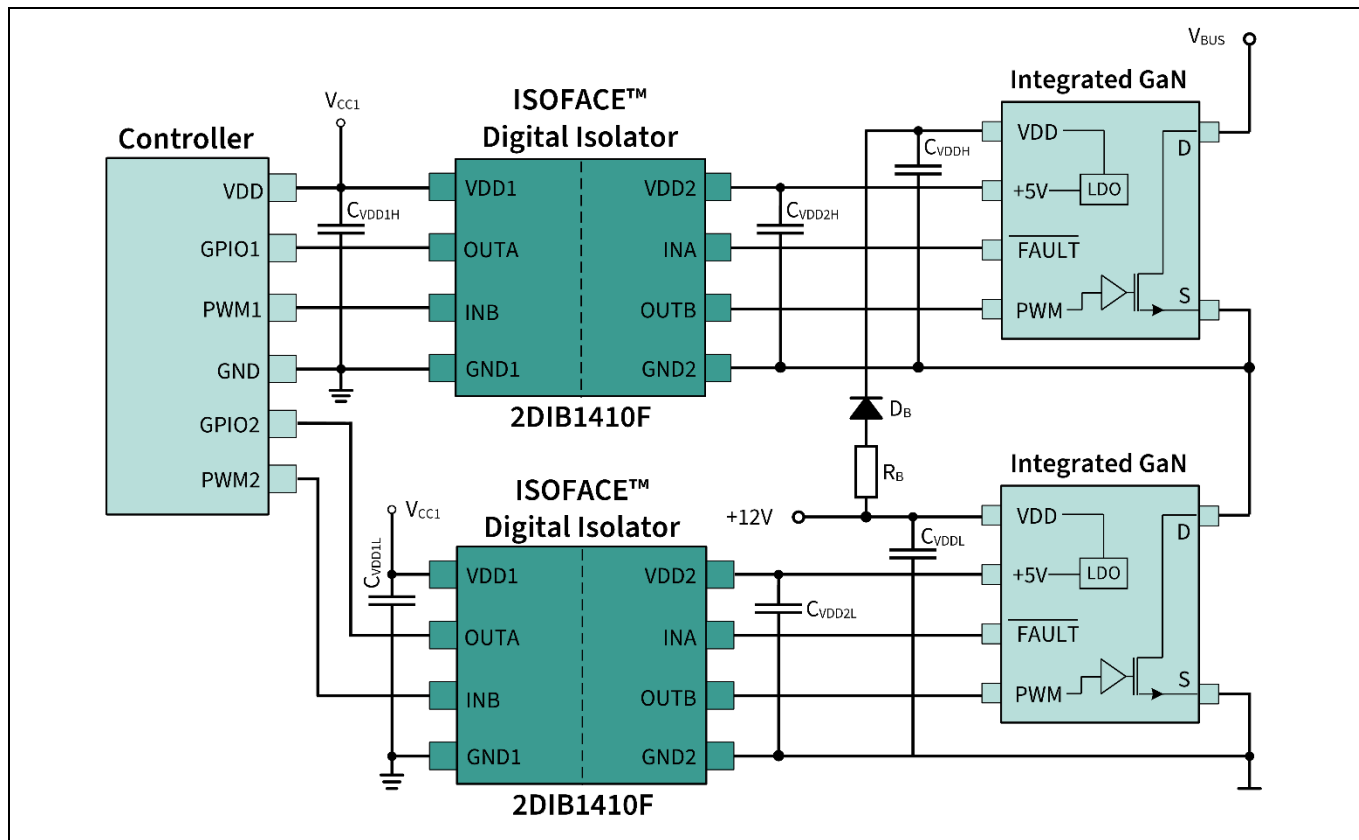


Figure 7 ISOFACE™ 2DIB1410F による GaN-IPS ハーフブリッジの機能絶縁

改訂履歴

改訂履歴

版数	発行日	変更内容
V1.0	2023-06-26	これは英語版 Infineon ISOFACE™ dual-channel digital isolators design guide V1.0 を翻訳した日本語版 V1.0 です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2023-06-26**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2023 Infineon Technologies AG.**

**All Rights Reserved.**

**Do you have a question about this document?**

**Email: [erratum@infineon.com](mailto:erratum@infineon.com)**

**Document reference**

**DG\_2208\_PL21\_2210\_155541**

## 重要事項

本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記載された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。