

# 256Mb/512Mb/1Gb SEMPER™ フラッシュ

## HYPERBUS™ インターフェース, 1.8 V/3.0 V

### 機能

- 各メモリアレイセルに2データビットを保存するインフィニオン 45nm MIRRORBIT™ 技術
- セクタアーキテクチャオプション
  - ユニフォーム: アドレス空間はすべて 256KB セクタで構成
  - ハイブリッド
    - コンフィギュレーション 1: アドレス空間は、最上部または最下部でグループ化された 32 の 4KB セクタと、残りの部分にある全 256KB セクタで構成
    - コンフィギュレーション 2: アドレス空間は、最上部および最下部の両方で均等に分割された 32 の 4KB セクタと、残りの部分にある全 256KB セクタで構成
- 256 または 512 バイトのページプログラムバッファ
- 1024 バイト (32×32 バイト) の OTP セキュアシリコン領域 (SSR)
- HYPERBUS™ インターフェース
  - JEDEC eXpanded SPI (JESD251) 準拠
  - DDR オプションは最大 400MBps (200 MHz クロック速度)
  - データストロブ (DS) をサポートし、高速システムでの読み出しデータキャプチャを簡素化
- レガシー (x1) SPI (1S-1S-1S)
  - JEDEC eXpanded SPI (JESD251) 準拠
  - SDR オプションは最大 21MBps (166 MHz クロック速度)
- HYPERBUS™ インターフェースを備えた SEMPER™ フラッシュ デバイスは、レガシー SPI (x1) と HYPERBUS™ インターフェース (x8) の両方でデフォルトブートをサポート
- 安全性機能
  - ISO 26262 ASIL B 準拠および ASIL D 対応の安全性機能
  - インフィニオン endurance flex アーキテクチャ: 高耐久性および長期データ保持のパーティションを提供
  - インターフェース CRC: ホスト コントローラーと SEMPER™ フラッシュ デバイス間の通信インターフェースでエラーを検出
  - データ整合性 CRC: メモリアレイでエラーを検出
  - セーフブート: デバイスの初期化失敗を報告し、コンフィギュレーション破損を検出し、回復オプションを提供
  - 内蔵エラー訂正コード (ECC): メモリアレイ データでシングルビット エラー訂正およびダブルビット エラー検出 (SECEDED) を実行
  - 消去中の電力喪失を示すセクタ消去ステータスインジケータ
- 保護機能
  - 個別メモリアレイセクタ単位での高度セクタ保護
- オートブート: 電源投入後のメモリアレイへの即時アクセスを有効化
- CS# シグナリング方式 (JEDEC) および個別 RESET# ピンによるハードウェアリセット
- デバイス機能と特長を記述するシリアルフラッシュ検出可能パラメーター (SFDP)
- デバイス ID、メーカー ID、固有 ID
- データ整合性
  - 256Mb デバイス
    - メインアレイは最小 640,000 回のプログラム / 消去サイクル
  - 512Mb デバイス
    - メインアレイは最小 1,280,000 回のプログラム / 消去サイクル

## 性能要約

- 1Gb デバイス
  - メイン アレイは最小 2,560,000 回のプログラム / 消去サイクル
- すべてのデバイス
  - 4KB セクタは最小 300,000 回のプログラム / 消去サイクル
  - 少なくとも 25 年間のデータ保持
- 電源電圧
  - 1.7V ~ 2.0V (HS-T)
  - 2.7V ~ 3.6V (HS-T)
- グレード / 温度範囲
  - 産業用 (-40°C ~ +85°C)
  - 産業用プラス (-40°C ~ +105°C)
  - 車載用 AEC-Q100 グレード 3 (-40 °C ~ + 85 °C)。
  - 車載用 AEC-Q100 グレード 2 (-40 °C ~ + 105 °C)。
  - 車載用 AEC-Q100 グレード 1 (-40 °C ~ + 125 °C)。
- パッケージ
  - 256Mb と 512Mb: 24 ボール BGA 6×8mm
  - 1Gb: 24 ボール BGA 8×8mm

## 性能要約

## 最大読み出し速度

トランザクション	初期アクセスレイテンシ (サイクル)	クロックレート (MHz)	MBps
SPI 読み出し	0	50	6.25
SPI 高速読み出し	10	166	20.75
HYPERBUS™ DDR 読み出し (HS-T)	16	200	400
HYPERBUS™ DDR 読み出し (HL-T)	14	166	332

## 標準プログラムと消去速度

動作	KBps
256B ページプログラム (4KB セクタ / 256KB セクタ)	595 / 533
512B ページプログラム (4KB セクタ / 256KB セクタ)	753 / 898
256KB セクタ消去	331
4KB セクタ消去	95

## 標準消費電力

動作	HL-T 電流 (mA)	HS-T 電流 (mA)
SDR 読み出し (50MHz)	10	10
DDR 読み出し (HYPERBUS™)	75 (166 MHz)	156 (200 MHz)
プログラム	50	50
消去	50	50
スタンバイ (HS-T)	0.014	0.011
ディープパワーダウン (HS-T)	0.0022	0.0013

データ整合性

データ整合性

プログラム / 消去 (PE) 可能回数 - 高耐久性 (256KB セクタ)

パーティション内のセクタ数	最小 PE サイクル数	最小データ保持期間	単位
512 (1Gb デバイスのデフォルト値)	2,560,000	2	年
508	2,540,000		
504	2,520,000		
...	...		
256 (512Mb デバイスのデフォルト値)	1,280,000		
252	1,260,000		
128 (256Mb デバイスのデフォルト値)	640,000		
...	...		
28	140,000		
24	120,000		
20	100,000		

注: 最小サイクル数は高耐久性パーティション全体に対するものです。

プログラム / 消去可能回数 - 長期データ保持パーティション (256KB セクタ)

最小 PE サイクル数	最小データ保持期間	単位
500	25	年

注 最小サイクル数は各々のセクタに対するものです。

4KB セクタおよび不揮発性レジスタ アレイのプログラム / 消去可能回数

フラッシュメモリタイプ	最小サイクル数	単位	最小データ保持期間	単位
4KB セクタのプログラム / 消去サイクル数	500	PE サイクル	25	年
	300,000		2	
恒久的な保護ビット (PPB) アレイまたは不揮発性レジスタアレイのプログラム / 消去サイクル数	500		25	

注: 不揮発性レジスタへの書き込みトランザクションを実行するたびに、不揮発性レジスタアレイ全体で PE サイクルが発生します。

## 目次

機能 .....	1
性能要約.....	2
データ整合性 .....	3
目次 .....	4
<b>1 ピン配置および信号の説明 .....</b>	<b>6</b>
<b>2 インターフェースの概要.....</b>	<b>8</b>
2.1 概要 .....	8
2.2 HYPERBUS™ トランザクション プロトコル .....	10
2.3 レガシー (x1) SPI トランザクション プロトコル.....	13
2.4 組込み動作 .....	17
2.5 レジスタ命名規則 .....	18
2.6 HYPERBUS™ トランザクション命名規則 .....	18
2.7 レガシー (x1) SPI トランザクション命名規則.....	18
<b>3 アドレス空間マップ .....</b>	<b>19</b>
3.1 SEMPER™ フラッシュ メモリアレイ .....	19
3.2 アドレス空間オーバーレイ (ASO) (HYPERBUS™ のみ).....	21
3.3 ID アドレス空間.....	23
3.4 SFDP JEDEC JESD216 シリアル フラッシュ検出可能パラメーター (SFDP) 空間.....	23
3.5 セキュア SSR アドレス空間.....	23
3.6 レジスタ (レガシー (x1) SPI のみ).....	24
<b>4 機能.....</b>	<b>26</b>
4.1 エラー検出と訂正 .....	26
4.2 インフィニオン Endurance Flex アーキテクチャ (ウェア レベリング).....	31
4.3 インターフェース CRC .....	34
4.4 データ整合性 CRC .....	36
4.5 データ保護スキーム .....	38
4.6 セーフブート .....	48
4.7 オートブート .....	53
4.8 読み出しトランザクション .....	54
4.9 書き込みトランザクション - レガシー (x1) SPI.....	64
4.10 プログラム .....	66
4.11 消去 .....	74
4.12 組込み動作の一時停止と再開 .....	77
4.13 エラー タイプと報告 - HYPERBUS™.....	82
4.14 エラー タイプおよび報告 - レガシー (x1) SPI.....	83
4.15 リセット .....	84
4.16 電力モード .....	89
4.17 電源投入と電源切断 .....	91
<b>5 レジスタ .....</b>	<b>93</b>
5.1 レジスタ命名規則 .....	94
5.2 HYPERBUS™ レジスタ .....	94
5.3 レガシー (x1) SPI レジスタ .....	111
<b>6 トランザクション テーブル.....</b>	<b>130</b>
6.1 HYPERBUS™ トランザクション テーブル .....	130
6.2 レガシー (x1) SPI トランザクション テーブル.....	144
<b>7 電気的特性.....</b>	<b>147</b>
7.1 絶対最大定格 [62].....	147
7.2 動作範囲 .....	147
7.3 熱抵抗 .....	147
7.4 静電容量特性 .....	148
7.5 ラッチアップ仕様 .....	148

目次

7.6 DC 特性.....	148
7.7 AC テスト条件.....	151
<b>8 タイミング特性.....</b>	<b>152</b>
8.1 タイミング波形.....	155
<b>9 デバイス ID.....</b>	<b>158</b>
9.1 JEDEC SFDP Rev D ヘッダ テーブル.....	158
9.2 JEDEC SFDP Rev D パラメーター テーブル.....	159
9.3 xSPI プロファイル 2.....	162
9.4 メーカーおよびデバイス ID.....	163
9.5 固有 ID.....	164
<b>10 パッケージ図.....</b>	<b>165</b>
<b>11 注文情報.....</b>	<b>167</b>
11.1 有効な組合せ – 標準グレード.....	168
11.2 有効な組合せ – 車載向けグレード /AEC-Q100.....	169
<b>改訂履歴.....</b>	<b>170</b>
<b>免責事項.....</b>	<b>171</b>

## 1 ピン配置および信号の説明

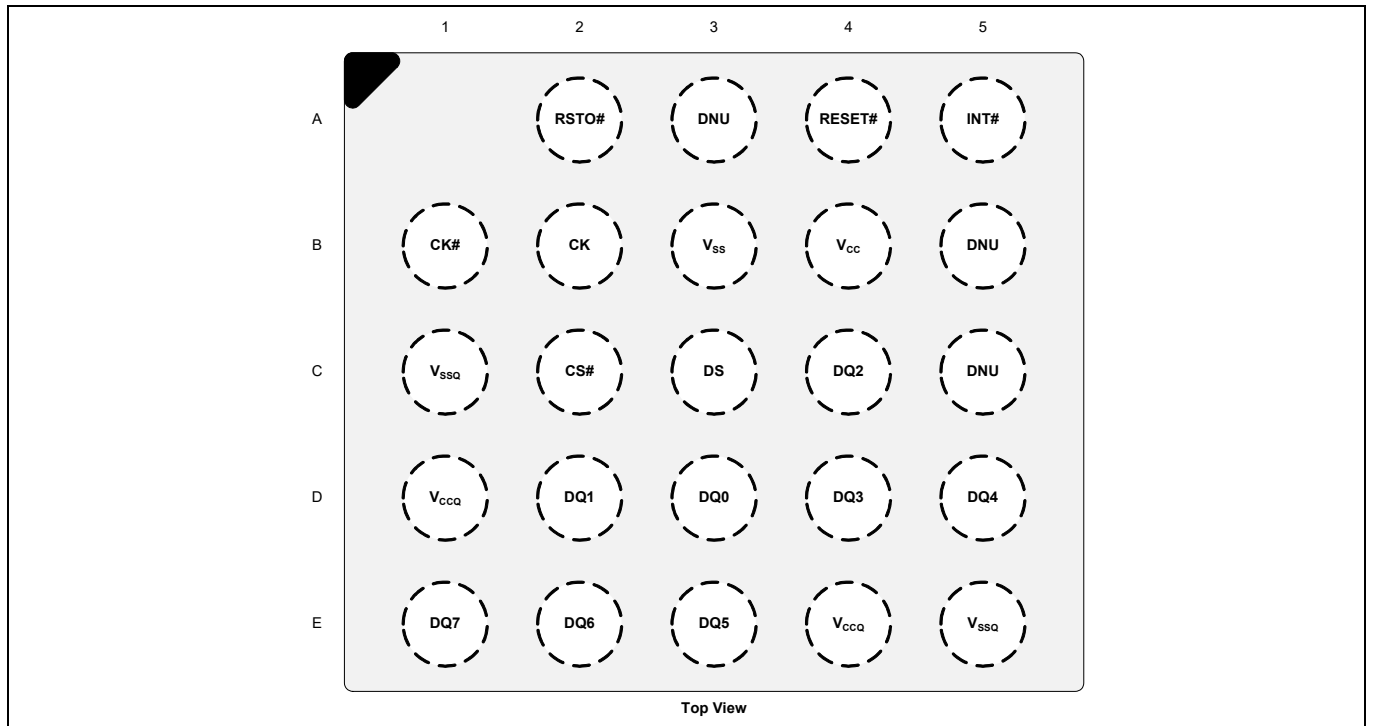


Figure 1 24 ボール BGA ピン配置 [1]

**注**

1. BGA パッケージのフラッシュメモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの整合性が損なわれることがあります。

## ピン配置および信号の説明

Table 1 信号の説明

記号	タイプ	必須 / オプション	説明
CS#	入力	必須	<b>チップセレクト (CS#):</b> すべてのバス トランザクションは CS# の HIGH から LOW への遷移で開始され、CS# の LOW から HIGH への遷移で終了します。CS# を LOW にすると、デバイスはアクティブモードになります。CS# が HIGH になると、内部組み込み動作が実行中でないかぎり、デバイスはスタンバイモードになります。他のすべての入力ピンは無視され、出力ピンは高インピーダンス状態になります。
CK, CK#[2, 3]	入力	必須	<b>クロック (CK, CK#):</b> クロックはシリアル インターフェースのタイミングを提供します。シングルエンドと差動のクロックモードが提供されます。トランザクションは CK 信号の立ち上りエッジ (シングルエンド) または CK 信号と CK# 信号が交差する所 (差動) でラッチされます。 <b>レガシー (x1) SPI インターフェース</b> では、コマンド、アドレスとデータ入力はクロックの立ち上りエッジでラッチされ、データはクロックの立ち下りエッジで出力されます。 <b>HYPERBUS™ (x8) インターフェース</b> では、シングルエンドクロックの場合、コマンド、アドレスとデータ入力は CK の立ち上りと立ち下りエッジに関してラッチされます。差動クロックモードの場合、コマンド、アドレスとデータ入力は CK と CK# が交差する所に関してラッチされます。 <b>差動クロック:</b> CK と CK# を使用します。 <b>シングルエンド:</b> CK を使用します (CK# は使用せず、開放のままにできます)。
DS	出力	必須	<b>読み出し DS:</b> DS はデータ読み出し動作のみに使用され、HYPERBUS™ インターフェースで出力データが有効であることを示します。CS# が LOW のとき、読み出し トランザクション中に DS は CS# が HIGH になるまでデータ出力を同期化するようにトグルします。読み出し トランザクション中の出力データは DS とエッジ揃えになります。
DQ[7:0]	入力 / 出力	必須	<b>シリアルデータ (DQ[7:0]):</b> 双方向信号であり、コマンド、アドレス、データ情報を転送します。 <b>レガシー (x1) SPI インターフェース:</b> DQ[0] は入力 (SI)、DQ[1] は出力 (SO) です。 <b>HYPERBUS™ (x8) インターフェース:</b> DQ[7:0] は入力と出力です。
RESET#	入力 (弱プルアップ)	任意	<b>ハードウェアリセット (RESET#):</b> LOW のとき、デバイスは自己初期化してアレイ読み出し状態に戻ります。RESET# が LOW のとき、DS と DQ[7:0] は High-Z 状態になります。RESET# は弱プルアップされており、RESET# を未接続のままにすると、それ自身で HIGH 状態にプルアップされます。
INT#	出力 (オープンドレイン)	任意	<b>システム割込み (INT#):</b> LOW のとき、デバイスは内部イベントが発生したことを示します。この信号はデバイスがチップ内イベントが発生したことを示すためにシステムレベルの割込みとして使用されます。INT# はオープンドレイン出力です。
RSTO#	出力 (オープンドレイン)	任意	<b>リセット出力 (RSTO#):</b> RSTO# はデバイス内でパワーオンリセット (POR) が発生したことを示すオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了時、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移すると、外部プルアップ抵抗により RSTO# 信号は HIGH に引っ張られて、デバイスは瞬時にスタンバイ状態になります。RSTO# が LOW のとき、トランザクションは禁止されます。この期間中、デバイスは選択できず、トランザクションを受け取らず、RSTO# 以外の出力を駆動しません。
V <sub>CC</sub>	電源	必須	コア電源
V <sub>CCQ</sub>			入力 / 出力用の電源
V <sub>SS</sub>	グラウンド電源	必須	コアグラウンド
V <sub>SSQ</sub>			入力 / 出力グラウンド
DNU	-	-	使用禁止

## 注

2. クロックはフリーランである必要はありません。
3. CK と CK# は真の差動信号ではなく、相補信号です。システムレベル終端が適切に設計されるように注意する必要があります。

## 2 インターフェースの概要

### 2.1 概要

インフィニオン SEMPER™ フラッシュ製品ファミリは、JEDEC JESD251 eXpanded SPI (xSPI) 仕様に準拠した、高速 CMOS、MIRRORBIT™ NOR フラッシュ デバイスです。SEMPER™ フラッシュは、ASIL-B に準拠および ASIL-D に対応するために ISO 26262 規格による機能安全用に設計されています。

HYPERBUS™ インターフェースを備えた SEMPER™ フラッシュ デバイスは、HYPERBUS™ インターフェースとレガシー (x1) SPI の両方をサポートします。両インターフェースはトランザクションを順次に転送し、インターフェース接続信号の数を減らします。SPI は SDR、HYPERBUS™ は DDR をサポートします。

HYPERBUS™ インターフェース (DDR) はデータ (DQ) 信号でクロック サイクルごとに 2 データ バイトを転送します。読み出しまたはプログラム / 書き込みアクセスは、内部 HYPERFLASH™ コアにおける一連の 16 ビット幅の 1 クロック サイクル データ転送と、DQ 信号における 2 つの対応する 8 ビット幅の半クロック サイクル データ転送から成ります。データとコマンド / アドレス情報は 8 ビット データバスを介して DDR 方式で転送されます。クロック入力信号は、DQ 信号上のコマンド / アドレス / データ情報の受信時に SEMPER™ フラッシュの信号キャプチャに使用されます。読み出し DS は、データが SEMPER™ フラッシュ メモリから転送される時点を示すメモリからの出力です。DS は、読み出し動作のデータ転送部分中の CK の立ち上りと立ち下りエッジを基準にします。コマンド / アドレス / 書き込みデータの値はクロック エッジの中央に揃え、読み出しデータの値は DS の遷移のエッジに揃えます。

SEMPER™ フラッシュへの読み出しおよびプログラム / 書き込み動作はバースト指向です。読み出しトランザクションはラップバーストかリニアバースト方式で行うよう設定できます。ラップ動作では、アクセスは選択した位置から開始して、設定した位置数までグループリップシーケンスで続きます。リニア動作では、アクセスは選択した位置から開始して、読み出し動作が終了する (CS# が HIGH に戻る) までシーケンシャルに続きます。書き込みトランザクションは 1 つ以上の 16 ビット値を転送します。

各ランダム読み出しは、ページ (32 バイト長のアラインされたデータセット) にアクセスします。各ページは 1 対のハーフページ (16 バイト長のアラインされたデータアレイのグループ) から構成されます。ハーフページは 16 バイト アドレス境界にアラインされます。読み出しアクセスは、対象のハーフページアドレスとバースト種類を定義するために 2 クロック サイクルを要し、かつ追加初期レイテンシを要します。初期レイテンシ期間中の 3 番目のクロック サイクルでは対象のハーフページの開始アドレスが指定されます。初期データ値が出力された後、後続のクロック サイクルで追加のデータはラップバーストかリニアバースト方式でページから読み出されます。リニアバーストモードに設定した場合、ページがバースト出力されている間にデバイスは自動的に MIRRORBIT™ フラッシュ メモリアレイから次のシーケンシャルのページをフェッチします。アレイからのフェッチが進行中に同時にバースト出力すると、連続リニアバースト動作が実行可能になり、400/333 MBps の持続データ レートを実現できます [1 バイト (8 ビット データバス) \* 2 (両クロックエッジのデータ) \* 200/166 MHz = 400/333 MBps]。

各メモリビットの消去済み状態は論理 1 です。プログラム動作により論理 1 (HIGH) から論理 0 (LOW) に変更します。消去動作だけがメモリビットを「0」から「1」に変更できます。消去動作はセクタ全体 (4KB または 256KB) に対して行わなければいけません。

SEMPER™ フラッシュは柔軟性のあるセクタアーキテクチャを提供します。アドレス空間は、ユニフォーム 256KB セクタアレイ、ハイブリッド コンフィギュレーション 1 アレイ (32 の 4KB セクタが最上部か最下部にあり、残りのセクタが 256KB)、またはハイブリッド コンフィギュレーション 2 アレイ (32 の 4KB セクタが最上部と最下部間で均等に分かれ、残りのセクタが 256KB) に設定できます。

単一のプログラム動作で使用するページプログラムバッファは、256 バイトまたは 512 バイトのどちらかに設定できます。512 バイト オプションでは、最大のプログラムスループットが得られます。



## インターフェースの概要

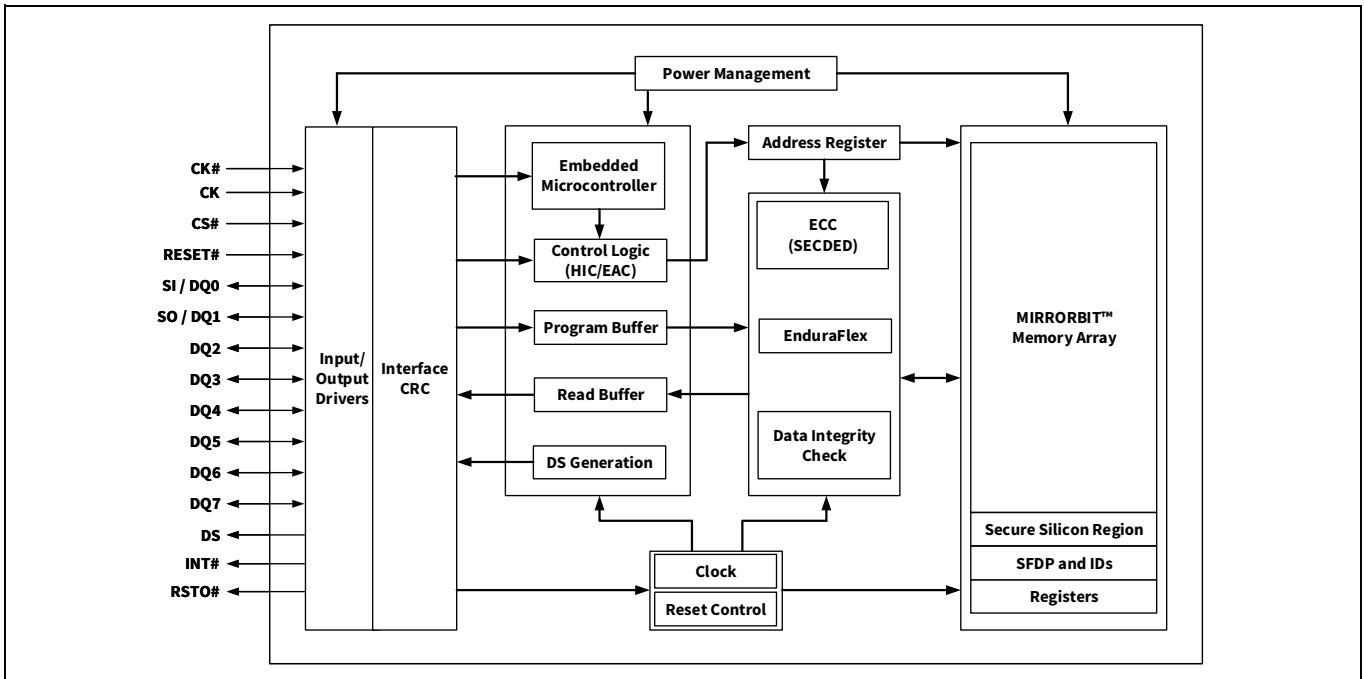


Figure 2 論理ブロックダイアグラム

SEMPER™ フラッシュファミリは、複数の容量、1.8V と 3.0V コアと I/O 電圧オプションを含みます。

デバイス制御ロジックは、ホストインターフェースコントローラー (HIC) と組み込みアルゴリズムコントローラー (EAC) の 2 つの並行して動作するセクションに分かれます。HIC はデバイス入力の信号レベルを監視し、かつ必要に応じてデバイス出力を駆動し、ホストシステムとのデータ読み出し、プログラム、書き込み転送を実行します。HIC は読み出し転送で、現在入力されたアドレス空間からデータを出し、書き込み転送アドレスとデータ情報を EAC コマンドメモリに配置し、また、電源遷移および書き込み転送を EAC に通知します。EAC は、プログラム/書き込み転送後に、コマンドシーケンスが適正かどうかについてコマンドメモリをチェックして、そして関連する組み込みアルゴリズム (EA) を実行します。

メモリアレイ内の不揮発性データの書き換えには、EA の一部である一連の動作を必要とします。アルゴリズムは内部の EAC によって完全に管理されます。主要なアルゴリズムは、メインアレイデータのプログラムと消去を実行します。ホストシステムはフラッシュデバイスにコマンドコードを書き込みます。EAC はコマンドを受け取り、トランザクションを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

CS#, CK, SI/DQ0, SO/DQ1, DQ [7:2] および DS の必須信号に加え、SEMPER™ フラッシュデバイスは CK#, RESET#, INT# および RSTO# のオプションの信号も含みます。RESET# 信号が LOW から HIGH に遷移すると、デバイスは内部の POR 後のデフォルト状態に戻ります。DS が読み出しトランザクション中に出力データと同期化されるため、ホストシステムは高いクロック周波数動作でデータをキャプチャできます。INT# は、プログラムまたは消去動作の終了時に HYPERFLASH™ がビジーからレディに遷移する時点を示すか、または読み出し中の ECC エラーの検出を示すために HYPERFLASH™ マスターに割り込みを提供するオープンドレイン出力です。RSTO# はデバイス内で POR が発生する時点を示すオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後、ユーザーによって定義されたタイムアウト期間が経過すると、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH に引っ張られて、デバイスは瞬時にスタンバイ状態になります。

インフィニオン Endurance Flex アーキテクチャにより、システム設計者は特定のアプリケーション用に SEMPER™ フラッシュの耐久性とデータ保持期間をカスタマイズすることが可能です。ホストは高耐久性または長期データ保持用のパーティションを定義し、最大 100 万回以上のサイクルまたは 25 年のデータ保持期間を実現します。

## インターフェースの概要

SEMPER™ フラッシュ デバイスは、メモリアレイのプログラム中に組み込みハミング ECC を生成することでエラー検出と訂正をサポートします。その後、この ECC コードは読み出し中に 1 ビットと 2 ビットエラーの検出および 1 ビットの訂正に使用されます。

SEMPER™ フラッシュ デバイスは、ホストシステムにデバイスの状態を提供する診断機能を内蔵します。

- プログラムおよび消去動作: プログラムまたは消去の成功、失敗および一時停止状態の報告
- エラー検出と訂正: アドレストラップおよびエラー カウントを含む 1 ビットおよび / または 2 ビットエラー ステータス
- データ整合性チェック: メモリアレイ内容に対するエラー検出
- インターフェース CRC: インターフェース トランザクションに対するエラー検出
- セーフブート: 適切なフラッシュ デバイス初期化およびコンフィギュレーション破損からの回復の報告
- セクタ消去ステータス: セクタごとの消去の成功と失敗状態の報告
- セクタ消去カウンター: セクタごとの消去サイクルのカウント

## 2.2 HYPERBUS™ トランザクション プロトコル

### トランザクション

すべてのバス トランザクションは読み出しと書き込みの 2 種類に分けられます。CK=LOW、CK#=HIGH のとき、CS# が LOW になると、バス トランザクションは開始します。実行される トランザクションは最初の 3 クロック サイクル中に DDR 方式 (合計 6 クロック エッジを使用すること) で SEMPER™ フラッシュ デバイスに提供されます。これらの最初の 3 クロックでは、3 ワードのコマンド / アドレス (CA0、CA1、CA2) 情報が転送され、以下の トランザクションの特性を定義します。

- 読み出し トランザクション または 書き込み トランザクション
- トランザクションはメモリアレイに対してか、またはレジスタ空間に対してか
  - HYPERBUS™ プロトコルはメモリとレジスタの両方のアドレス空間を備えるスレーブ デバイスに対応しますが、本仕様書で説明する SEMPER™ フラッシュ メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。トランザクションの宛先位置がメモリ空間かレジスタ空間かにかかわらず、トランザクションが選択するアドレス空間は 1 つのみです。書き込み トランザクションでは、トランザクション アドレスとデータを 1 つのコマンド レジスタセット (バッファ) に格納します。読み出し トランザクションは、コマンドを実行することで単一のアドレス空間内に一時的にオーバレイされるメモリアレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバレイ方法を持つ、この単一アドレス空間はレガシーのパラレル NOR フラッシュ デバイスと下位互換性があります。
- トランザクションはリニアバーストシーケンスまたはラップバーストシーケンスを使用するか
  - リニアとラップバーストは読み出し トランザクションで完全にサポートされます。SEMPER™ フラッシュはまた、1 つのラップバーストとその後に続くリニアバーストを組み合わせるハイブリッドバーストをサポートします。
  - SEMPER™ フラッシュの書き込み トランザクションはバーストシーケンスをサポートせず、バースト種類の表示も無視します。書き込みコマンド トランザクションは 1 回の書き込みごとに 1 ワードを転送します。ワードプログラム コマンドの書き込みデータ転送のみはリニアバーストで実行できます。
- 対象のハーフページ アドレス (行と上位列アドレス)
- (ハーフページ内の) 対象のワード アドレス (下位列アドレス)

トランザクション定義後かつデータ転送前の中で、読み出しレイテンシの要件を満たすためにいくつかのアイドルクロックサイクルが必要です。対象となるデータが転送された後、HYPERBUS™ マスターホストは CK=LOW と CK#=HIGH の状態で CS# を HIGH に駆動することで トランザクションを終了します。データは 16 ビット値として転送されます。16 ビットの中、最初の 8 ビット (ビット 15 ~ 8) は CK の立ち上りエッジ (書き込みデータか CA ビットの場合) または DS の立ち上りエッジ (読み出しデータの場合) で転送され、次の 8 ビット (ビット 7 ~ 0) は CK の立ち下りエッジまたは DS の立ち下りエッジで転

## インターフェースの概要

送されます。CK=LOW、CK#=HIGH のとき、CS# を HIGH にすることで読み書き動作中のデータ転送を終了します。読み出しデータは DS の遷移と同時に変化し、書き込みデータはクロック エッジと中央が揃います。

Table 2 コマンド / アドレス ビットの割り当て

CA ビット #	ビット名	ビット機能
47	R/W#	トランザクションを読み出しか書き込みとして特定します。 1= 読み出し動作 0= 書き込み動作 ターゲット空間は CA46 で定義されます。
46	ターゲット	読み書き動作がメモリかレジスタ空間にアクセスするかを示します。 0= メモリ空間 1= レジスタ空間 レジスタ空間は揮発性メモリとペリフェラル デバイスが使用するように用意されます。 HYPERFLASH™ デバイスはこの機能を利用せず、読み出し / 書き込みトランザクションの間このビットを「0」にセットする必要があります。
45	バーストタイプ	バーストがリニアかラップであるかを示します。 0= ラップ バースト 1= リニア バースト
44 ~ 39 (1Gb) 44 ~ 38 (512Mb) 44 ~ 37 (256Mb)	予約済み	将来のアドレス拡張用に予約されています。 ホスト コントローラーは予約済みビットを「0」にセットする必要があります。
38 ~ 16 (1Gb) 37 ~ 16 (512Mb) 36 ~ 16 (256Mb)	列と上位行アドレス	対象アドレスのハーフページ要素
15 ~ 3	予約済み	将来の列アドレス拡張用に予約されています。 ホスト コントローラーは予約済みビットを「0」にセットする必要があります。
2 ~ 0	下位列アドレス	対象アドレスの下位列要素: ハーフページ内の開始ワードを選択するシステム ワード アドレスビット A2 ~ 0 です。

## トランザクション キャプチャ

CK/CK# はホストとメモリの間の各ビットまたは各ビット グループの転送を示します。コマンド、アドレスおよび書き込みデータ ビットの転送は CK エッジまたは CK/CK# が交差する所で行われます。

注: プログラムまたは消去 (組込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組込み動作はそれに影響されず、実行が継続されます。組込み動作中、ごく限られたコマンドセットは受け入れられます。

## 読み出し

CA0 は読み出し動作が次に実行されることを示す一方、バースト種類 (ラップかリニア) も表示します。ハーフページ アドレスが CA0 と CA1 にて提供され次第、読み出し動作は内部のアレイ アクセスを開始します。CA2 は選択したハーフページ内の対象のワード アドレスを指定します。その後、ホストはコンフィギュレーション レジスタ内のレイテンシ カウント設定により定義されたサイクル数の期間でクロックを供給し続けます。これらのレイテンシクロック サイクルの設定値に達すると、メモリはデータ ストローブ (DS) の遷移と同時に対象のデータの出力を開始します。新しいデータがエッジ揃えの方法にて、毎回の DS の遷移によって出力されます。ホストから供給されるクロック (CK と CK#) の遷移が続いている限り、データは引き続き出力されます。ラップバーストはバースト長の範囲内で引き続きラップし、リニアバーストはページ境界を越えてシーケンシャルにデータを出力します。58 ページの **バーストタイプ** で説明するように、ハイブリッドバーストは1つの初期ラップバーストの次にリニアバーストが後続することを提供します。ラップの読み出しはメインアレイ、SFDP テーブルおよびセキュアシリコン領域 (SSR) から実行されます。CK=LOW、CK#=HIGH のとき、CS# を HIGH にすることで読み出し転送を終了します。

リニアバーストがアレイ内の最後のアドレスに達したとき、バーストが続くと、アドレスカウンターはラップアラウンドし、アドレス 000000h に戻ります。これにより、読み出しシーケンスが無制限に継続します。したがって、単一の読み出し命令だけでメモリ全体を読み出せます。

16 バイトと 32 バイトのラップバーストはページ境界を越えず、ページ境界越えのレイテンシも発生させません。64 バイトのラップバースト読み出しでは、開始アドレスに応じて対象のアドレスと次のページの境界を越えるときにレイテンシが発生する可能性があります (Table 48 を参照してください)。

ページ境界越えのレイテンシは、CFR2x[7] のダブル初期レイテンシのオプションを選択することで回避できます。これにより、デバイスは各アクセス中に 2 つの連続ページをフェッチでき、レイテンシ無しのデータ アクセスを可能にします。

## インターフェースの概要

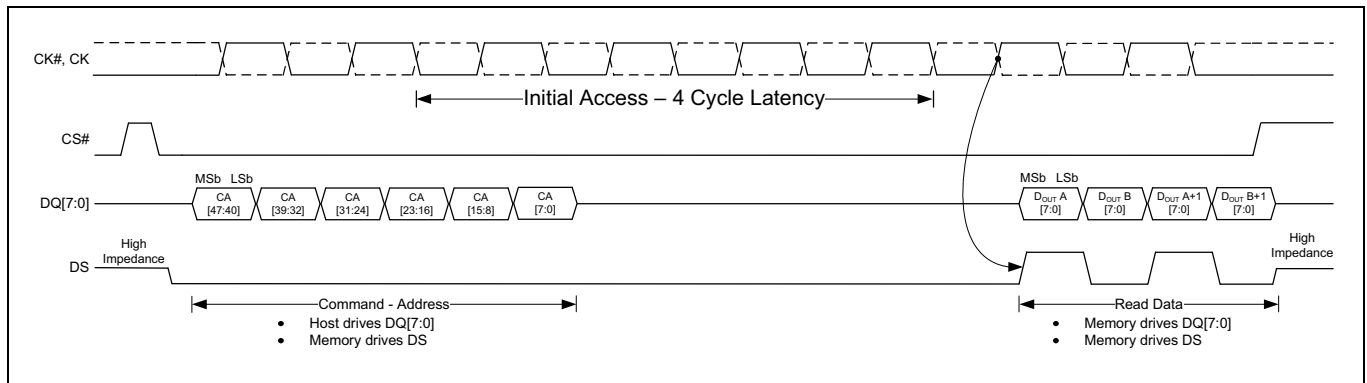


Figure 3 読み出し動作 (シングル初期レイテンシ) [4, 5, 6, 7, 8]

## 書き込み動作

書き込み動作は、トランザクション特性を示す CAx ( コマンド / アドレス ) 情報を提供する最初の 3 クロック サイクルで始まります。SEMPER™ フラッシュが単一の 16 ビット書き込みトランザクションのみサポートするか、またはワード プログラム コマンドでデータをロードするときのみ連続リニアバーストをサポートするため、バーストタイプビット CA[45] は「ドントケア」です。CA 情報の直後に、ホストは DQ バス上で書き込みデータを転送できるようになります。最初のデータ バイト (A) は CK の立ち上りエッジにあり、2 番目のデータ バイト (B) は CK の立ち下りエッジにあります。書き込みデータは CK と CK# 入力信号と中央が揃います。CK=LOW、CK#=HIGH のとき、CS# を HIGH にすることで書き込み転送を終了します。

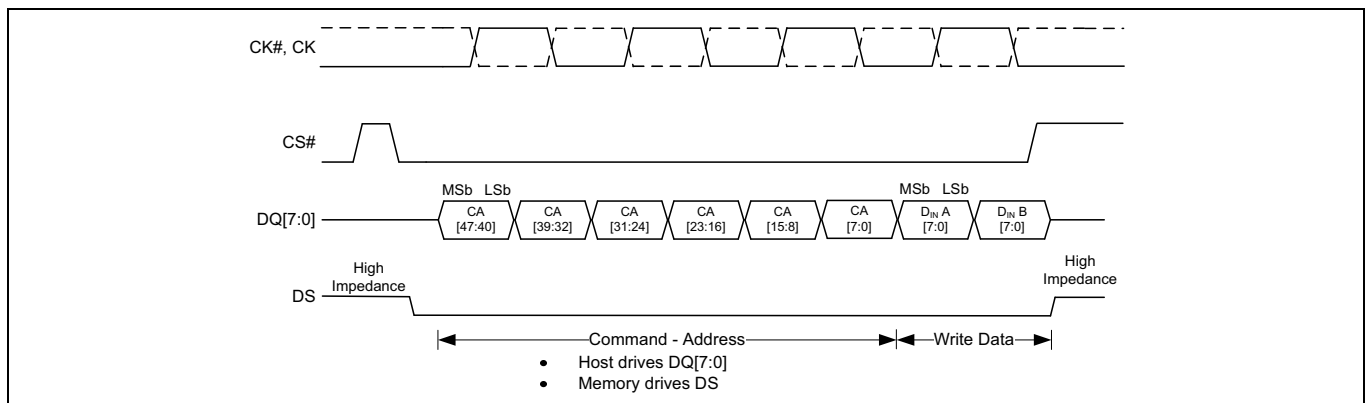


Figure 4 書き込み動作 [4, 9, 10]

## 注

- トランザクションは CK=LOW、CK#=HIGH のときに開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に戻らなければなりません。
- CA[23:16] がキャプチャされると、フラッシュアレイからの読み出しアクセスは始まります。
- 読み出しレイテンシは揮発性コンフィギュレーションレジスタ (または不揮発性コンフィギュレーションレジスタ) 内の読み出しレイテンシ値により定義されます。
- この読み出し動作の例では、レイテンシ カウントは 4 クロックに設定されます。
- レジスタ読み出しトランザクションのデータ出力は、デバイスが出力する最初のワードでのみ有効です。CS# が LOW のままにある間、CK/CK# がトグルし続けると、後続のデータ値出力は未定義になります。
- DS は CS# が LOW である限り LOW に駆動されますが、書き込みトランザクション中は使用されません。
- 書き込み動作はシングルワード (16 ビット) のトランザクションか、またはワード プログラム コマンドでデータをロードするときのみサポートするリニア書き込みバーストのトランザクションに制限されます。

## 2.3 レガシー (x1) SPI トランザクション プロトコル

### トランザクション

- CS# がアクティブ (LOW) のとき、データ入力 (SI/DQ0) 信号上でまずコマンド情報、次にアドレスおよびデータがホストからフラッシュ デバイスに転送されている間、クロック信号 (CK) はトグルします。クロックは、フラッシュ デバイスからホストへの読み出しデータ (SO/DQ1) またはホストからフラッシュ デバイスへの書き込みデータ (SI/DQ0) の転送中に引き続きトグルします。ホストは所望のデータ量を転送した後、CS# を非アクティブ (HIGH) に駆動します。CS# がアクティブである期間は、バス上のトランザクションと呼ばれます。
- CS# が非アクティブのとき、CK はトグルする必要がありません。
- コマンド転送はトランザクションの毎開始時に行われます。アドレス、レイテンシ サイクルおよびデータ転送フェーズはオプションで、それらの存在はプロトコル モードまたは転送されるコマンドに依存します。

### トランザクション キャプチャ

- CK はホストとメモリの間の各ビットまたは各ビットグループの転送を示します。コマンド、アドレスおよび書き込みデータ ビットの転送は CK の立ち上りエッジで行われます。
- 注: プログラムまたは消去 (組込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組込み動作はそれに影響されず、実行が継続されます。組込み動作中、ごく限られたコマンドセットは受け入れられます。それらは 77 ページの[組込み動作の一時停止と再開](#)で説明されます。

### プロトコル

- レガシー (x1) SPI モードはパワーオンリセット (POR) の後に続くデフォルトのプロトコルですが、フラッシュ デバイスは HYPERBUS™ モードで起動するよう設定できます。
- 各トランザクションは 8 ビット (1 バイト) コマンドで始まります。コマンドは、情報転送のタイプ、または実行するデバイスの動作を選択します。
- このプロトコルは、SI/DQ[0] を使用してホストからフラッシュ デバイスに、SO/DQ[1] を使用してフラッシュ デバイスからホストに情報を転送します。各 DQ ライン上で、情報は各バイト内で最上位ビット (MSb) から最下位ビット (LSb) へ順に配置されます。シーケンシャル アドレス バイトは最上位から最下位に順に転送されます。シーケンシャル データ バイトは最下位アドレスから最上位アドレスへ順に転送されます。
- DQ[7:2] はデータ転送期間中に使用されません。そのため、DQ[7:2] 信号は高インピーダンスです。

### 2.3.1 トランザクションの詳細

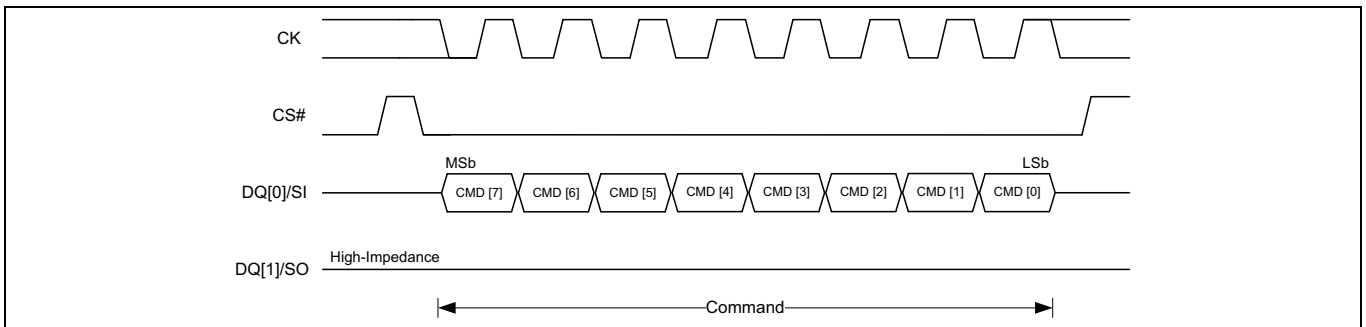


Figure 5 コマンド入力のある SPI トランザクション

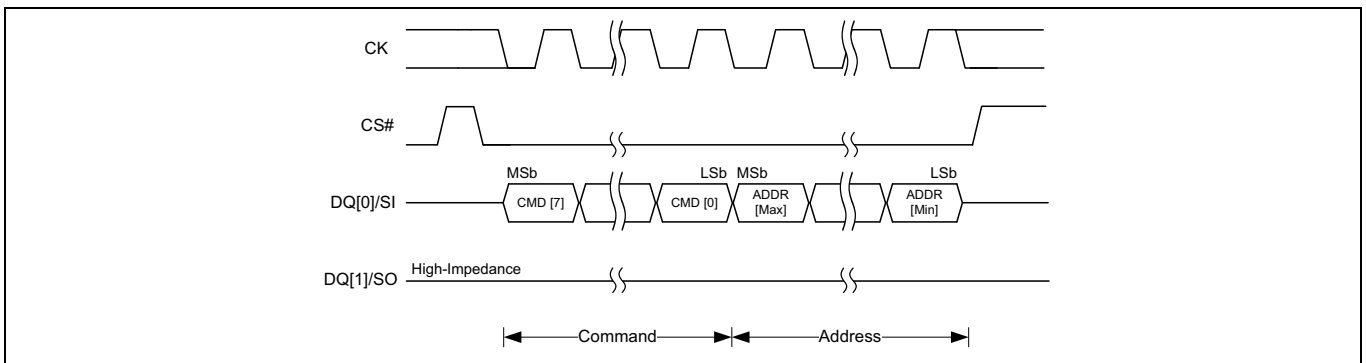


Figure 6 コマンドとアドレス入力のある SPI トランザクション

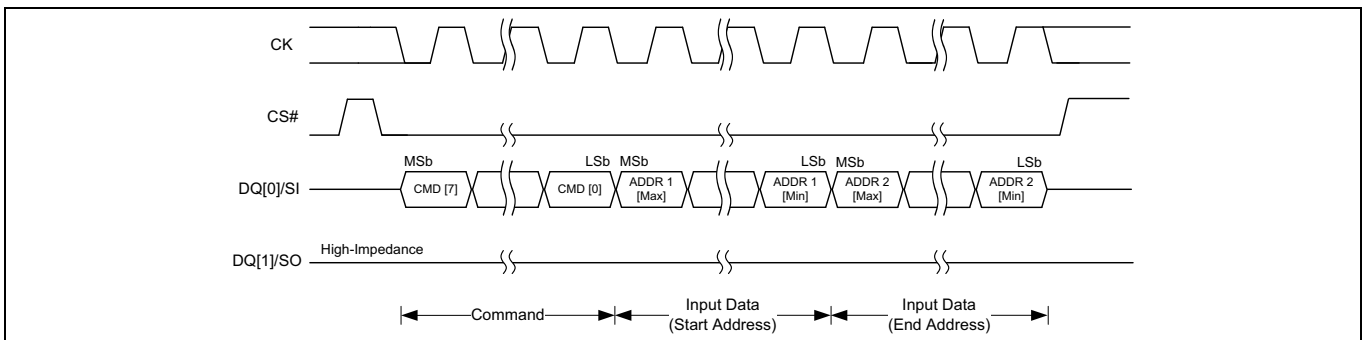


Figure 7 コマンドと 2 アドレス入力のある SPI トランザクション

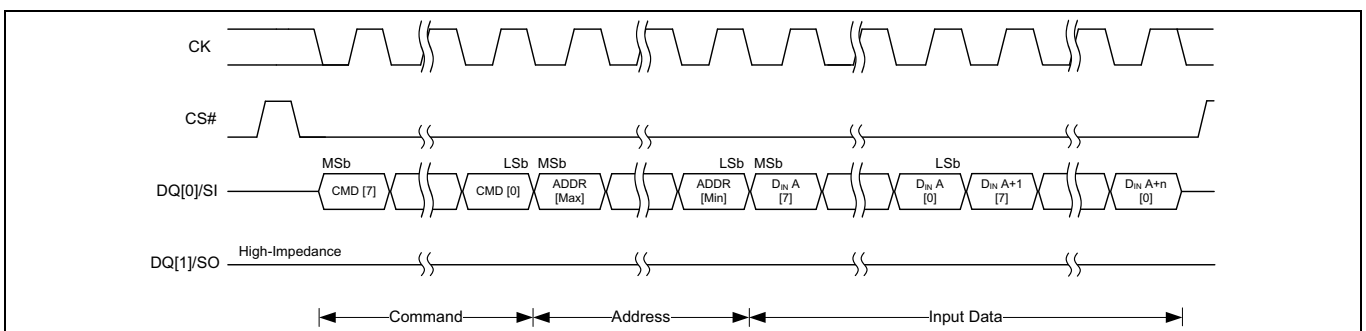


Figure 8 コマンド、アドレスおよびデータ入力のある SPI プログラム トランザクション

インターフェースの概要

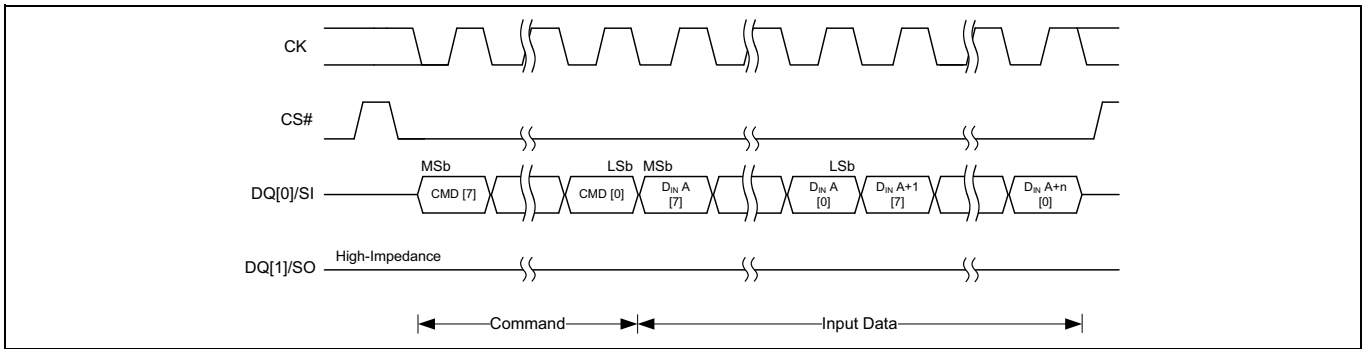


Figure 9 コマンドとデータ入力のある SPI プログラム トランザクション

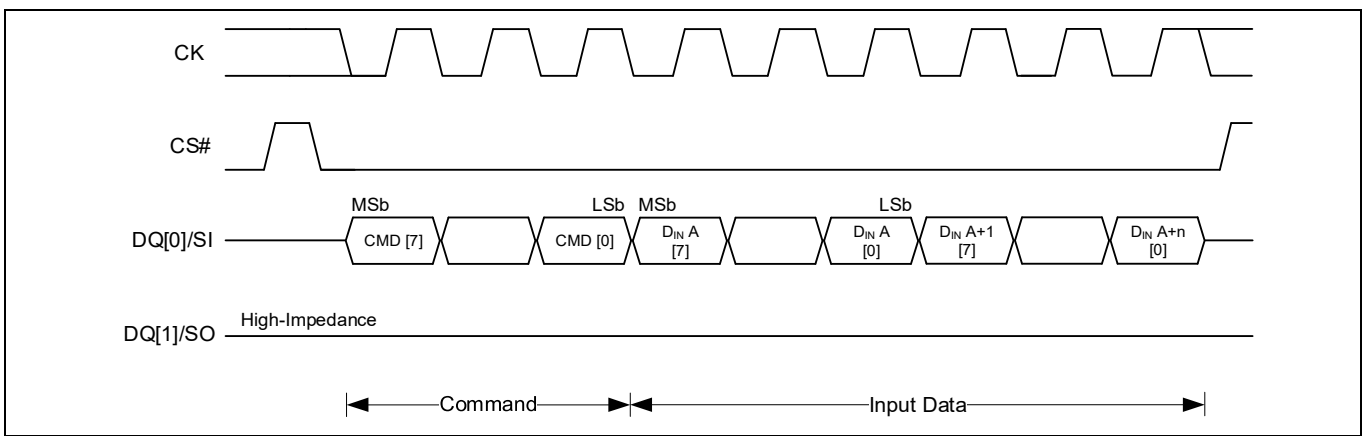


Figure 10 コマンド入力のある SPI 読み出し トランザクション (出力レイテンシ有り) [11,12]

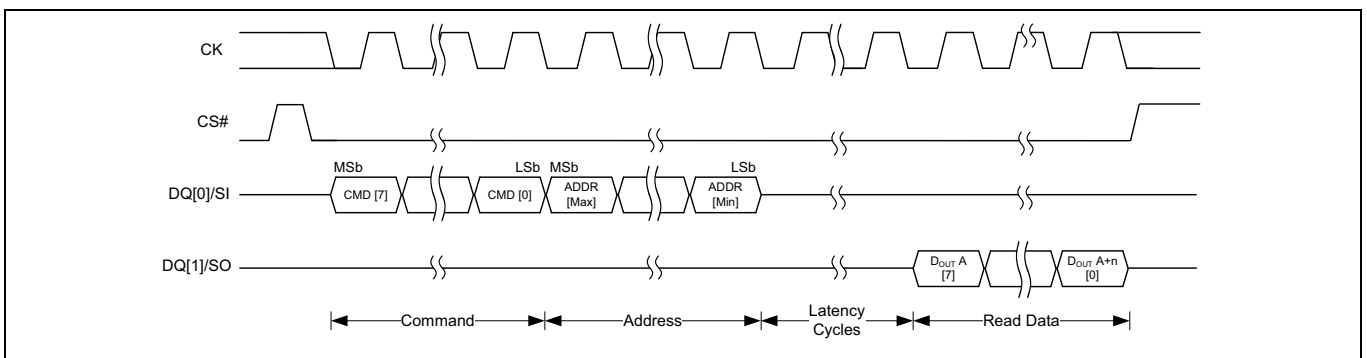


Figure 11 コマンドとアドレス入力のある SPI 読み出し トランザクション (出力レイテンシ有り)

注

- 11. レジスタまたは固有 ID の読み出し操作の場合、フラッシュデバイスは最上位バイト (MSB) を最初に出力します。
- 12. SFDP および ID 読み出し操作の場合、フラッシュデバイスは最下位バイト (LSB) を最初に出力します。

インターフェースの概要

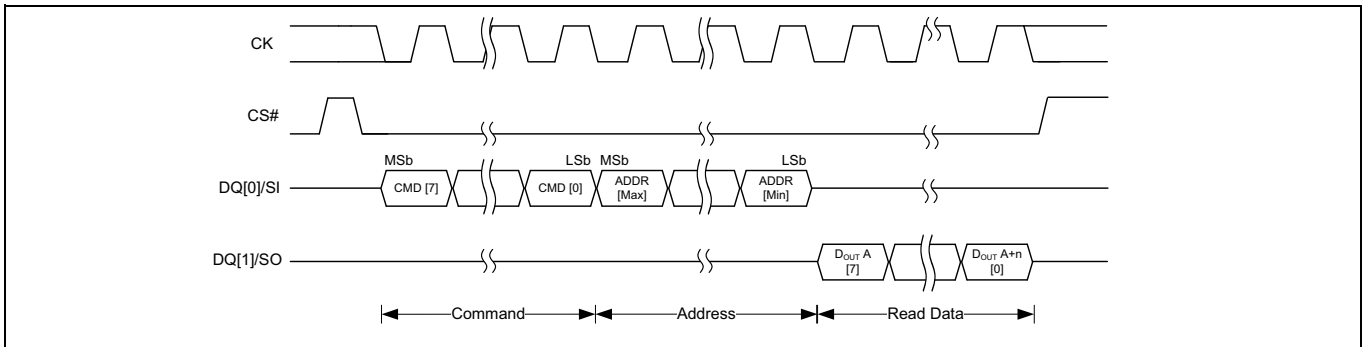


Figure 12 コマンドとアドレス入力のある SPI 読み出しトランザクション (出力レイテンシ無し)

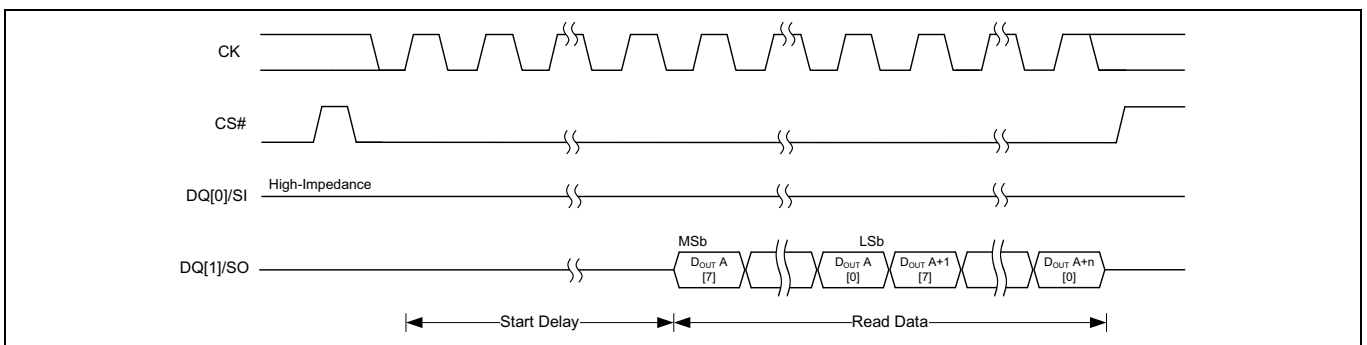


Figure 13 出力データシーケンスのある SPI トランザクション (オートブート)



## 2.4 組込み動作

### 2.4.1 組込みアルゴリズム コントローラー (EAC)

EAC は、ホストシステムからフラッシュ メモリ アレイのプログラムと消去を行うトランザクションを受け取り、不揮発メモリ状態を変更するために必要なすべての複雑な動作を実行します。これにより、ホストシステムはプログラムおよび消去のプロセスを管理する必要がなくなります。

EAC の動作は次の 5 カテゴリに分けられます。

- ディープ パワー ダウン (DPD)
- スタンバイ (読み出しモード)
- アドレス空間の切替え
- 組込みアルゴリズム (EA)
- 高度セクタ保護 (ASP) 管理

#### 2.4.1.1 ディープ パワー ダウン (DPD)

DPD モードでは、消費電流は低レベルに駆動されます。デバイスは ASO になく、スタンバイ状態にある間、DPD モードに移行しなければいけません。

DPD でデバイスはコンフィギュレーションを維持することに注意してください。すなわち、デバイスは DPD の開始時と同じ状態で DPD を終了します。ただし、ECC 関連レジスタ (ECC ステータス、エラー検出カウンタおよびアドレストラップ) は状態を維持せず、DPD の終了時にリセットされます。

デバイスが DPD で起動するコンフィギュレーション オプションがあることに注意してください。このオプションを選択した場合、DPD に移行するため CS# を POR 中に HIGH に維持する必要があります。

#### 2.4.1.2 スタンバイ

スタンバイ状態では、消費電流は大幅に削減されます。コマンドが処理されず、組込みアルゴリズム (EA) が進行中でないとき、EAC はスタンバイ モードに入ります。EA の進行中にデバイスの選択を外すと (CS#=HIGH)、その動作が完了するまでデバイスは依然としてアクティブ電流を消費します ( $I_{CC4}$ )。

#### 2.4.1.3 アドレス空間の切替え - HYPERBUS™ のみ

特定のアドレスとデータシーケンス (トランザクション) を書き込むと、メモリ デバイスのアドレス空間がフラッシュ メモリ アレイからアドレス空間オーバーレイ (ASO) の 1 つに切り替えられます。

組込みアルゴリズムは、現時点で有効になっている (入っている) ASO で表示されている情報に基づいて動作します。システムが ASO 終了コマンドを発行し、ハードウェアリセットを実行するか、またはデバイスの電源が切られるまで、システムは ASO へのアクセスを継続します。ASO 終了コマンドは、ASO をフラッシュ メモリ アレイのアドレス空間に戻して切り替えます。特定の ASO が有効のときに受け取られたトランザクションは、トランザクション テーブルの ASO 開始と ASO 終了コマンドの間にリストアップされます。すべてのトランザクションシーケンスのアドレスとデータの要件については、130 ページの [トランザクション テーブル](#) を参照してください。

どのモードでも、ステータス レジスタ読み出しトランザクションを発行してデバイスのアドレス空間内のあらゆるワードアドレスでステータス レジスタ ASO を表示させられることに注意してください。

#### 2.4.1.4 組込みアルゴリズム (EA)

メモリ アレイ内の不揮発性データの書き換えには、組込みアルゴリズム (EA) と呼ばれる複雑な動作シーケンスを実行する必要があります。アルゴリズムはデバイス内部の EAC によって完全に管理されます。主要なアルゴリズムは、HYPERBUS™ を介してメイン アレイ データと ASO のプログラムと消去を実行します。ホストシステムはフラッシュ デバイスのアドレス空間にコマンド コードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

#### 2.4.1.5 高度セクタ保護 (ASP) 管理

ASP は、いずれかまたはすべてのセクタに対するプログラムまたは消去を無効 / 有効にする保護方法を提供します。EAC はこの保護を管理することでデータの整合性を維持します。

## 2.5 レジスタ命名規則

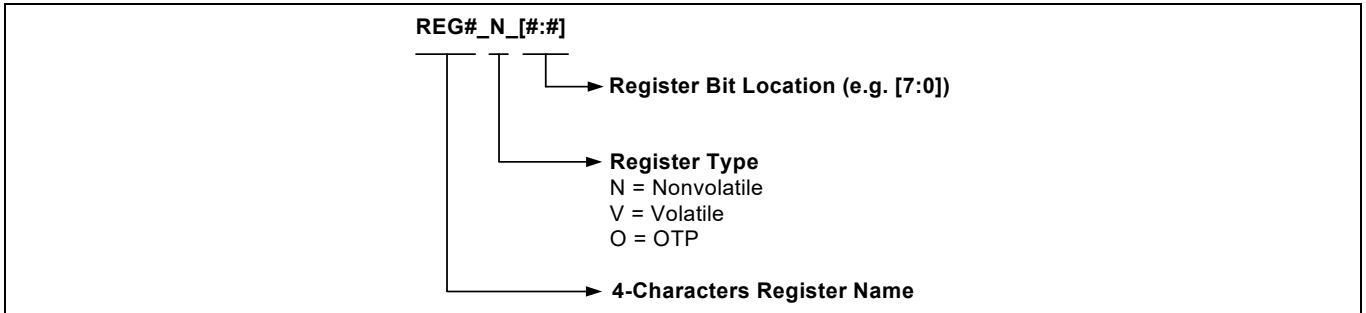


Figure 14 レジスタ命名規則

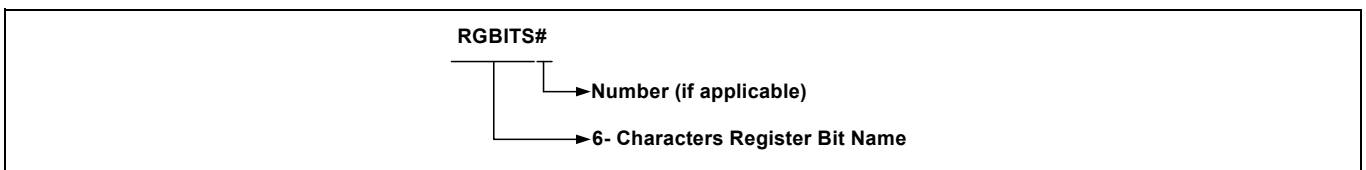


Figure 15 レジスタビット命名規則

## 2.6 HYPERBUS™ トランザクション命名規則

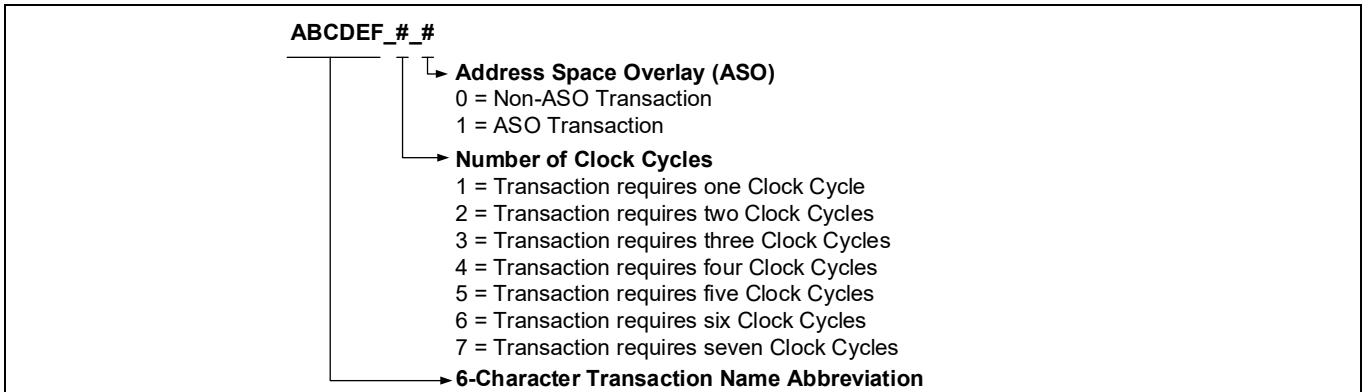


Figure 16 HYPERBUS™ トランザクション命名規則

## 2.7 レガシー (x1) SPI トランザクション命名規則

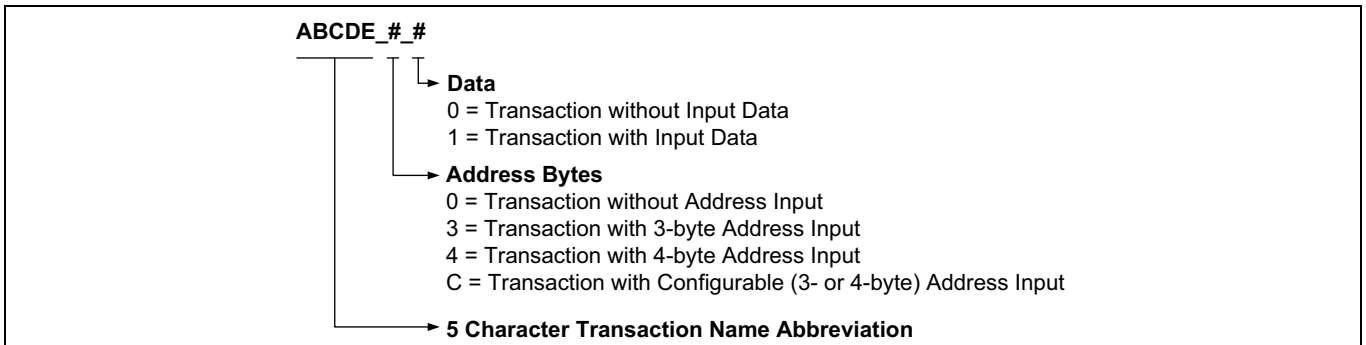


Figure 17 レガシー (x1) SPI トランザクション命名規則

### 3 アドレス空間マップ

SEMPER™ フラッシュ ファミリのアドレス空間はメイン メモリ アレイ、アドレス空間オーバーレイ (ASO)、メーカー ID、デバイス ID、固有 ID、シリアルフラッシュ検出可能パラメーター (SFDP)、SSR およびレジスタ用のアドレッシングを含みます。

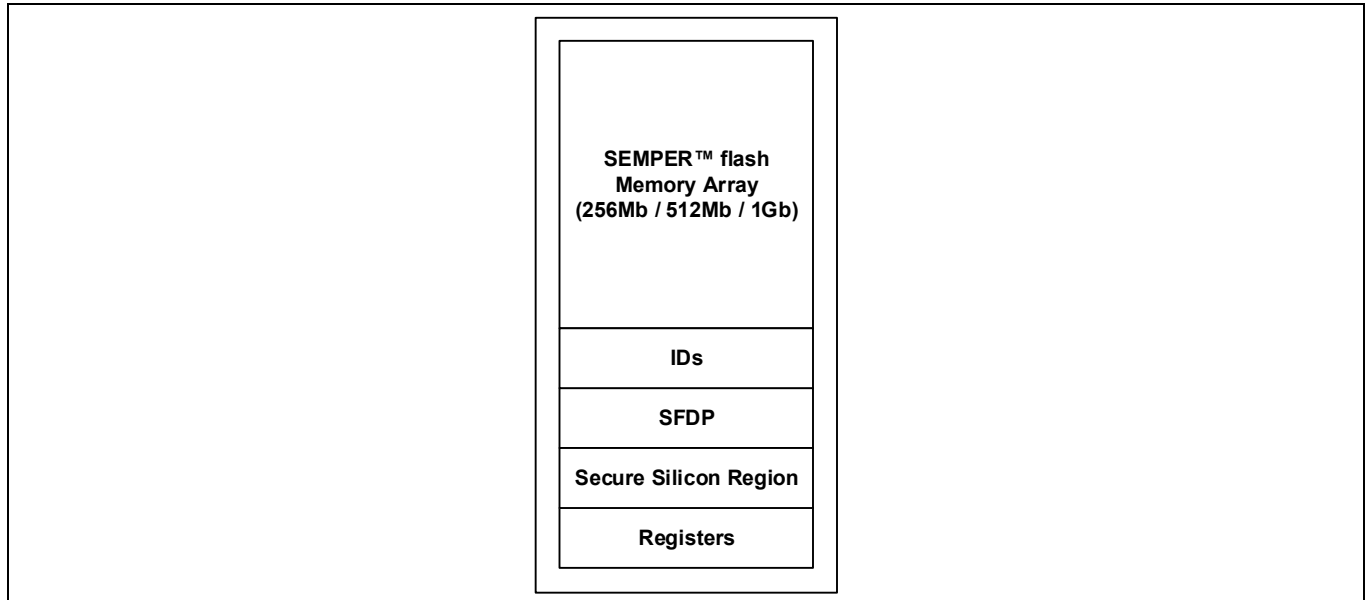


Figure 18 SEMPER™ フラッシュのアドレス空間マップ概要

#### 3.1 SEMPER™ フラッシュ メモリ アレイ

メインフラッシュアレイは物理セクタと呼ばれるユニットに分けられます。

HL-T/HS-T ファミリのセクタアーキテクチャは以下のオプションに対応します。

- 256KB ユニフォームセクタオプション対応の 256Mb、512Mb、1Gb
- ハイブリッドセクタオプション対応の 256Mb、512Mb、1Gb
  - コンフィギュレーション 1: アドレス空間の最上部または最下部にある 32 の 4KB セクタおよび 1 つの 128KB セクタと、256KB の残りのセクタの物理セット
  - コンフィギュレーション 2: アドレス空間の最上部と最下部の両方にある 16 の 4KB セクタおよび 1 つの 192KB セクタと、256KB の残りのセクタの物理セット

コンフィギュレーションレジスタ内のセクタアーキテクチャ選択ビットの組合せは、SEMPER™ フラッシュファミリの異なるセクタアーキテクチャオプションをサポートします。詳細については 93 ページの [レジスタ](#) を参照してください。

Table 3 256KB ユニフォームセクタアドレスマップ

セクタサイズ (KB)	S26HL01GT と S26HS01GT			S26HL512T と S26HS512T			S26HL256T と S26HS256T		
	セクタ数	セクタ範囲	ワードアドレス範囲 (セクタ開始アドレス～セクタ終了アドレス)	セクタ数	セクタ範囲	ワードアドレス範囲 (セクタ開始アドレス～セクタ終了アドレス)	セクタ数	セクタ範囲	ワードアドレス範囲 (セクタ開始アドレス～セクタ終了アドレス)
256	512	SA00	0000000h ~ 001FFFFh	256	SA00	0000000h ~ 001FFFFh	128	SA00	0000000h ~ 0001FFFFh
		:	:		:	:			
		SA511	3FE0000h ~ 3FFFFFFh		SA255	1FE0000h ~ 1FFFFFFh		SA127	0FE0000h ~ 0FFFFFFh

**Table 4 最上部のハイブリッドコンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォームセクタのアドレスマップ**

メインアレイセクタサイズ	パラメーターセクタ番号	アドレスサイズ	アドレス範囲 (16 ビット)	備考
256KB	0	4KB	0000000h ~ 00007FFh	パラメーターセクタ 0 の開始
	1	4KB	0000800h ~ 0000FFFh	パラメーターセクタ 1
	2	4KB	0001000h ~ 00017FFh	パラメーターセクタ 2
	.....			
	30	4KB	000F000h ~ 000F7FFh	パラメーターセクタ 30
	31	4KB	000F800h ~ 000FFFFh	パラメーターセクタ 31 の終了
	メインアレイセクタ 0 の露出部分	128KB	0010000h ~ 001FFFFh	メインアレイセクタ 0 の露出部分にマッピングされます。

**Table 5 最下部のハイブリッドコンフィギュレーション 1:32 の 4KB セクタと 256KB ユニフォームセクタのアドレスマップ**

メインアレイセクタサイズ	パラメーターセクタ番号	アドレスサイズ	アドレス範囲 (16 ビット)	備考
256KB	メインアレイの最終セクタの露出部分	128KB	xx00000h ~ xx0FFFFh	メインアレイの最終セクタの露出部分にマッピングされます。
	0	4KB	xx10000h ~ xx107FFh	パラメーターセクタ 0 の開始
	1	4KB	xx10800h ~ xx10FFFh	パラメーターセクタ 1
	.....			
	30	4KB	xx0F000h ~ xx0F7FFh	パラメーターセクタ 30
	31	4KB	xx1F800h ~ xx1FFFFh	パラメーターセクタ 31 の終了

**Table 6 ハイブリッドコンフィギュレーション 2: 最下位 16 と最上位 16 の 4KB セクタのアドレスマップ**

メインアレイセクタサイズ	パラメーターセクタ番号	アドレスサイズ	アドレス範囲 (16 ビット)	備考
256KB	0	4KB	0000000h ~ 00007FFh	パラメーターセクタ 0 の開始
	1	4KB	0000800h ~ 0000FFFh	パラメーターセクタ 1
	2	4KB	0001000h ~ 00017FFh	パラメーターセクタ 2
	.....			
	15	4KB	0007800h ~ 0007FFFh	パラメーターセクタ 15
	メインアレイセクタ 0 の露出部分	192KB	008000h ~ 001FFFFh	メインアレイセクタ 0 の露出部分にマッピングされます。
	.....			
	メインアレイの最終セクタの露出部分	192KB	xx00000h ~ xx17FFFh	メインアレイの最終セクタの露出部分にマッピングされます。
	0	4KB	xx18000h ~ xx187FFh	パラメーターセクタ 0 の開始
	1	4KB	xx18800h ~ xx18FFFh	パラメーターセクタ 1
	.....			
	14	4KB	xx1F000h ~ xx1F7FFh	パラメーターセクタ 14
	15	4KB	xx1F800h ~ xx1FFFFh	パラメーターセクタ 15 の終了

上記の表は参考としていくつかのセクタを使用する要約された表です。明確に示されていないアドレス範囲があります。すべての 4KB セクタのパターンは xxxxx000h ~ xxxxx7FFh です。すべての 256KB セクタのパターンは xxx00000h ~ xxx1FFFFh です。

### 3.2 アドレス空間オーバーレイ (ASO) (HYPERBUS™ のみ)

HYPERBUS™ プロトコルはメモリとレジスタの両方のアドレス空間を備えるスレーブ デバイスに対応しますが、本仕様書で説明する SEMPER™ フラッシュ デバイスでは、メモリとレジスタが個別のアドレス空間として区別されません。HYPERBUS™ トランザクションの宛先位置が選択したデバイスのメモリ空間かレジスタ空間にかかわらず、トランザクションが選択するアドレス空間は 1 つのみです。

書き込みトランザクションでは、トランザクションアドレスとデータを 1 つのコマンドレジスタセット (バッファ) に格納します。

読み出しトランザクションは、コマンドを実行することで単一のアドレス空間内に一時的にオーバーレイされるメモリ アレイかレジスタ アドレス空間のウィンドウからデータを返します。レジスタ空間オーバーレイ方法を持つ、この単一アドレス空間はレガシーの平行 NOR フラッシュ メモリのプログラムと消去ソフトウェアドライバと下位互換性があります。

フラッシュ メモリ デバイスのアドレス範囲内に複数の個別のアドレス空間が現れることがあります。任意の一つの時点では 1 つのアドレス空間が表示されます (アクセスできます)。

- フラッシュ メモリ アレイ: データ格納用の主要な不揮発性メモリ アレイであり、読み出し動作によってランダムにアクセスされます。
- ID/SFDP (ID): 弊社の工場プログラムされたデバイス特性情報のために使用されるフラッシュ メモリ アレイです。この領域はデバイス ID (ID)、固有 ID (UID) およびシリアルフラッシュ検出可能パラメータ (SFDP) のパラメータ / テーブルを含みます。
- SSR: 弊社の工場プログラムされた恒久データおよびカスタムプログラム可能な恒久データのために使用される 1024B OTP 不揮発性メモリ アレイです。
- 高度セクタ保護コンフィギュレーションレジスタ (ASP): デバイスのデータ保護スキームを設定するためのレジスタです。
- パスワード (PSWD): パスワードモードのセクタ保護を使用した場合、PPB ロックビットの状態を変更できるようにする 64 ビットパスワードを格納する OTP 不揮発性アレイです。
- 持続的保護ビット (PPB): 各セクタが 1 ビットを占める不揮発性メモリ アレイです。プログラムされると、各ビットは該当するセクタを消去とプログラムから保護します。
- PPB ロックビット (PPBL): PPB ビットの消去とプログラムを有効 / 無効にする揮発性レジスタビットです。
- ダイナミック保護ビット (DYB): 揮発性アレイであり、セクタごとに 1 ビットを占めます。セットされると、各ビットは該当するセクタを消去とプログラムから保護します。
- ECC ステータス (ECCST): ECC ステータス、ECC エラー アドレスおよび ECC エラーの総数を読み出します。
- データ整合性チェック (DICRC): メモリ アレイのデータ CRC チェック値を読み出します。
- インターフェース CRC (ICRC): インターフェース CRC チェック値を読み出します。
- オートブート (ATB): オートブート機能の開始アドレスと遅延時間を設定する不揮発性レジスタです。
- セクタ消去カウント (SEC): セクタが消去された回数を示す 32 ビット値です。
- インフィニオン Endurance Flex アーキテクチャ ポインタ (EFP): 高耐久性領域か長期データ保持領域を選択する 4 つのポインタを設定する 5 つの不揮発性レジスタの一组です。
- ステータスレジスタ / ペリフェラルレジスタ: 組込みアルゴリズムの状態を示し、他のレジスタに読み書きするためのレジスタアクセスです。

フラッシュ メモリ アレイはデフォルトの一次アドレス空間ですが、どの時点においても他のアドレス空間によってオーバーレイされることがあります。各代替アドレス空間はアドレス空間オーバーレイ (ASO) と呼ばれます。

各 ASO は、ASO 開始コマンドに応じて、選択したセクタかフラッシュ デバイスのすべてのアドレス空間を置換します (重ねます)。1 つのみのセクタが ASO に置き換えられた場合、メモリアレイの残りのセクタは依然として読み出し可能です。特定の ASO アドレスマップで定義されていないアドレス範囲

## アドレス空間マップ

は、将来に使用するために予約されます。特に指定のない限り、ASO アドレス マップ外のすべての読み出しアクセスは無効な (未定義) データを返します。その位置はアクティブ駆動されたデータを表示しますが、その意味は未定義です。

特定の時点においてフラッシュ デバイスのアドレス空間に現れる内容を決定するアドレス マップ モードが多くあります。

- 読み出しモード
- ステータス レジスタ (SR) モード
- ASO モード
- ペリフェラルレジスタ モード

読み出しモードでは、フラッシュ メモリ アレイ全体は、ホストシステムのメモリ コントローラーによって直接読み出せます。電源投入時、またはハードウェアリセット後、または組込みアルゴリズム (EA) が一時停止された後、メモリ デバイスの組込みアルゴリズム コントローラー (EAC) の制御下でデバイスが読み出しモードになります。読み出しモードでは読み出しアクセスと読み出しコマンドが受け取られます。ただし EA が一時停止されているときには、コマンドのサブセットが受け取られます。

どのモードでも、ステータス レジスタ読み出しコマンドを発行してデバイスのアドレス空間内のあらゆるワード アドレスでステータス レジスタ ASO を表示させられます。このステータス レジスタ ASO モードでは、デバイスインターフェースは読み出しアクセスだけに対応し、書き込みアクセスはすべて無視されます。デバイスに対する次の読み出し動作はステータス レジスタの内容にアクセスします。その後、デバイスはステータス レジスタ ASO を終了し、ステータス レジスタ読み出しコマンドを受け取る前の (呼び出し) モードに戻ります。

同様に、他のレジスタを読み書きするコマンドはペリフェラル レジスタ モードを使用します。このモードでは、レジスタは一時的な ASO 内に現れ、コマンドによって選択されたレジスタの読み書き動作が完了するとこの ASO は自動的に終了します。読み出しと書き込み動作はレジスタ アクセス コマンドシーケンスの最後のサイクルで実現されます。

EA モードでは、EAC は不揮発性メモリ アレイのプログラムや消去のような組込みアルゴリズムを実行します。このモードでは、フラッシュ メモリ アレイはすべて読み出し不可です。プログラム / 消去一時停止コマンド、またはステータス レジスタ読み出しコマンドのみがこのモードで実行可能です。その他のすべてのコマンドは無視されます。したがって、EA モードから他の ASO に入ることはできません。

ASO モードでは、残りのオーバーレイ アドレス空間の 1 つ (フラッシュ メモリ アレイのアドレス マップで重ねられる) がアクセスされます。いつも一度にアクセスできる ASO は 1 つだけです。デバイスへのコマンドは、現在アクセス中の ASO に影響します。ASO ごとに特定のコマンドが有効です。有効なコマンドは [Table 120](#) の ASO 関連セクションに示されます。

下記の ASO には、「1」を「0」に変更するようにプログラムできる不揮発性データがあります。

- SSR
- ASP コンフィギュレーションレジスタ (ASPR)
- 持続的保護ビット (PPB)
- パスワード
- オートブート
- インフィニオン Endurance Flex アーキテクチャのデータ ポインタ
- PPB とオートブート ASO だけが、「0」を「1」に変更するように消去できる不揮発性データを持ちます。

不揮発性 ASO のいずれかがアクセスされている間、プログラムまたは消去コマンドが発行されると、EA はその ASO 上で動作します。EA が有効な間は ASO の読み出しは不可です。EA が完了すると、ASO がアクセス状態のまま再度読み出し可能になります。EA がこれらの ASO のいずれかで動作している間は、一時停止コマンドと再開コマンドが無視されます。

ペリフェラルレジスタモードは、POR タイマー、割込みコンフィギュレーションレジスタ、割込みステータスレジスタ、揮発性コンフィギュレーションレジスタおよび不揮発性コンフィギュレーションレジスタを管理することに使用されます。

### 3.3 ID アドレス空間

メモリのこの特別な領域は、メーカーとデバイス、および固有 ID に割り当てられます。

- メーカー ID は JEDEC によって割り当てられます (Table 134 および Table 135 を参照)。
- デバイス ID はインフィニオンによって割り当てられます (Table 134 および Table 135 を参照)。
- 64 ビットの固有番号は、固有デバイス ID アドレス空間の 8 バイトに配置されます。この固有 ID は、各デバイスに固有のソフトウェア読み出し可能なシリアル番号として使用できます (Table 136 を参照してください)。

これらの ID は、それぞれのトランザクションを提供することによってのみ読み出すことができるため、アドレス空間は定義されていません。トランザクションは、これらの ID を読み出すためのアドレスを必要としません。このアドレス空間のデータは読み出し専用データです。

### 3.4 SFDP JEDEC JESD216 シリアルフラッシュ検出可能パラメーター (SFDP) 空間

SFDP 規格は、内部パラメーター テーブルの標準的な一式でこのシリアルフラッシュ デバイスの機能と特長を記述する一貫性のある方法を提供します。ホストシステムソフトウェアはこれらのパラメーター テーブルを問い合わせ、異なる機能に対応するために必要な調整を可能にします。SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインタを提供する、アドレス 0 から始まるヘッダが含まれます。SFDP アドレス空間はインフィニオンによってプログラムされ、ホストシステムでは読み出し専用です。

HYPERBUS™ は読み出しモード中に ID-SFDP 開始コマンドシーケンスを発行することで ID-SFDPASO にアクセスします。SFDP はアドレス オーバーレイであり、セクタ アドレス (SA) にマッピングする必要があります。レガシー (x1) SPI はアドレス オーバーレイを必要とせず、RSFDP\_3\_0 トランザクションを使用して SFDP にアクセスします。アドレスオーバーレイはレガシー (x1) SPI 用では除去しなければいけないものです (Table 130 および Table 133 を参照)。

**Table 7 SFDP アドレス マップ概要**

バイト アドレス (x1 SPI)	ワード アドレス (x8 HB)	説明
0000h	(SA) + 0000h	JEDEC JESD216D SFDP 空間の位置 0 - SFDP ヘッダの開始
...	...	SFDP ヘッダの残りの部分に続いて未定義の空間
0100h	(SA) + 0080h	SFDP パラメーター テーブルの開始。SFDP パラメーター テーブルのデータは 0100h で始まります。
...	...	SFDP パラメーター テーブルの残りの部分に続いてさらなるパラメーターまたは未定義空間

### 3.5 セキュア SSR アドレス空間

各 HS/L-T family メモリ デバイスには OTP アドレス空間である 1024 バイトの SSR があります。このアドレス空間はメインフラッシュ アレイから分かれています。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 16 最下位バイトは 128 ビットの乱数を含みます。この乱数に対する書き込み、消去またはプログラムは不可であり、実行しようとすると PRGERR フラグが返されます。
- 次の 4 バイトは、セキュア領域ごとに 1 ビット (合計 32 ビット) を提供し、いったん「0」にセットされたら、書き込み、消去またはプログラムから恒久的に保護されます。
- 他のすべてのバイトは予約されています。

残りの領域は、出荷時に消去され、追加の恒久的なデータのプログラミングに使用できます。

#### 注

13. レガシー (x1) SPI は固有 ID を読み出すためにシリアル検出可能パラメーター読み出し (RSFDP\_3\_0) トランザクションを使用します。アドレスは必要です。

**Table 8 SSR アドレス マップ**

領域	バイトアドレス範囲	内容	工場出荷初期状態
領域 0	000h	インフィニオンがプログラムした乱数の LSB	インフィニオンがプログラムする乱数
	...	...	
	00Fh	インフィニオンがプログラムした乱数の MSB	
	010h ~ 013h	領域ロックビット バイト 10h [ビット 0] = 「0」 のとき、領域 0 をプログラムから保護します。 ... バイト 13h [ビット 7] = 「0」 のとき、領域 31 をプログラムから保護します。	全バイト = FFh
	014h ~ 01Fh	将来使用するために予約済み (RFU)	全バイト = FFh
領域 1	020h ~ 03Fh	ユーザー プログラミング用に使用可能	
領域 2	040h ~ 05Fh		
...	...		
領域 31	3E0h ~ 3FFh		

### 3.6 レジスタ (レガシー (x1) SPI のみ)

レジスタは、HS/L-T family メモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用される小さなメモリ セルグループです。レジスタは特定のコマンドおよびアドレスでアクセスされます。Table 9 に、本フラッシュ メモリ デバイスのレガシー (x1) SPI の利用可能なレジスタのアドレス マップを示します。

**Table 9 レジスタ アドレス マップ (レガシー (x1) SPI のみ) (1/2)**

機能	レジスタタイプ	レジスタ名	揮発性コンポーネントアドレス (16 進)	不揮発性コンポーネントアドレス (16 進)
デバイス ステータス	ステータス レジスタ 1	STR1N[7:0], STR1V[7:0]	0x00800000	0x00000000
	ステータス レジスタ 2	STR2V[7:0]	0x00800001	該当なし
デバイス コンフィギュレーション	コンフィギュレーション レジスタ 1	CFR1N[7:0], CFR1V[7:0]	0x00800002	0x00000002
	コンフィギュレーション レジスタ 2	CFR2N[7:0], CFR2V[7:0]	0x00800003	0x00000003
	コンフィギュレーション レジスタ 3	CFR3N[7:0], CFR3V[7:0]	0x00800004	0x00000004
	コンフィギュレーション レジスタ 4	CFR4N[7:0], CFR4V[7:0]	0x00800005	0x00000005
インターフェース CRC	インターフェース CRC イネーブル レジスタ	ICEV[7:0]	0x00800008	該当なし
インフィニオン Endurance Flex アーキテクチャ	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 0[7:0]	EFX00[7:0]	該当なし	0x00000050
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 0[15:8]	EFX00[15:8]		0x00000051
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1[7:0]	EFX10[7:0]		0x00000052
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 1[15:8]	EFX10[15:8]		0x00000053
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2[7:0]	EFX20[7:0]		0x00000054
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 2[15:8]	EFX20[15:8]		0x00000055
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3[7:0]	EFX30[7:0]		0x00000056
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 3[15:8]	EFX30[15:8]		0x00000057
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4[7:0]	EFX40[7:0]		0x00000058
	インフィニオン Endurance Flex アーキテクチャ選択レジスタ 4[15:8]	EFX40[15:8]		0x00000059



アドレス空間マップ

Table 9 レジスタ アドレス マップ (レガシー (x1) SPI のみ) (2/2)

機能	レジスタタイプ	レジスタ名	揮発性コンポーネント アドレス (16 進)	不揮発性コンポーネント アドレス (16 進)
割込みピン	割込みコンフィギュレーションレジスタ	INCV[7:0]	0x00800068	該当なし
	割込みステータスレジスタ	INSV[7:0]	0x00800067	
エラー訂正	ECC ステータスレジスタ	ESCV[7:0]	0x00800089	
	ECC エラー検出カウントレジスタ [7:0]	ECTV[7:0]	0x0080008A	
	ECC エラー検出カウントレジスタ [15:8]	ECTV[15:8]	0x0080008B	
	ECC アドレストラップレジスタ [7:0]	EATV[7:0]	0x0080008E	
	ECC アドレストラップレジスタ [15:8]	EATV[15:8]	0x0080008F	
	ECC アドレストラップレジスタ [23:16]	EATV[23:16]	0x00800040	
オートブート	ECC アドレストラップレジスタ [31:24]	EATV[31:24]	0x00800041	
	オートブートレジスタ [7:0]	ATBN[7:0]	該当なし	
	オートブートレジスタ [15:8]	ATBN[15:8]		0x00000043
	オートブートレジスタ [23:16]	ATBN[23:16]		0x00000044
オートブートレジスタ [31:24]	ATBN[31:24]	0x00000045		
消去カウント	セクタ消去カウントレジスタ [7:0]	SECV[7:0]	0x00800091	該当なし
	セクタ消去カウントレジスタ [15:8]	SECV[15:8]	0x00800092	
	セクタ消去カウントレジスタ [23:16]	SECV[23:16]	0x00800093	
データ整合性 チェック	データ整合性チェック CRC レジスタ [7:0]	DCRV[7:0]	0x00800095	
	データ整合性チェック CRC レジスタ [15:8]	DCRV[15:8]	0x00800096	
	データ整合性チェック CRC レジスタ [23:16]	DCRV[23:16]	0x00800097	
	データ整合性チェック CRC レジスタ [31:24]	DCRV[31:24]	0x00800098	
保護とセキュリティ	高度セクタ保護レジスタ [7:0]	ASPO[7:0]	該当なし	0x00000030
	高度セクタ保護レジスタ [15:8]	ASPO[15:8]		0x00000031
	ASP PPB ロックレジスタ (持続的保護ブロック)	PPLV[7:0]	0x0080009B	該当なし
	ASP パスワードレジスタ [7:0]	PWDO[7:0]	該当なし	0x00000020
	ASP パスワードレジスタ [15:8]	PWDO[15:8]		0x00000021
	ASP パスワードレジスタ [23:16]	PWDO[23:16]		0x00000022
	ASP パスワードレジスタ [31:24]	PWDO[31:24]		0x00000023
	ASP パスワードレジスタ [39:32]	PWDO[39:32]		0x00000024
	ASP パスワードレジスタ [47:40]	PWDO[47:40]		0x00000025
	ASP パスワードレジスタ [55:48]	PWDO[55:48]		0x00000026
ASP パスワードレジスタ [63:56]	PWDO[63:56]	0x00000027		

## 4 機能

### 4.1 エラー検出と訂正

SEMPER™ フラッシュファミリデバイスは、メモリアレイのプログラム中に組み込みハミング ECC を生成することでエラー検出と訂正をサポートします。その後、この ECC コードは読み出し中にエラーの検出と訂正に使用されます。ECC は 16 バイトデータユニットをベースとします。16 バイトデータユニットがプログラムバッファにロードされ、(消去後の)プログラム用に 128 ビットのフラッシュメモリアレイラインに転送される時、各データユニットごとの 8 ビットエラー訂正コード (ECC) も、ホストシステムソフトウェアに見えないメモリアレイの部分にプログラムされます。その後、この ECC 情報は各フラッシュアレイの読み出し動作中にチェックされます。データユニット内のいかなる 1 ビットエラーも ECC ロジックによって訂正されます。16 バイトデータユニットは、ECC が有効である最小のプログラム粒度です。

あるデータ量が最初に 16 バイトデータユニット内にプログラムされたとき、ECC 値はデータユニット全体に対してセットされます。消去を行わず、その後に追加のデータが同じデータユニットにプログラムされた場合、データユニットの ECC は無効にされ、1 ビット ECC ディセーブルビットがセットされます。データユニットに対して ECC を再び有効にするためにはセクタ消去が必要です。

これらは、ユーザーに対してトランスペアレント (透明) な自動動作です。ECC 機能の透明性は、各データユニットに一回のデータ書き込みを行う標準的なプログラム動作に対するデータの信頼性を向上させます。また同時に、シングルバイトプログラムおよび同じデータユニットが複数回プログラムされるビットウォーキング (この場合、ECC は無効) を可能にすることで、旧世代の製品とのソフトウェア互換性を可能にします。

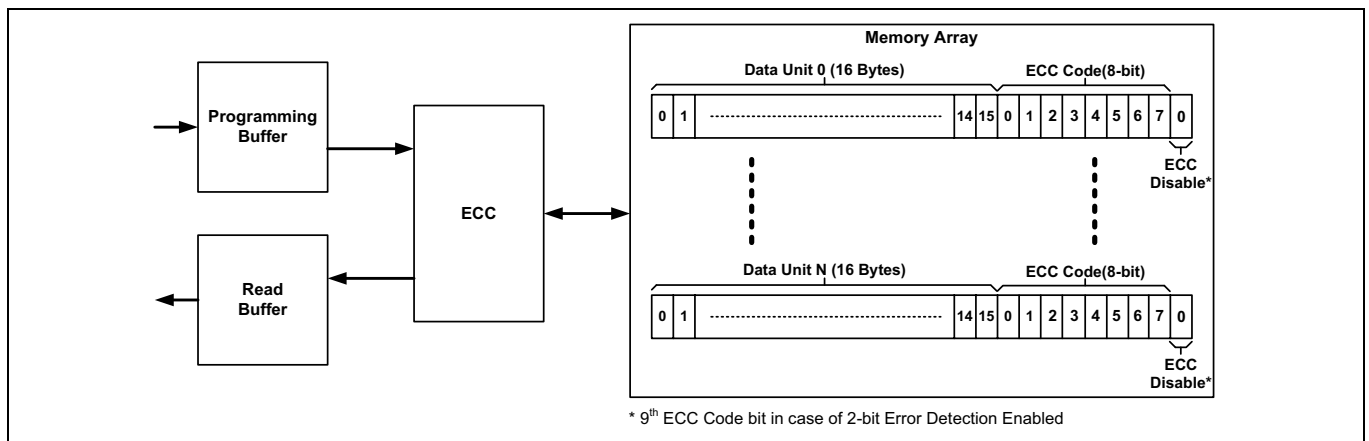


Figure 19 16 バイト ECC データユニットの例

SEMPER™ NOR フラッシュはデフォルト ECC コンフィギュレーションとして 2 ビットエラー検出をサポートします。このコンフィギュレーションでは、データユニット内のどの 1 ビットエラーも訂正され、どの 2 ビットエラーも検出され報告されます。16 バイトユニットデータは、2 ビットエラー検出のために 9 ビット ECC を必要とします。2 ビットエラー検出が有効にされたとき、(消去を行わず) 同じデータユニットに対するバイトプログラム、ビットウォーキングや複数回のプログラム動作は不可であり、プログラムエラーとなります。ECC モードを 1 ビットエラー検出から 2 ビットエラー検出へ、または逆の方向に変更すると、メモリアレイ内のデータに関連する ECC シンドロームがすべて無効になります。ECC モードを変更する際、まずホストはデバイス内のセクタをすべて消去する必要があります。プログラムされたデータを消去せずに ECC モードを変更した場合、その後の読み出し動作は未定義の動作となります。

機能

### 4.1.1 ECC エラー報告

ECC エラーを検出したとき、5つの方法でホストシステムに通知できます。

- ECC データユニット ステータスは、データユニット内の 1 ビットまたは 2 ビット エラーの状態を提供します。
- アドレストラップレジスタは、メモリアレイ読み出し中の POR またはリセットの後に発生する最初の ECC エラーのアドレス位置をキャプチャします。
- ECC エラー検出カウンターは、読み出し中にデータユニットに発生した 1 ビットまたは 2 ビット エラーの数を記録します。
- 割込み (INT#) 出力は、データ読み出し中にいつ 1 ビットまたは 2 ビット エラーが検出されたかを示すために有効にされます。
- HYPERBUS™ インターフェースでは、2 ビット エラーを含むハーフページの読み出し中にデータ ストローブ (DS) のトグルを停止させる (ストール) ためにあるモードを有効にできます。DS が 32 クロック サイクル以上で遷移していないため、ストール状態はバスエラーとして SEMPER™ フラッシュマスターによって検出されます。データ ストローブ ストール制御ビット CFRIX[2] が、DS ストールを有効にするために使用されます。有効になった場合 (CFRIX[2]=0)、2 ビット エラーの発生時に DS は 2 クロック サイクル後に LOW に駆動されます。DS は CS# がアサートされる限り LOW のままになり、CS# が HIGH に戻ると通常の DS 機能は再開します。DS ストール制御ビットが無効になった場合 (CFRIX[2]=1)、DS の動作は影響を受けません。

#### 4.1.1.1 ECC データユニット ステータス (EDUS)

- 各データユニットの ECC ステータスは、HYPERBUS™ 用には 16 ビット ECC データユニット ステータス、レガシー (x1) SPI 用には 8 ビット ECC データユニット ステータスによって提供されます。
- ECC データユニット ステータスの内容は、選択したデータユニットに対して訂正済みの 1 ビット エラーまたは検出済みの 2 ビット エラーがあるか、または ECC が無効にされたかを示します。

Table 10 ECC データユニット ステータス

ビット	フィールド名	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EDUS[15:4]	RESRVD	将来使用するために予約済み	V=>R	0000	これらのビットは将来使用するために予約済み。 注: レガシー (x1) SPI 専用では、ECC ステータスは 8 ビットだけです。
EDUS[3]	ECC2BD	2 ビット ECC エラー検出フラグ	V=>R	0	このビットは、2 ビット ECC エラー検出が有効な場合 (CFR4V[3]=1)、2 ビット エラーがデータユニットで検出されたかどうかを示します。2 ビット エラー検出が無効な場合 (CFR4V[3]=0)、ECC2BD ビットは常に「0」になります。 注: 2 ビットエラー検出が有効 (CFR4V[3]=1) の場合、シングルバイトプログラミングまたはすでに部分的にプログラミングされたデータユニットでビットウォーキングを実行している間、ECCOFF ビットは 1b に設定されません。このようなバイトプログラミングまたはビットウォーキングを実行しようとすると、プログラムエラーが発生します。  選択オプション: 1=2 ビットエラーが検出されました。 0=エラーが発生しませんでした。
EDUS[2]	RESRVD	将来使用するために予約済み	V=>R	0	このビットは将来使用するために予約されています。
EDUS[1]	ECC1BC	1 ビット ECC エラー検出と訂正フラグ	V=>R	0	このビットはエラーがデータユニットで訂正されたかどうかを示します。 選択オプション: 1=1 ビットエラーがアドレス指定されたデータユニットで訂正されました。 0=アドレス指定されたデータユニットで訂正された 1 ビットエラーはありませんでした。
EDUS[0]	ECCOFF	データユニット ECC オフ/オンフラグ	V=>R	0	このビットは ECC シンドロームがデータユニットでオフになっているかどうかを示します。  選択オプション: 1= 選択されたデータユニットで ECC はオフです。 0= 選択されたデータユニットで ECC はオンです。 依存性: CFR4x[3]

#### 4.1.1.2 ECC エラー アドレス トラップ (EATV)

- フラッシュ アレイ読み出し中に最初に発生した ECC エラーの ECC データ ユニット アドレスをキャプチャするための 32 ビットレジスタがあります。POR、ハードウェアリセットまたは ECC クリアトランザクション後に最初に発生した有効なエラータイプ (CFR2x[6] での選択によって「2 ビットのみ」または「1 ビットか 2 ビット」) のアドレスのみがキャプチャされます。EATV レジスタは読み出しトランザクションの間にのみ更新されます。

EATV レジスタは、エラーが検出されたときにアクセスされたアドレスを格納します。不良ビットはレジスタで示された正確なアドレスに見つけれないことがあります。エラーが検出された整列済みの 16 バイト ECC データ ユニット内に見つかります。単一の読み出し動作中に複数の ECC データユニットにエラーが見つかった場合、最初の不良の ECC ユニットのアドレスのみが EATV レジスタにキャプチャされます。

2 ビット エラー検出が有効でなく、同じ ECC ユニットが複数回プログラムされた場合、その ECC ユニットの ECC エラー検出が無効にされ、エラーが認識できないのでアドレスをトラップできません。

- アドレストラップレジスタは HYPERBUS™ またはレガシー (x1) SPI アドレストラップレジスタ読み出しトランザクションで読み出されます。
- ECC ステータスレジスタクリアトランザクション、POR または CS# シグナリング / ハードウェア / ソフトウェアリセットでは、アドレストラップレジスタがクリアされます。

**Table 11 エラー上位 / 下位アドレストラップレジスタのビット割り当て**

メモリ容量	エラー下位アドレスレジスタ	エラー上位アドレスレジスタ		
	全部	256Mb	512Mb	1Gb
EATV[15]	A15	0	0	0
EATV[14]	A14	0	0	0
EATV[13]	A13	0	0	0
EATV[12]	A12	0	0	0
EATV[11]	A11	0	0	0
EATV[10]	A10	0	0	0
EATV[9]	A9	0	0	A25
EATV[8]	A8	0	A24	A24
EATV[7]	A7	A23	A23	A23
EATV[6]	A6	A22	A22	A22
EATV[5]	A5	A21	A21	A21
EATV[4]	A4	A20	A20	A20
EATV[3]	A3	A19	A19	A19
EATV[2]	A2	A18	A18	A18
EATV[1]	A1	A17	A17	A17
EATV[0]	A0	A16	A16	A16

#### 4.1.1.3 ECC エラー検出カウンター (ECTV)

- フラッシュ メモリアレイからデータが読み出されるときに発生した1ビットまたは2ビットエラーの数をカウントするための16ビットレジスタがあります。メインアレイで認識されたエラーのみが、エラー検出カウンターを増分させます。ECTVレジスタは読み出しトランザクションの間にのみ更新されます。ECCステータス読み出しトランザクションはECTVレジスタに影響しません。

16ビットエラー検出カウンターはFFFFhを越えて増分しませんが、ECCは動作を継続します。

注：連続した読み出し動作中に、1ビットまたは2ビットエラーが検出されると、クロックがトグルし続け、メモリデバイスはデータアドレスの増分およびDQ信号上の新データの配置を継続することがあります。エラーが発生した追加のデータユニットはCS#がHIGHに戻されるまでカウントされます。

読み出しトランザクション中は、エラーが発生したデータユニットごとに1つのエラーのみがカウントされます。各読み出しトランザクションにより、対象のデータユニットの新たな読み出しが行われます。もし複数の読み出しトランザクションがエラーのある同じデータユニットにアクセスしたら、エラーカウンターはデータユニットが読み出されるたびに増分します。

2ビットエラー検出が有効でなく、同じデータユニットが複数回プログラムされた場合、そのデータユニットのECCエラー検出が無効にされ、エラーが認識できず、カウントされません。

- ECCエラー検出カウントレジスタはHYPERBUS™ またはレガシー (x1) SPI のECCエラー検出カウンター読み出しトランザクションで読み出されます。
- POR、CS# シグナリング / ハードウェア / ソフトウェアリセットまたはECCステータスレジスタクリアトランザクションでは、ECTVレジスタは「0」にセットされます。

**Table 12 エラー検出カウンター (揮発性)**

ビット位置	EDC 結果
EDC[15]	R15
EDC[14]	R14
EDC[13]	R13
EDC[12]	R12
EDC[11]	R11
EDC[10]	R10
EDC[9]	R9
EDC[8]	R8
EDC[7]	R7
EDC[6]	R6
EDC[5]	R5
EDC[4]	R4
EDC[3]	R3
EDC[2]	R2
EDC[1]	R1
EDC[0]	R0

#### 4.1.1.4 INT# 出力 - HYPERBUS™ のみ

- SEMPER™ フラッシュは、フラッシュデバイス内にイベントが発生したことをホストシステムに通知するINT#出力ピンをサポートします。ユーザーは、以下のときにアクティブ (LOW) に遷移するようINT#出力ピンを設定できます。
  - 2ビットECCエラーの検出時
  - 1ビットECCエラーの検出時
  - ビジー状態からレディ状態への遷移時

## 機能

INT# ピンは BGA パッケージでのみ利用可能です。動作は INT# 出力 (通常は HIGH) が有効になった状態で割込みコンフィギュレーションレジスタ (INCV) によって制御されます。割込みコンフィギュレーションレジスタでは、INT# 出力ピンで HIGH から LOW への遷移をトリガーするように内部イベントが有効にされるタイミングを決定します。

割込みステータスレジスタ (INSV) は、INSV が最後にクリアされてからどの有効な内部イベントが発生したかを示します。

有効にされたとき、INT# 出力ピンは有効なイベントの発生時に HIGH から LOW に遷移します。ホストが INT# が LOW 状態に遷移したことを認識すると、INSV レジスタを読み出すことで遷移の原因である内部イベントを判定できます。

POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の INT# 出力の状態は無効です。

- INCV と INSV は、INCV プログラム / INCV 読み出しと INSV プログラム / INSV 読み出しの HYPERBUS™ トランザクションによりアクセスされます。
- 以下の方法で、INT# 出力を (外部プルアップ抵抗で) HIGH 状態に戻させます。
  - 割込みコンフィギュレーションレジスタのビット 15 に「1」をロードすることで、INT# 出力を無効にします。
  - INT# 出力を LOW に遷移させる内部イベントを示す適切な INSV ビットを (「1」を書き込むことで) リセットします。LOW 状態にある、また INSV 内で有効にされたすべての INSV ビットは、INT# 出力が HIGH に戻る前にリセットする必要があります。
  - 内部イベントが ECC であれば、ECC ASO 内にあるときに ECC エラークリア トランザクションを発行することで INT# 出力を HIGH に戻します。ECC エラーをクリアすると、INSV の ECC 関連ビット (INSV[1:0]) がクリアされますが、INCV は無効にされません。
  - INT# 出力は、CS# シグナリングリセット、ハードウェアリセット (RESET#=LOW)、または POR によってもデフォルト状態 (無効、High-Z) に戻されます。ハードウェアリセットおよび POR は、割込みコンフィギュレーションレジスタをデフォルト状態 (全割込みが無効) に戻すことですべての割込みを無効にします。

#### 4.1.2 HYPERBUS™ ECC 関連レジスタとトランザクション

Table 13 HYPERBUS™ ECC 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
コンフィギュレーションレジスタ 2 (CFR2N, CFR2V)	コンフィギュレーションレジスタ 2 読み出し (RDVCR2_4_0, RDNCR2_4_0)
ECC アドレストラップレジスタ (EATV)	アドレストラップレジスタ読み出し (RDADTU_2_1, RDADTL_2_1) - ECC ASO
ECC エラー検出カウントレジスタ (ECTV)	ECC カウント値レジスタ読み出し (RDCONT_2_1) - ECC ASO
INT# ピンコンフィギュレーションレジスタ (INCV)	割込みコンフィギュレーションレジスタ読み出し (RDVINC_4_0)
INT# ピンステータスレジスタ (INSV)	割込みステータスレジスタ読み出し (RDVINS_4_0)
	割込みコンフィギュレーションレジスタプログラム (PGVINC_4_0)
	割込みステータスレジスタプログラム (PGVINC_4_0)

#### 4.1.3 レガシー (x1) SPI ECC 関連レジスタとトランザクション

Table 14 レガシー (x1) SPI ECC 関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
コンフィギュレーションレジスタ 2 (CFR2N, CFR2V)	任意レジスタ読み出し (RDARG_4_0)
ECC アドレストラップレジスタ (EATV)	任意レジスタ書き込み (WRARG_C_1)
ECC エラー検出カウントレジスタ (ECTV)	ECC ステータス読み出し (RDECC_4_0)

## 4.2 インフィニオン Endurance Flex アーキテクチャ (ウェアレベリング)

インフィニオン Endurance Flex アーキテクチャでは、高耐久性が長期データ保持に設定可能な領域へメインメモリアレイを分割できます。Endurance Flex は、ウェアレベリング プールの一部であるすべてのセクタにプログラム / 消去サイクルが均等に分布される高耐久性領域にウェアレベリングを実装します。これは、個々のセクタの早期摩耗を防止し、デバイスの信頼性を大きく向上させます。

アーキテクチャ上では、Endurance Flex のウェアレベリング アルゴリズムは論理セクタの物理セクタへのマッピングに基づきます。製品の寿命期間中に、このマッピングはすべての物理セクタに対するプログラム / 消去サイクルの均等な分布を維持するように変更されます。論理から物理へのマッピング情報は、セクタがスワップされたときに更新される専用フラッシュアレイに格納されます。セクタスワップは、消去トランザクションが発行されると行われます。

Endurance Flex の高耐久性領域は少なくとも 20 セクタのセットを必要とします。長期データ保持期間、高耐久性、または両方の領域の設定に柔軟性を提供するために、4 ポインタ アーキテクチャがあります。工場出荷時の設定では、すべてのポインタを無効にしておき、ウェアレベリングの一部としてすべてのセクタを高耐久性として指定します。4 ポインタを使用して最大 5 つの領域を形成し、それぞれを長期データ保持または高耐久性に設定できます。

Figure 20 はインフィニオン Endurance Flex アーキテクチャの概要を提供します。異なるセクタ アーキテクチャに基づいた 5 つの可能な領域を示します。

注 :4KB セクタはインフィニオン Endurance Flex アーキテクチャの一部ではありません。

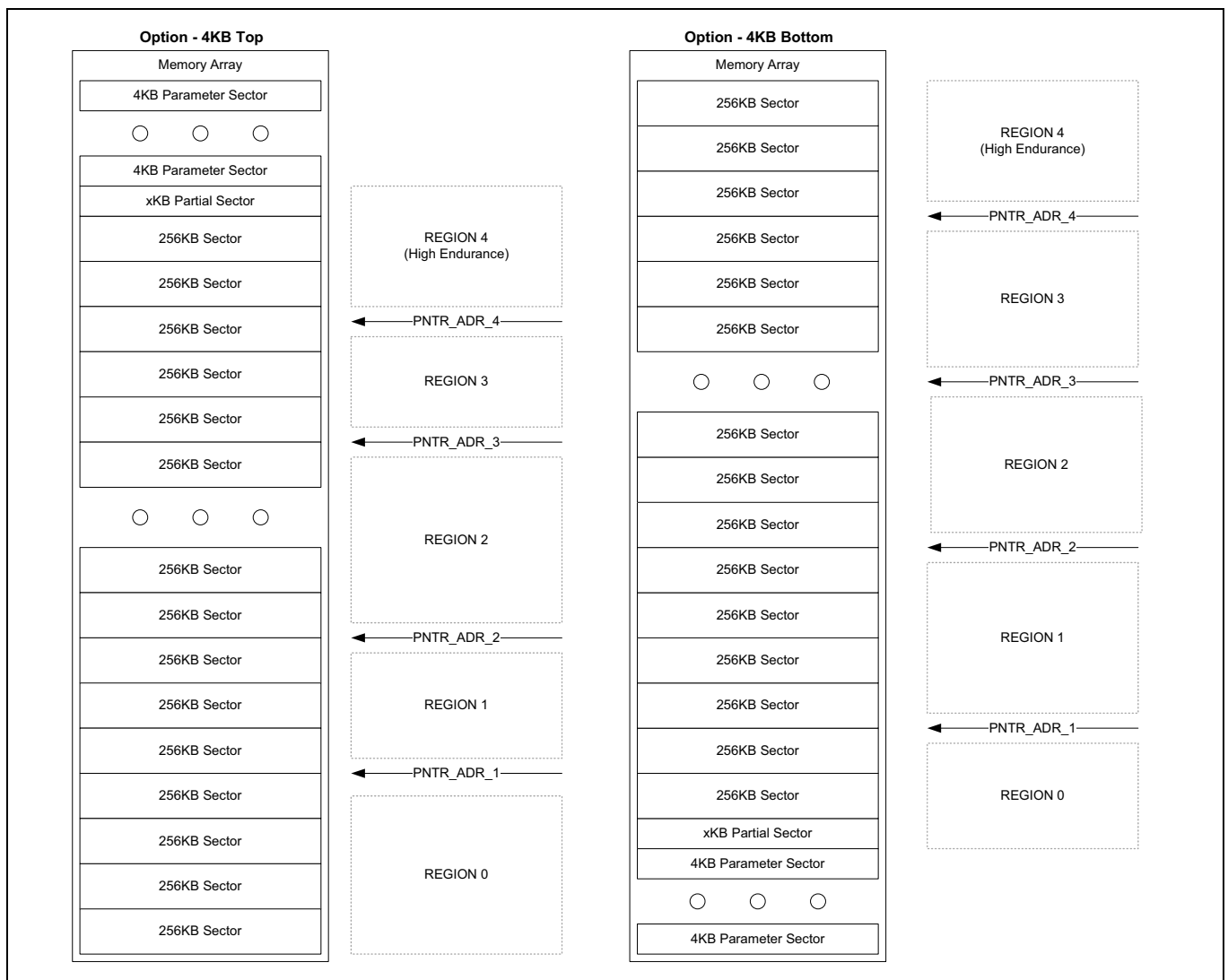


Figure 20 インフィニオン Endurance Flex アーキテクチャ概要

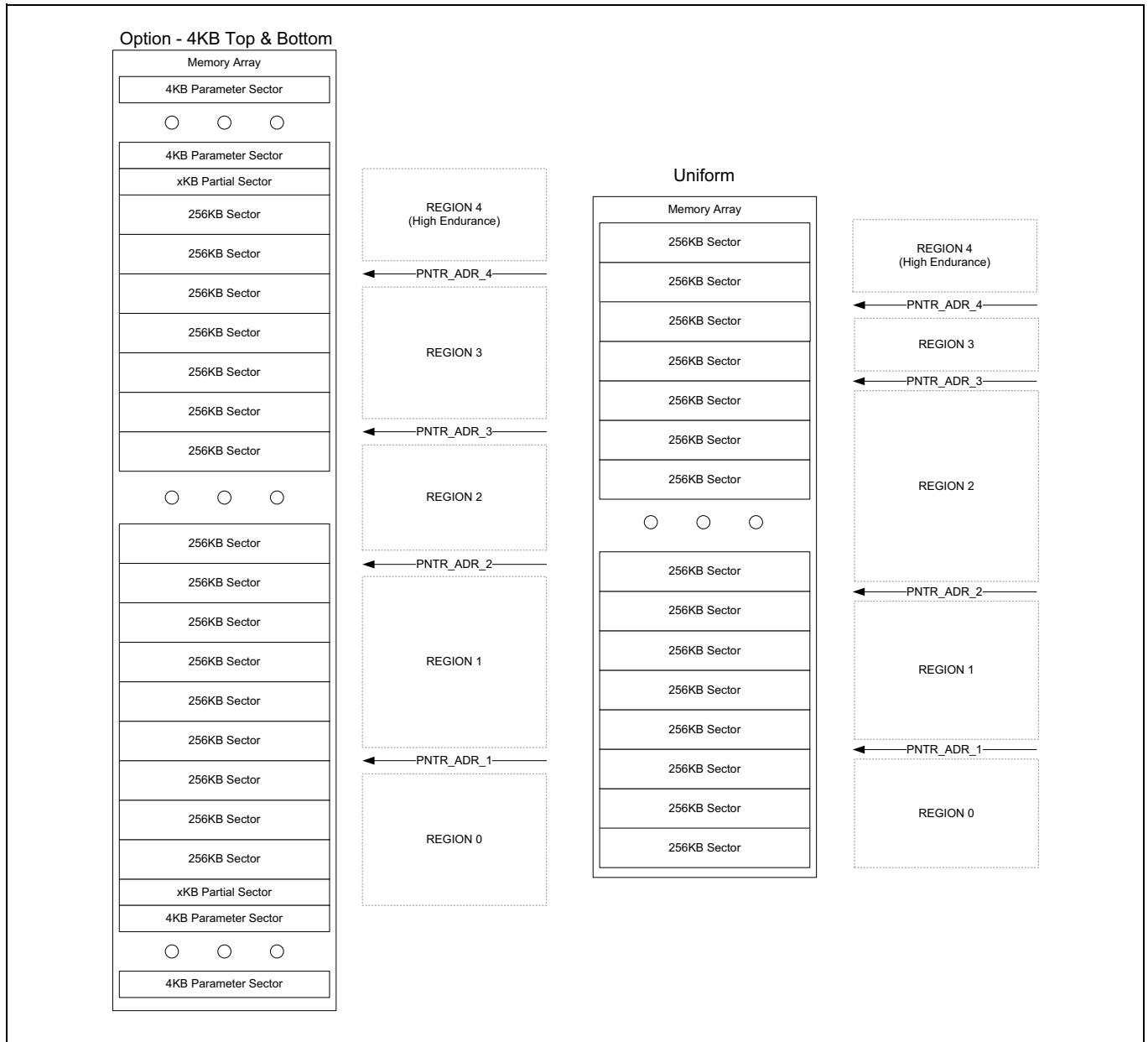


Figure 21 インフィニオン Endurance Flex アーキテクチャ概要 ( 続く )

Table 15 領域定義 [14, 15, 16, 17]

領域	下限	上限
0	セクタ 0	アドレス ポインタ 1
1	アドレス ポインタ 1	アドレス ポインタ 2
2	アドレス ポインタ 2	アドレス ポインタ 3
3	アドレス ポインタ 3	アドレス ポインタ 4
4	アドレス ポインタ 4	最上位セクタ

- 注
14. ポインタ アドレスは以下の規則に従う必要があります。  
 ポインタ 4 アドレス > ポインタ 3 アドレス  
 ポインタ 3 アドレス > ポインタ 2 アドレス  
 ポインタ 2 アドレス > ポインタ 1 アドレス
  15. 4KB セクタは含まれません。
  16. 高耐久性領域と長期データ保持領域は、デバイスが最初に電源投入されたときに設定される必要があります。これらは 1 度設定されると、変更できません。
  17. いずれの高耐久性領域もその最小サイズは 20 セクタです。



## 機能

## 4.2.1 コンフィギュレーション 1: 最大耐久性 - 1 高耐久性領域

最大耐久性は、すべての 256KB セクタを高耐久性として指定することで達成できます。すべてのセクタはインフィニオン Endurance Flex ポインタ アーキテクチャを使用して高耐久性として指定する必要があります。最大耐久性のポインタ コンフィギュレーションを、Table 16 に示します。

Table 16 最大耐久性コンフィギュレーション用の EnduraFlex ポインタ値<sup>[18]</sup>

ポインタ番号	ポインタアドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル番号 EPTEBn	グローバル領域選択 GBLSEL	ウェアレベリングイネーブル選択 WRLVEN
0	該当なし	該当なし	該当なし	1'b1	1'b1
1	9'b111111111	1'b1	1'b1	該当なし	該当なし
2	9'b111111111				
3	9'b111111111				
4	9'b111111111				

## 4.2.2 コンフィギュレーション 2: 2 領域選択 - 1 長期データ保持領域と 1 高耐久性領域

高耐久性または長期データ保持用のセクタはインフィニオン Endurance Flex ポインタ アーキテクチャを使用して指定する必要があります。領域 0 は長期データ保持として指定され、16 セクタから成ります。領域 1 は高耐久性として指定され、240 セクタから成ります。2 領域コンフィギュレーションのポインタ セットアップは、Table 17 に示します。

Table 17 2 領域コンフィギュレーション用の EnduraFlex ポインタ値<sup>[19]</sup>

ポインタ番号	ポインタアドレス EPTADn[8:0]	領域タイプ ERGNTn	ポインタイネーブル番号 EPTEBn	グローバル領域選択 GBLSEL	ウェアレベリングイネーブル選択 WRLVEN
0	該当なし	該当なし	該当なし	1'b0	1'b1
1	9'b000010000	1'b1	1'b0	該当なし	該当なし

## 4.2.3 HYPERBUS™ Endurance Flex 関連レジスタとトランザクション

Table 18 HYPERBUS™ Endurance Flex 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFX40, EFX30, EFX20, EFX10, EFX00)	EnduraFlex レジスタ読み出し (RDOENX_1_1) - EnduraFlex ASO EnduraFlex レジスタ プログラム (PGOENX_2_1) - EnduraFlex ASO

## 4.2.4 レガシー (x1) SPI Endurance Flex 関連レジスタとトランザクション

Table 19 レガシー (x1) SPI Endurance Flex 関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFX40, EFX30, EFX20, EFX10, EFX00)	任意レジスタ読み出し (RDARG_4_0) 任意レジスタ書き込み (WRARG_C_1)

## 注

18. デバイスのデフォルト コンフィギュレーション。  
19. 定義するポインタの数は設定する領域の数に基づきます。

### 4.3 インターフェース CRC

インターフェース CRC は、ホストとデバイス間の通信に対してハードウェア加速の CRC 計算を実行し、転送される情報の整合性を確実にします。CRC は、デバイスで生データへの誤った変更を検出するために一般的に使用されるエラー検出コードです。

HL-T/HS-T ファミリのデバイスのインターフェース CRC 方式は、CRC チェック値を検証し適切な処置を取るためにホストに完全に依存します。デバイスは、ホストがインターフェース CRC 読み出しトランザクション (RDCRC\_4\_0、RICRC\_1\_1) で読み出す CRC チェック値を計算します。計算結果のチェック値は、CS# が LOW の間のすべてのトランザクション内容、すなわち、コマンド、アドレスおよびデータを含みます。この CRC チェックサムは、単一のトランザクションまたは一連のトランザクションのいずれに対しても生成できます。唯一の制限は、スレーブが CRC チェックサムを計算するデータサイズは  $2^{32}$  ビットより小さなければならないことです。

ホストも同じトランザクションシーケンスに対して CRC チェック値を計算する必要があります。準備ができたとき、ホストはデバイスが計算した CRC チェック値を読み出し、自分が計算したものと比較します。不一致の場合、ホストは完全なトランザクションシーケンスを繰り返すことを選択できます。

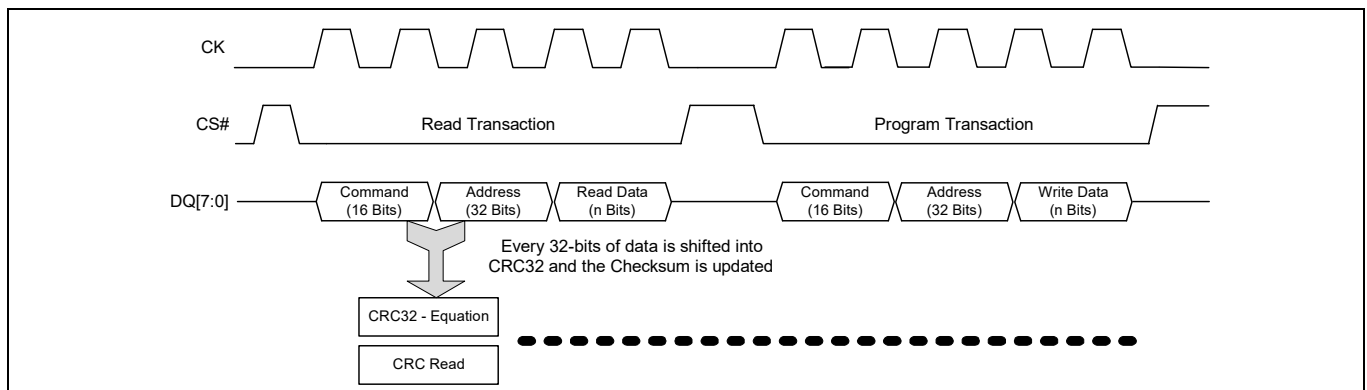


Figure 22 CRC 計算の概要

注 :CRC 読み出しトランザクションの終了時、デバイスは CRC チェック値をリセットし、CRC 多項式を再初期化します。

CRC32 多項式 :  $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$

#### 備考

- ・ホストとデバイスの CRC 多項式は同一でなければなりません。
- ・インターフェース CRC チェック値は以下の条件で 0xFFFFFFFFh にリセットされます。
  - POR
  - ハードウェア リセット
  - ソフトウェア リセット
  - CS# シグナリングリセット
  - インターフェース CRC チェック値の読み出し
  - ディープパワーダウンの終了
- ・コマンドが正常に受信される前にトランザクションが中止された場合、すなわち、転送の長さが、早い CS# デアサートのため短縮された場合、転送されたデータは CRC チェック値にクロック入力されますが、もはや保証されなくなります。インターフェース CRC を使用する際、中止されない有効なトランザクションのみを使用しなければなりません。
- ・揮発性ステータスレジスタの読み出しの前にインターフェース CRC 値を読み出す必要があります、また揮発性ステータスレジスタの読み出しの後にインターフェース CRC 値をクリアする必要があります。
- ・インターフェース CRC が無効のとき、インターフェース CRC レジスタ値は不定になります。インターフェース CRC 機能を無効にする前にインターフェース CRC レジスタを読み出し、CRC 計算を再初期化するためにインターフェース CRC 機能を有効にした後にもう一度読み出すことを推奨します。

## 機能

## 4.3.1 読み出し

読み出し動作は、CS#=LOW のときにホストが READ トランザクションを指定したときに行われます。その後、デバイスはアドレスに基づいてメモリからのデータを提供します。新しい READ トランザクションを発行する必要なく、連続したアドレスに対して任意のバイト数で読み出し (バースト読み出し) が可能です。

トランザクション保護のために、デバイスは CRC32 多項式を使用してトランザクションシーケンス全体 (CS# LOW 状態) に対して CRC を実行します。CS# を HIGH にすると、CRC 計算は停止され、チェック値は CRC レジスタにラッチされます。ホストが複数回の READ トランザクションを実行した場合、デバイスは毎回の CS# LOW サイクルの間に CRC チェック値の更新を続けます。

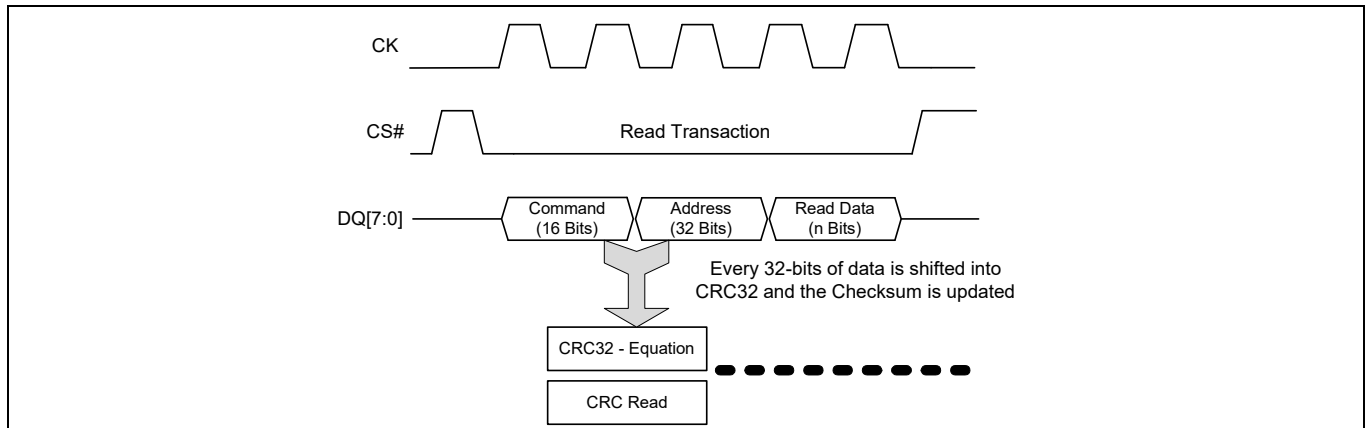


Figure 23 CRC 読み出し保護

**注:** 連続したインターフェース CRC 読み出しトランザクションは、リセットされる CRC チェックサム値を示しません。各インターフェース CRC レジスタ読み出しトランザクションの終了時、インターフェース CRC レジスタはリセットされ、少なくとも 3 クロック サイクルの間有効な入力データを持つトランザクションが行われた後にレジスタそれ自体を新しい CRC チェックサムで更新します。

## 4.3.2 プログラム / 消去

プログラム動作は、CS#=LOW のときにホストがプログラム トランザクションを指定したときに行われます。新しいプログラム トランザクションを発行する必要なく、連続したアドレスに対して最大 256 バイト / 512 バイトの書き込み (バースト書き込み) が可能です。消去動作は、CS#=LOW のときにホストが消去 トランザクションを指定したときに行われます。単一のセクタもデバイス全体も消去できます。

トランザクション保護のために、スレーブ デバイスは、CRC32 多項式を使用して、命令シーケンス全体 (CS# LOW 状態) に対して CRC を実行します。プログラム / 消去 トランザクションを完了するために CS# を HIGH にすると、CRC 計算は停止され、チェックサムは CRC レジスタにラッチされます。ホストが複数回のプログラム / 消去 トランザクションを実行した場合、スレーブ は毎回の CS# LOW サイクルの間に CRC チェックサムの更新を続けます。

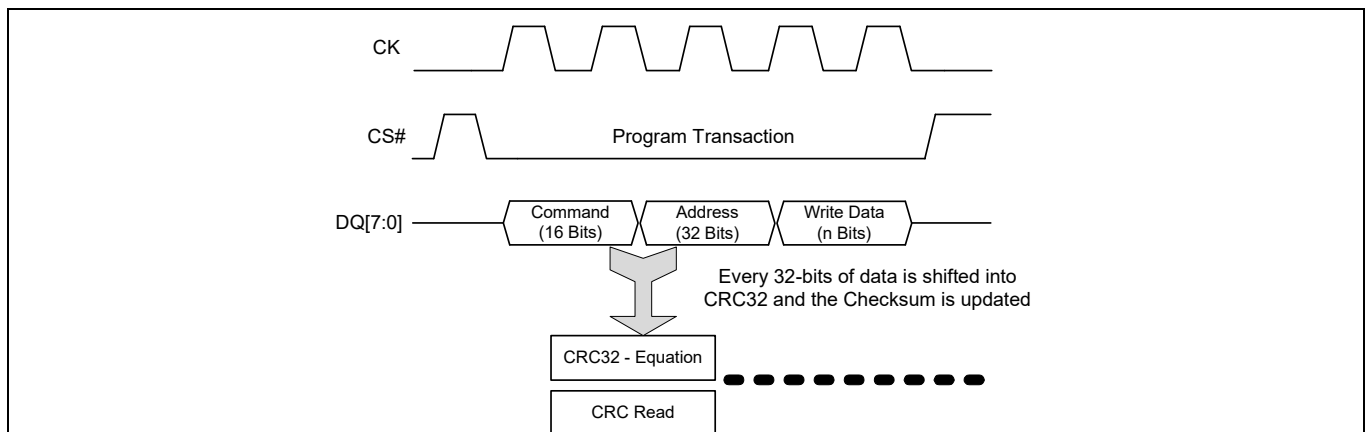


Figure 24 CRC によるプログラム保護

## 機能

ホストデバイスは読み出しインターフェース CRC トランザクションを使用し、スレーブデバイスからの CRC チェックサムを読み出します。スレーブデバイスは RDCRC\_4\_0 トランザクションを CRC チェックサムの一部として含み、その後チェックサムデータをデータバス上に配置します。スレーブからの CRC チェックサムの受信時に、ホストデバイス自体が計算した CRC チェックサムとの不一致を検出した場合、ホストデバイスはスレーブデバイスにプログラム / 消去トランザクションを再発行できます。フラッシュでは、CRC チェックサムエラーに起因した同じ位置への複数回のプログラム / 消去は、アクセス可能回数に影響します。

## 4.3.3 HYPERBUS™ インターフェース CRC 関連レジスタとトランザクション

Table 20 HYPERBUS™ インターフェース CRC 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
該当なし	インターフェース CRC レジスタ読み出し (RDCRC_1_1) - インターフェース ASO 読み出し

## 4.3.4 レガシー (x1) SPI インターフェース CRC 関連レジスタとトランザクション

Table 21 レガシー (x1) SPI インターフェース CRC 関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
インターフェース CRC イネーブルレジスタ (ICEV)	該当なし

## 4.4 データ整合性 CRC

HL-T/HS-T ファミリのデバイスは、メモリ アレイ内のユーザー定義アドレス範囲に対してハードウェア加速の CRC 計算を実行するために一連のトランザクションを備えます。計算はプログラムや消去と同じような組み動作のもう一つのタイプであり、計算実行中のデバイスはビジーです。CRC 動作はインターフェース CRC と同じ CRC32 多項式を使用して CRC チェック値を計算します。

CRC32 多項式:  $X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$

チェック値の生成シーケンスは、データ整合性チェック (DICLK\_4\_1、LDENAD\_1\_1) トランザクションに入力することで開始します。このトランザクションは、CRC 開始アドレスレジスタに開始アドレスをロードすることを含みます / 必要とします。また、CRC 終了アドレスレジスタに終了アドレスをロードすることも含みます / 必要とします。CS# を HIGH にすると、CRC 計算が始まります。CRC プロセスは、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算します。HYPERBUS™ インターフェースでは、終了アドレスをロードするとデータ整合性の CRC 計算が始まります。

計算期間中、デバイスはビジー状態 (RDYBSY=1) に入ります。チェック値の計算が完了すると、デバイスはレディ状態 (RDYBSY=0) に戻り、計算結果のチェック値は読み出し可能です。チェック値はデータ整合性 CRC レジスタ (DCRV[31:0]) に保存され、読み出し (RDARG\_4\_0、RDDICL\_2\_1、RDDICU\_2\_1) が可能です。

チェック値の計算はデバイスがスタンバイ状態にあるときにのみ開始できます。始まった計算は、メモリアレイからデータを読み出すために CRC 一時停止トランザクション (SPEPD\_0\_0、SP\_DIC\_1\_1) で一時停止できます。一時停止状態では、ステータスレジスタの CRC 一時停止ステータスビットがセットされます (DICRCS=1)。いったん一時停止されたら、ホストはステータスレジスタを読み出したり、メモリアレイからデータを読み出したり、CRC 再開トランザクション (RSEPS\_0\_0、RS\_DIC\_1\_1) で CRC 計算を再開したりできます。

終了アドレス (ENDADD) は、開始アドレス (STRADD) より少なくとも 4 アドレス高くなければいけません。[ENDADD<STRADD+3] の場合、チェック値の計算は中止され、デバイスはレディ状態に戻ります (RDYBSY=0)。レガシー (x1) SPI では、データ整合性 CRC 中止ステータスビットがセットされ (DICRCA=1)、中止状態を示します。DICRCA ビットはセットされたら、ソフトウェアリセットまたは後続の有効な CRC コマンド実行でクリアできます。HYPERBUS™ では、中止状態を示すためにバッファ書き込み中止ビットがセットされます (WRBFAB=1)。ステータスレジスタクリアは WRBFAB ビットをクリアし、後続の有効な CRC コマンドまたは CRC ASO 終了シーケンスが実行可能になります。[ENDADD<STRADD+3] の場合、チェック値は不定のデータを保持します。

CRC-32 多項式からチェック値を計算する際に使用される読み出しデータの順序は次のとおりです。

機能

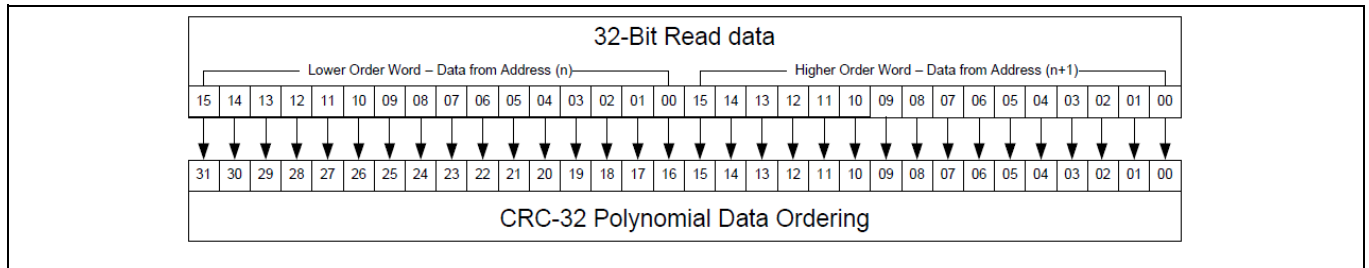


Figure 25 CrC-32 データ順序

注: CRC チェック値の計算中に無効なトランザクションがあると、チェック値データが壊れることがあります。

### 4.4.1 HYPERBUS™ データ整合性チェック関連レジスタとトランザクション

Table 22 HYPERBUS™ データ整合性 CRC 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
ステータス レジスタ (STRV)	ステータス レジスタ読み出し (RDVSTR_2_0) ステータス レジスタ失敗フラグクリア (CLVSTR_1_0)
データ整合性 CRC チェック値レジスタ (DCRV)	開始アドレスロード (LDSTAD_1_1) - データ整合性チェック ASO 終了アドレスロード (LDENAD_1_1) - データ整合性チェック ASO データ整合性 CRC レジスタ上位ワード読み出し (RDDICU_2_1) - データ整合性チェック ASO データ整合性 CRC レジスタ下位ワード読み出し (RDDICL_2_1) - データ整合性チェック ASO

### 4.4.2 レガシー (x1) SPI データ整合性チェック関連レジスタとトランザクション

Table 23 レガシー (x1) SPI データ整合性 CRC 関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
ステータス レジスタ 1 (STR1N, STR1V)	データ整合性チェック (DICHK_4_1)
ステータス レジスタ 2 (STR2V)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
データ整合性 CRC チェック値レジスタ (DCRV)	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)

## 4.5 データ保護スキーム

データ保護は、保存されているデータおよびデバイス コンフィギュレーションへの誤った変更を防止するために必要です。誤った変更には、メモリアレイの誤った消去やプログラムだけでなく、デバイスの機能を変化させる可能性のあるコンフィギュレーションレジスタへの書き込みも含まれます。保護スキームは、単一のセクタ、セクタグループ、メモリアレイ全体を対象とする3つのタイプがあります。Figure 26 に、異なる保護スキームと該当するデータ領域の概要を示します。

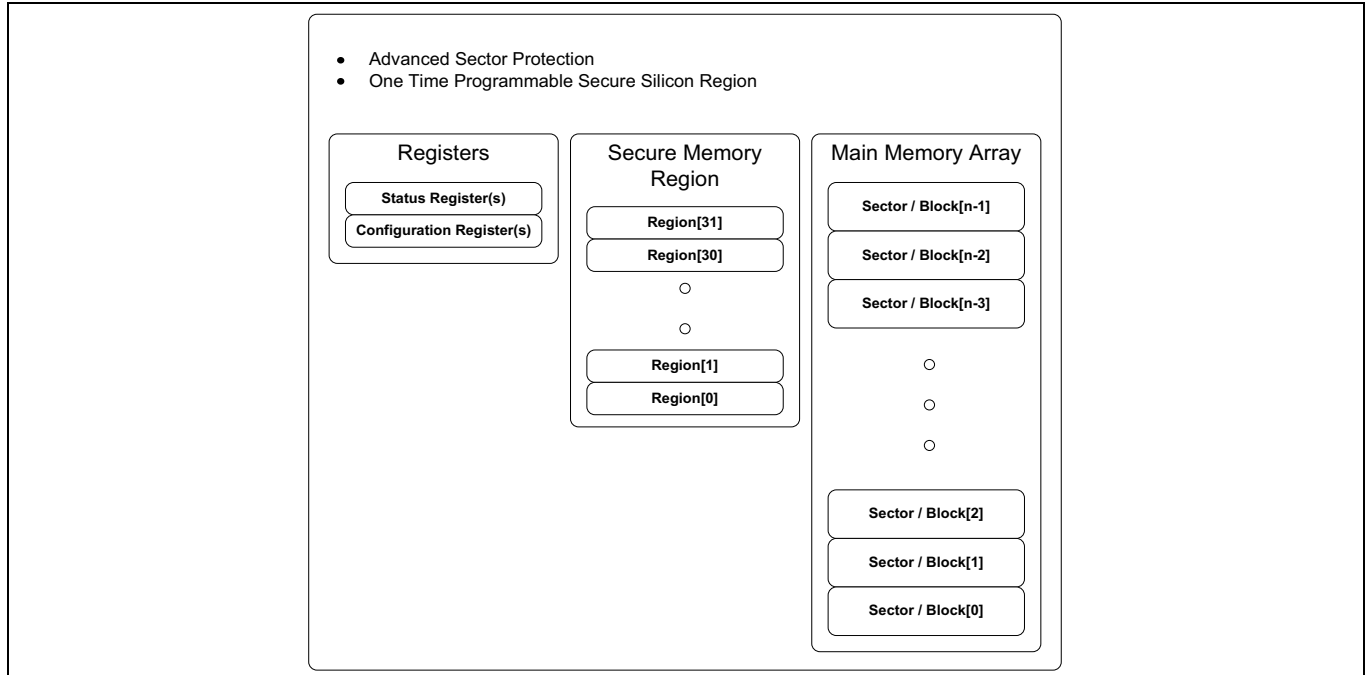


Figure 26 データ保護およびセキュリティ (書き込み / プログラム / 消去) スキーム

### 4.5.1 高度セクタ保護 (ASP)

高度セクタ保護 (ASP) スキームでは、消去やプログラムを防止するために揮発性または不揮発性ロック機能によって個々のメモリアレイセクタを独立して制御できます。また、不揮発性ロックコンフィギュレーションはロックされるか、またはパスワードで保護されます。

メインメモリアレイのセクタは、揮発性 (ダイナミックビット - DYB) と不揮発性 (持続的保護ビット - PPB) の一対の保護ビットにより消去やプログラムから保護されます。個々の DYB/PPB ビットペアは個別に、該当セクタを保護するために「0」にセットされ、該当セクタの保護を解除するために「1」にクリアされます。DYB 保護ビットは何回でもセットおよびクリアできますが、不揮発性の PPB ビットそれぞれは対応する技術的な耐久性要件を満たす必要があります。Figure 27 に、ASP の概要を示します。

機能

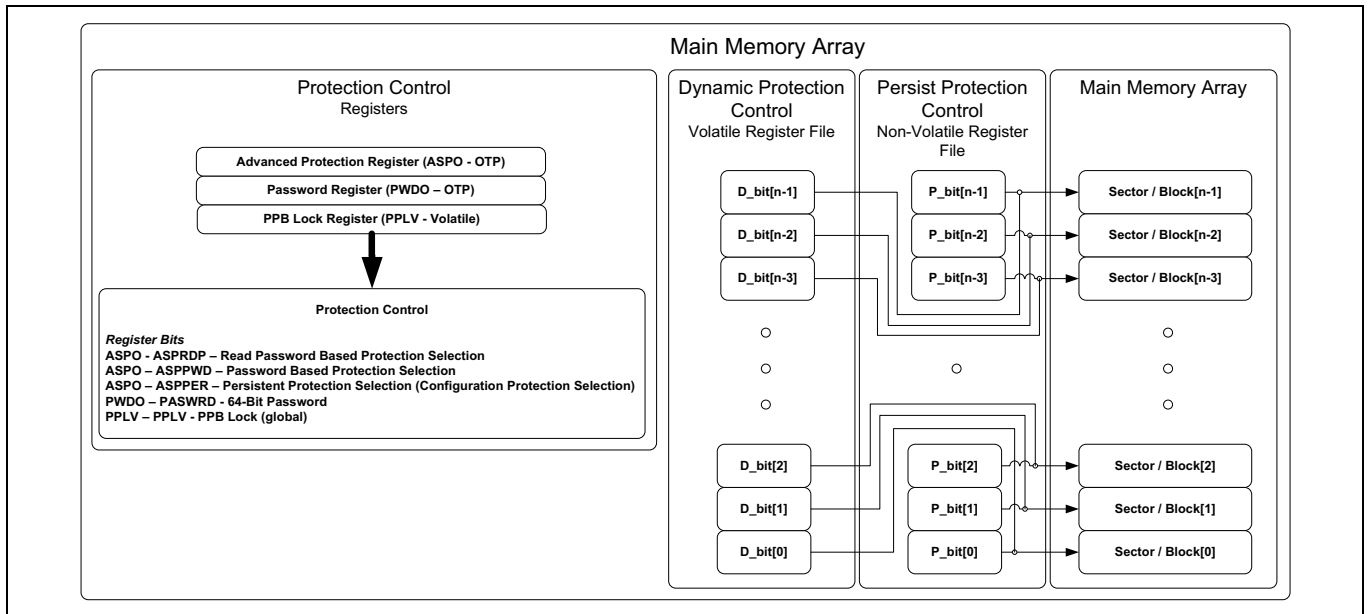


Figure 27 高度セクタ保護 (不揮発性)

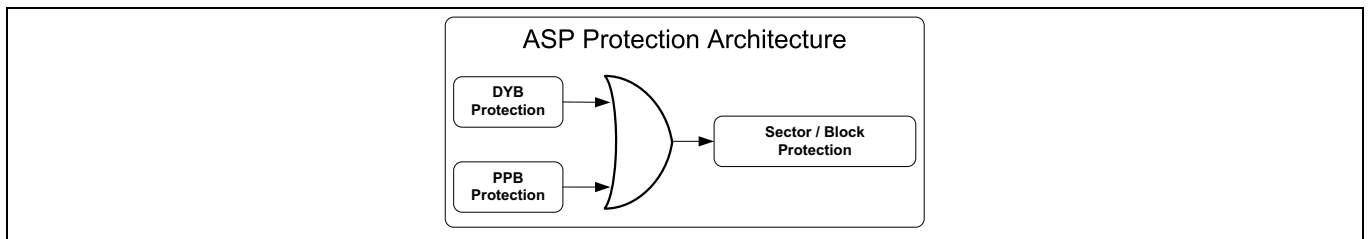


Figure 28 DYB と PPB の保護制御

ASP は、設計やシステムのニーズに応じて採用できる複数のデータ保護スキームを作り出す豊富なコンフィギュレーションオプションセットを提供します。それらのコンフィギュレーションオプションは、40 ページの [ASP 保護のまとめ](#) ~ 45 ページの [レガシー \(x1\) SPI ASP 関連レジスタとトランザクション](#) で説明します。

#### 4.5.1.1 ASP 保護のまとめ

PPB ビットは、PPB ロックビットが「0」のときにプログラムや消去から保護されます。PPB ロックビットの状態を管理する方式には、持続的保護およびパスワード保護の2つがあります。

持続的保護モードでは、POR またはハードウェアリセット時に PPB ロックビットを「1」にセットし、PPB ビットがデバイスリセットによって非保護となるようにします。ソフトウェアリセットは PPB ロックビットに影響しません。PPB を保護するために PPB ロックビットを「0」にクリアするコマンドがあります。持続的保護方式では、PPB ロックビットをセットするコマンドがないため、PPB ロックビットは次の電源切断またはハードウェアリセットまで「0」のままです。持続的保護方式では、PPB のプログラムまたは消去によってセクタ保護を変更するオプションをブートコードで有効にした後、PPB ロックビットを「0」にクリアすることで通常システム動作の残りに対してさらなる変更から PPB を保護します。これは、ブートコード制御によるセクタ保護と呼ばれることがあります。

パスワード保護モードでは、PPB を保護するために POR またはハードウェアリセット時に PPB ロックビットを「0」にクリアします。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠すことがあります。隠しパスワードと比較するためのパスワードを供給する1つのコマンドが使用されます。パスワードが一致した場合、PPB ロックビットは PPB の保護を解除するために「1」にセットされます。コマンドを使用して、PPB ロックビットを「0」にクリアできます。この方式では、PPB 保護を制御するためにパスワードを使用する必要があります。

PPB ロック管理方式の選択は、使用する方式を恒久的に選択するために、ASP コンフィギュレーションレジスタの OTP ビットのプログラムによって行われます。

各セクタは次の保護状態があります。

- ロック解除 - セクタは保護されません。簡単なコマンドで保護を変更できます。パワーサイクルまたはハードウェアリセット後のデフォルト保護状態は、非保護です。
- 動的ロック - セクタは保護されます。簡単なコマンドで保護を変更できます。保護状態はパワーサイクルまたはハードウェアリセットを通じて保存されません。
- 持続的ロック - セクタは保護されます。PPB ロックビットが「1」にセットされた場合のみ、保護を変更できます。保護状態は不揮発性で、パワーサイクルまたはハードウェアリセットを通じて保存されます。保護状態を変更するには、PPB ビットをプログラム / 消去する必要があります。

**Table 24 セクタ保護状態**

PPB ロックビット	保護ビット値		セクタ状態
	PPB	DYB	
1	1	1	非保護 : PPB と DYB は変更できます。
1	1	0	保護 : PPB と DYB は変更可できます。
1	0	1	
1	0	0	非保護 : PPB は変更できず、DYB は変更できます。
0	1	1	
0	1	0	
0	0	1	
0	0	0	保護 : PPB は変更できず、DYB は変更できます。

#### 4.5.1.2 PPB ロック

持続的保護ロックビットは、すべての PPB ビットを保護するための揮発性ビットです。「0」にクリアすると、すべての PPB をロックし、「1」にセットすると PPB の変更を許可します。PPB ロックビットはデバイスあたり1つしかありません。PPB ロックコマンドを使用してこのビットを「0」にクリアします。PPB ロックビットは、すべての PPB を所望の設定にした後にのみ「0」にクリアしなければいけません。

持続的保護モードでは、POR またはハードウェアリセット時に、PPB ロックビットが「1」にセットされます。PPB ロックビットクリアシーケンスでクリアされた場合、別のハードウェアリセットまたは電源投入以外には、PPB ロックビットをセットできるソフトウェアコマンドシーケンスはありません。

パスワード保護モードでは、POR またはハードウェアリセット時に PPB ロックビットが「0」にクリアされます。PPB ロックビットは、パスワードロック解除コマンドシーケンスでのみ「1」にセットできます。PPB ロックビットは、PPB ロックビットクリアシーケンスで「0」にクリアできます。



#### 4.5.1.3 DYB (揮発性) セクタ保護

ダイナミック保護ビット (DYB) は揮発性でセクタ固有であり、個別に変更できます。DYB は、PPB がクリアされたセクタに対してのみ保護を制御します。DYB 書き込みトランザクションを実行することで、DYB を「0」にセットするか、または「1」にクリアし、各セクタはそれぞれ保護または非保護の状態になります。この機能により、意図しない変更からソフトウェアでセクタを簡単に保護できますが、変更が必要な場合は簡単に保護を解除できます。上述したように、DYB は必要に応じて「0」にセットするかまたは「1」にクリアできます。

#### 4.5.1.4 PPB (不揮発性) セクタ保護

持続的保護ビット (PPB) は、個別の不揮発性フラッシュアレイに配置されます。セクタごとに1つのPPBビットが割り当てられます。PPBが「0」にプログラムされた場合、該当するセクタはプログラムと消去動作から保護されます。PPBは個別にプログラムされますが、グループとして消去される必要があります。これは、個々のワードがメインアレイでプログラム可能ですがセクタ全体が一括での消去を必要とすることと同様です。PPBビットのプログラムには、通常のワードプログラム時間が必要です。PPBビットプログラムまたはPPBビット消去の間に、ステータスレジスタにアクセスしていつ動作が完了したかを確認できます。すべてのPPBを消去するには、通常のセクタ消去時間が必要です。

#### 4.5.1.5 持続的保護モード

持続的保護方式では、POR またはハードウェアリセット時にPPBロックビットを「1」にセットし、PPBビットがデバイスリセットによって非保護となるようにします。PPBを保護するためにPPBロックビットを「0」にクリアするコマンドがあります。持続保護方式では、PPBロックビットを「1」にセットするコマンドがないため、次の電源切断またはハードウェアリセットまでPPBロックビットは「0」のままです。

#### 4.5.1.6 パスワード保護モード

パスワード保護モードでは、PPBロックビットをセットするために64ビットのパスワードを必要とすることによって、持続的セクタ保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはハードウェアリセット後、電源投入時に保護を確実にするためにPPBロックは「0」にクリアされます。完全なパスワードを入力してパスワードロック解除コマンドを正常に完了すると、PPBロックビットが「1」にセットされ、セクタのPPBの変更が可能になります。パスワード保護スキームのフローチャートを [Figure 29](#) に示します。

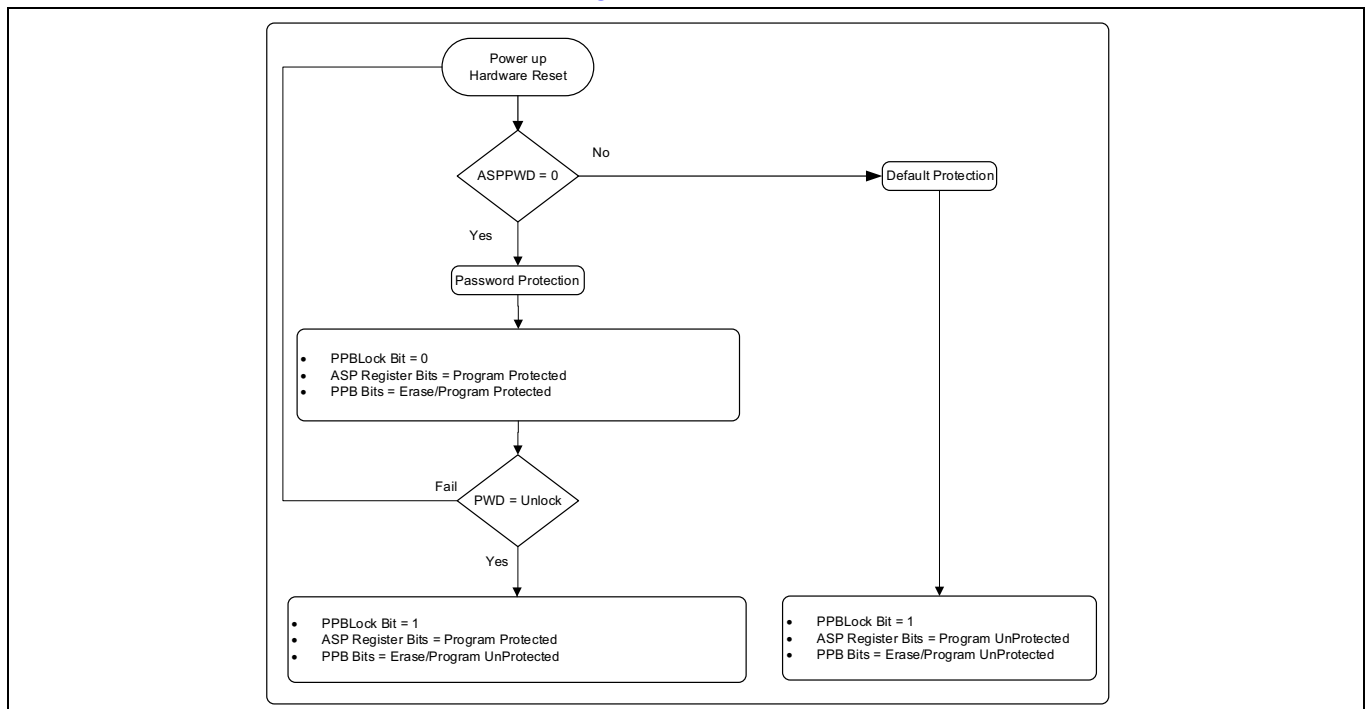


Figure 29 パスワード保護スキームのフローチャート

## 機能

## パスワード保護の注意

- パスワードプログラムコマンドでプログラムできるのは、「0」だけです。
- 出荷時はパスワードはすべて「1」です。パスワードは自身のメモリ空間内にあり、パスワードプログラムとパスワード読み出しコマンドの使用によりアクセス可能です。
- あらゆる 64 ビットパスワードの組合せがパスワードとして有効です。
- いったんパスワードをプログラムして検証したら、パスワードの読み出しを防ぐためには、パスワード保護モードロックビットを「0」にプログラムする必要があります。
- 一旦パスワード保護モードロックビットを「0」にプログラムすると、データバス上で 64 ビットパスワードの読み出しができなくなるため、パスワードはプログラムできません。これ以降、パスワード領域へのプログラムコマンドや読み出しコマンドは無効になり、無視されます。レガシー (x1) SPI では、保護されたパスワードをプログラムしようとする、プログラムステータスビットがセットされます。HYPERBUS™ では、保護されたパスワードをプログラムしようとする、セクタロックステータスビットとプログラムステータスビットがセットされます。パスワードまたはパスワード保護モードロックビットをさらにプログラムしようとする、その動作は中止され、ステータスレジスタに失敗が示されます。パスワード保護モードロックビットがプログラムされた後、パスワードが何であるかを確認する方法はありません。パスワードの確認ができるのは、パスワード保護モードを選択する前のみです。
- パスワードモードロックビットは消去できません。
- 有効な 64 ビットパスワードがデバイスに与えられた後、PPB ロックをセットするためにデバイスは  $t_{PSWD}$  の時間を要します。
- パスワードロック解除コマンドはパスワードのロックを解除するために使用されます。供給されたパスワードが内部の隠しパスワードと一致しない場合、デバイスはロックされ、更なる命令を受け取りません。デバイスをスタンバイモードに戻してパスワードの入力を再度試すためには、ハードウェアリセットまたは CS# シグナリングリセットまたはパワーサイクルが必要です。
- パスワードモードロックビットをセット後にパスワードが失われた場合、PPB ロックビットをクリアする方法はありません。

## 4.5.1.7 パスワード読み出し保護モード

パスワード読み出し保護モードはデフォルトの 41 ページの**パスワード保護モード**の代替モードとして使用できます。パスワード読み出し保護モードは、ユーザーが ASPR[5]=0 にプログラムしたときにデフォルトの PPB パスワード保護モードの代わりに使用されます。パスワードがプログラムされ、ASPR[2] が「0」にプログラムされない限り、パスワード読み出し保護モードは有効になりません。

パスワード読み出し保護モードでは、フラッシュメモリアレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除コマンドが正常に完了するまでは、不揮発コンフィギュレーションレジスタビット  $xVCR1[9:8]$  によって選択された最下位または最上位 (256KB) セクタアドレス範囲のみが読み出せます。アレイの読み出し保護部分からの読み出しは、読み出し可能なセクタにリダイレクトします。

このモードでは、PPB ロックビットはアドレスの上位ビットを制御するために使用されます。PPB ロックビットが「1」の場合、アドレスビットが正常に動作します。PPB ロックビットが「0」の場合、メインアレイセクタアドレスを選択するアドレスビットは「0」または「1」にされ、最下位または最上位アドレス範囲を選択します。アドレス範囲選択のために、SPI では TBPROT (CFR1x[5]) ビットを使用し、HYPERBUS™ では TB4KBS[1:0] (CFR1x[9:8]) ビットを使用します。

パスワード読み出し保護が有効のとき、オートブート機能は無効になります。ATBR[0] (オートブートイネーブル) ビットはパスワード読み出し保護モードで無視されます。

Table 25 恒久保護モードとパスワード保護モードでの ASP コンフィギュレーションレジスタ選択

ASPO ビット	デフォルト値	名称
2	1	恒久的 / パスワード保護モードロックビット
1		ASPR[2:1]=00: 不可 ASPR[2:1]=01: パスワードモードは恒久的に有効 ASPR[2:1]=10: 恒久的モードは恒久的に有効 ASPR[2:1]=11: 恒久的 / パスワードモードは無効 (工場出荷時設定)

機能

**Table 26 HYPERBUS™ CFR1x のブートブロックアドレス範囲のマッピング**

CFR1x ビット	デフォルト値	名称
CFR1x[9:8]	11	00= マップパラメーターセクタとパスワード読み出し保護セクタは最下位のアドレスにマッピングされます。 01= マップパラメーターセクタとパスワード読み出し保護セクタは最上位のアドレスにマッピングされます。 10= ユニフォームセクタとパスワード読み出し保護セクタが最下位のアドレスにマッピングされます。 11= ユニフォームセクタとパスワード読み出し保護セクタが最上位のアドレスにマッピングされます。

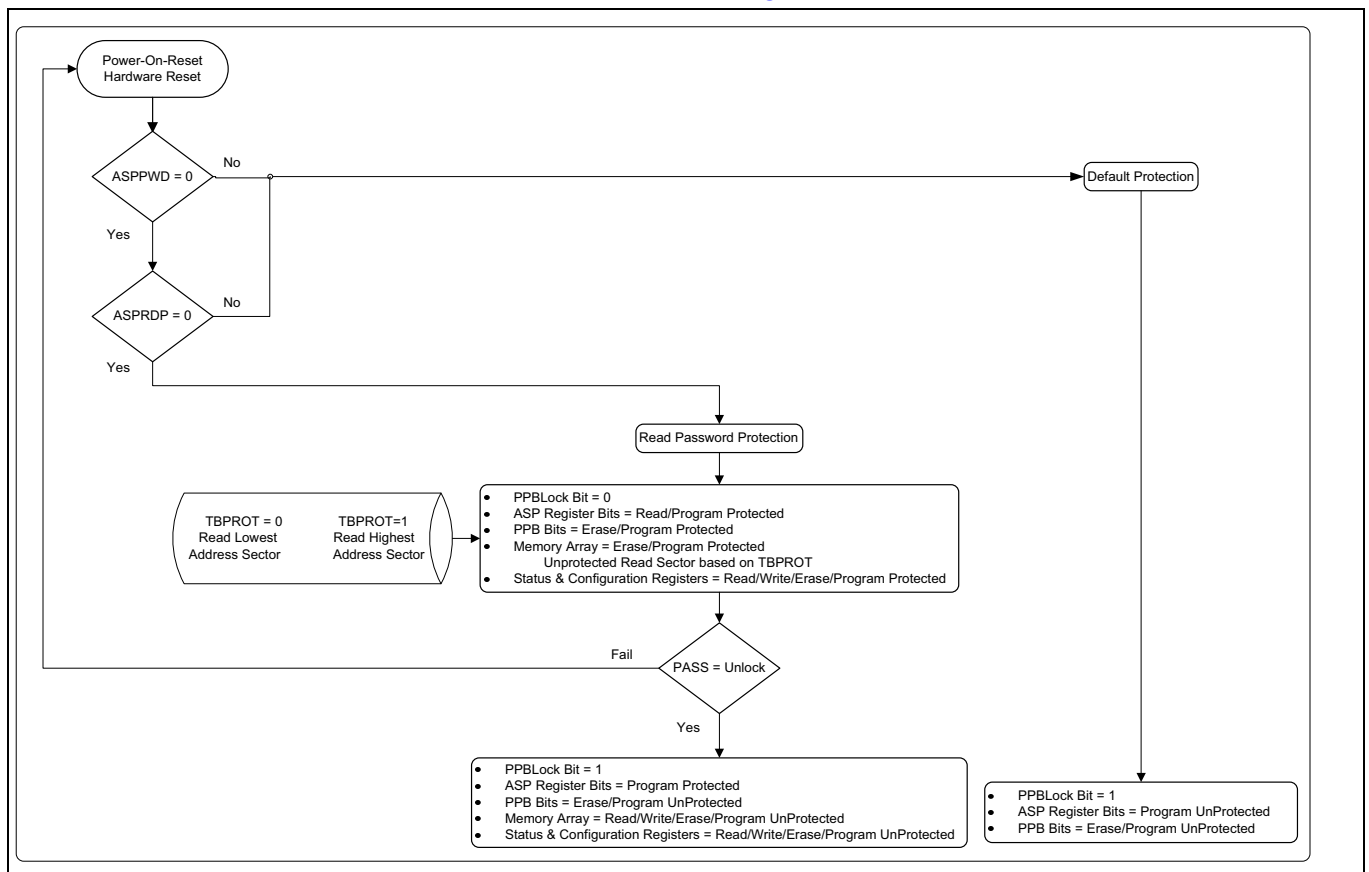
**Table 27 レガシー (x1) SPI CFR1x のブートブロックアドレス範囲のマッピング**

CFR1x ビット	デフォルト値	名称
CFR1x[5]	0	0= マップパラメーターセクタとパスワード読み出し保護セクタは最上位 (最上部) のアドレスにマッピングされます。 1= マップパラメーターセクタとパスワード読み出し保護セクタは最下位 (最下部) のアドレスにマッピングされます。

PPB ロックビットが「0」の場合、PPB ビットはプログラムおよび消去から保護されます。PPB ロックビットが「1」の場合、PPB ビットにはプログラムまたは消去アクセスができます。

パスワード保護モードと同じように、PPB ロックビットは POR または PPB ハードウェアリセットによって「0」にセットされます。

パスワード読み出し保護スキームのフローチャートを、[Figure 30](#) に示します。



**Figure 30 パスワード読み出し保護スキームのフローチャート**

## 機能

## パスワード読み出し保護の注意

- パスワード読み出し保護は、ASPR[5] ビットを「0」にプログラムすることで有効にします。
- パスワード読み出し保護方式のパスワード プログラム、読み出し、ロックのコマンド シーケンスは、PPB パスワード方式のデフォルト シーケンスと同じです。
- パスワード読み出し保護モードとパスワード保護モードが有効になった (ASPR[2]、ASPR[5] が「0」にプログラムされた) 場合、パスワードロック解除シーケンスに正しいパスワードが正常に入力されるまで、すべてのアドレスがブートセクタにリダイレクトされます。その時点で、パスワード読み出し保護モードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- システムハードウェアリセットが発生した場合は、パスワード読み出し保護モードが再び有効になります。
- パスワード読み出し保護と PPB パスワード保護のどちらかのオプションを選択するために、ASPR[5] を使用します。ASPR[5]=0 の場合、デバイスではパスワード読み出し保護方式を許可します。しかし、ASPR[2]=0 までパスワード読み出し保護方式は有効になりません。ASPR[2]=0 になると、デバイスが正しいロック解除シーケンスおよびパスワードによりロック解除されるまで、すべてのアドレスは最下位または最上位のセクタからのみ選択します。ASPR[2]=1 の場合、アドレスは正常に選択します。これにより、ユーザーはコードでプログラムし、テストし、パスワードを設定し、ASPR[2]=0 にプログラムすることでパスワードをロックできます。
- パスワード読み出し保護を使用した場合、パスワード読み出しコマンドシーケンスを送信すれば、未定義の結果が返ります。PPB ロックビットは、ハードウェアリセット、POR または PPB ロックビットクリアコマンドシーケンスのときにのみ、「0」に戻ります。
- パスワード読み出し保護モード時、PPB ロックビットが「0」の場合、ID 読み出しコマンド、パスワードロック解除コマンド、およびアレイ読み出しのみが可能です。パスワードを提供してデバイス全体の読み出しおよび正常なコマンド動作を許可するまで、他のコマンドは無効です。
- パスワード読み出し保護モードがアクティブ (ASPR[5]=0、ASPR[2]=0、PPB ロックビット =0) の場合、メインアレイは読み出し可能ですが、メモリセクタアドレスを「0」か「1」にすることでブートセクタのみが読み出せるようにします。DYB または PPB アドレス空間を読み出すと、未定義のデータが返ります。
- パスワード読み出し保護モードが有効の場合、メモリ空間へのプログラムまたはレジスタ書き込みはできません。RESET は正常に動作し、バスプロトコルはモードビットをリセットすることで変更できます。

## 4.5.1.8 HYPERBUS™ ASP 関連レジスタとトランザクション

Table 28 HYPERBUS™ ASP 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
高度セクタ保護レジスタ (ASPO)	高度セクタ保護レジスタ プログラム (PGOASP_2_1) - 高度セクタ保護 ASO 高度セクタ保護レジスタ読み出し (RDOASP_1_1) - 高度セクタ保護 ASO
コンフィギュレーションレジスタ 1 (CFR1N, CFR1V)	揮発性コンフィギュレーションレジスタ 1 読み出し (RDVCR1_4_0) 不揮発性コンフィギュレーションレジスタ 1 読み出し (RDNCR1_4_0)
	不揮発性持続的保護ビット プログラム (PGNPPB_2_1) - PPB ASO
	不揮発性持続的保護ビット消去 (ERNPPB_2_1) - PPB ASO
	不揮発性持続的保護ビット読み出し (RDNPPB_1_1) - PPB ASO
	揮発性持続的保護ロッククリア (CLVPPL_2_1) - PPB ロック ASO
	揮発性持続的保護ロック読み出し (RDVPPL_1_1) - PPB ロック ASO
	揮発性ダイナミック保護ビットセット (STVDYB_2_1) - DYB ASO
	揮発性ダイナミック保護ビットクリア (CLVDYB_2_1) - DYB ASO
	揮発性ダイナミック保護ビット読み出し (RDVDYB_1_1) - DYB ASO
セクタ保護ステータス (PRTSTS_2_1) - PPB/DYB ASO	

## 機能

## 4.5.1.9 レガシー (x1) SPI ASP 関連レジスタとトランザクション

Table 29 レガシー (x1) SPI ASP 関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
高度セクタ保護レジスタ (ASPO)	ダイナミック保護ビット読み出し (RDDYB_4_0)
	ダイナミック保護ビット書き込み (WRDYB_4_1)
	持続的保護ビット読み出し (RDPPB_4_0)
	持続的保護ビットプログラム (PRPPB_4_0)
	持続的保護ビット消去 (ERPPB_0_0)
コンフィギュレーションレジスタ 1 (CFR1N, CFR1V)	PPB 保護ロックビット書き込み (WRPLB_0_0)
	パスワード保護モード ロックビット読み出し (RDPLB_0_0)
	パスワード ロック解除 (PWDUL_0_1)
	書き込みイネーブル (WRENB_0_0)
	任意レジスタ読み出し (RDARG_4_0)
	任意レジスタ書き込み (WRARG_C_1)

## 4.5.2 セキュアシリコン領域 (SSR)

各デバイスには、フラッシュメモリアレイから独立した 1024B の OTP SSR アドレス空間があります。SSR 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 最下位 16 アドレスバイトが、インフィニオンによって 128 ビットの乱数でプログラムされます。インフィニオンのみがこれらのバイトをプログラムできます。これらの位置に 0 をプログラムしようとすると、プログラム動作が失敗し、プログラムステータスエラーが発生します。
- 次の上位 4 アドレスバイト (SSR ロックバイト) は恒久的に各領域をプログラムから保護するために SSR 領域ごとに 1 ビットを提供するために使用されます。出荷時にこれらのバイトは消去されます。SSR 領域のプログラム後、SSR ロックバイト内の関連する保護ビットをプログラムすることでこの領域をロックして更なるプログラムを防ぎます。
- 最下位アドレス領域の次の上位 12B は、将来の使用のために予約されています (RFU)。これらの RFU バイト内のビットは、ホストシステムによってプログラムできますが、将来のデバイスは、より大きな SSR 領域の保護に使用する場合があることに注意してください。出荷時にこれらのバイトは消去されます。

残りの領域は、出荷時に消去され、追加の恒久的なデータのプログラミングに使用できます。

Figure 31 に、SSR メモリ空間の図を示します。

SSR メモリ空間はシステムセキュリティ強化のためです。インフィニオンによってプログラムされた乱数などの SSR 値は、フラッシュコンポーネントがシステム CPU/ASIC と一体化して使用され、デバイス置き換えを回避します。

HYPERBUS™ では、コンフィギュレーションレジスタの SSR 一時的ロック選択 (CFR1x[10]) ビットはクリアされた場合、SSR メモリ空間全体をプログラムから保護します。これにより、信頼できるブートコードが SSR 領域のプログラムを制御し、またロックビットをセットして通常の電源投入時システム動作の残りの時間に SSR メモリ空間がさらにプログラムされないようにできます。

機能

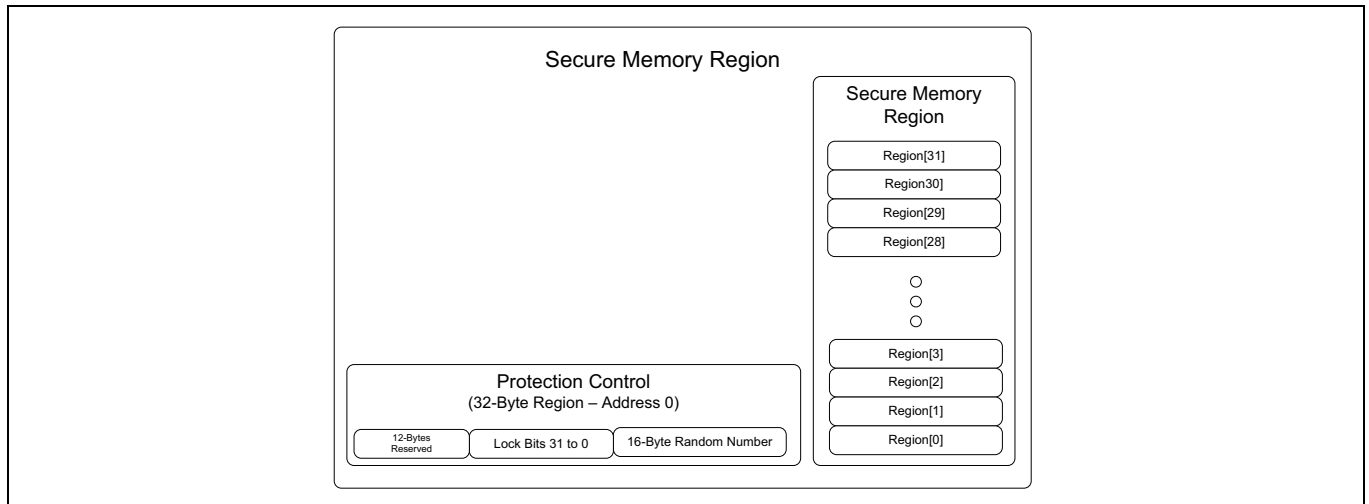


Figure 31 OTP 保護 (不揮発性)

#### 4.5.2.1 SSR メモリ空間の読み出し

HYPERBUS™ インターフェースでは、SSR 領域の読み出しは SSR 開始シーケンスで SSR ASO に移行すると行われます。SSR は、SSR 開始コマンドシーケンスの間に識別された特定のセクタにマッピングされます。SSR 開始コマンドシーケンス中に識別されたセクタ内でかつ有効な 1KB SSR アドレス範囲外で SSR を読み出すと、未定義のデータを得ます。SSR ASO によってオーバーレイされないセクタを読み出すとアレイデータを得ます。SSR 終了シーケンスを実行すると、デバイスがアレイ読み出し ASO に戻ります。

レガシー (x1) SPI インターフェースでは、SSR 読み出しトランザクション (RDSSR\_4\_0) で SSR 領域を読み出します。

#### 4.5.2.2 SSR メモリ空間のプログラム

HYPERBUS™ インターフェースでは、SSR メモリのプログラムは SSR 開始シーケンスで SSR ASO に移行すると行われます。SSR プログラムコマンドのプロトコルは、通常のアレイプログラムと同じです。SSR プログラムシーケンスは、特定の SSR アドレスに対して複数回実行できますが、このアドレス空間は消去できません。Table 30 に、SSR プログラムが許可されるアドレス範囲を示します。有効な SSR アドレス範囲外での SSR プログラム動作は、アドレス A9 以上を無視し、有効な SSR アドレスの範囲内にリダイレクトします。SSR 空間をプログラムするとき、開始アドレスを 32 ビットに整列する必要があります。つまり、アドレスの A0 ビットは 0'b であり、ホストは CS# をデアサートする必要があります。SSR 一時的ロック選択 (CFR1x[10])=0 のとき、SSR プログラムを行うと失敗し、失敗は示されません。ASP 保護モードを選択しても、SSR アドレス空間が保護されません。SSR 終了シーケンスを実行すると、デバイスが読み出しモードに戻ります。

レガシー (x1) SPI インターフェースでは、SSR プログラムトランザクション (PRSSR\_4\_0) で SSR 領域をプログラムします。SSR 空間をプログラムするとき、開始アドレスを 32 ビットに整列する必要があります。つまり、アドレスの A1 と A0 ビットは 0'b であり、ホストは CS# をデアサートする必要があります。

機能

**Table 30 SSR アドレス マップ**

領域	バイトアドレス範囲 (16 進)	内容	工場出荷初期状態 (16 進)
領域 0	0000h	インフィニオンがプログラムする乱数の最下位バイト (LSB)	インフィニオンがプログラムする乱数
	...	...	
	000Fh	インフィニオン f がプログラムする乱数の最上位バイト (MSB)	
	0010h ~ 0013h	領域ロックビット バイト 10 [ビット 0] = 「0」 のとき、領域 0 をプログラムから保護します。 ... バイト 13 [ビット 7] = 「0」 のとき、領域 31 をプログラムから保護します。	全バイト = FFh
	0014h ~ 001Fh	将来に使用するために予約済み (RFU)	
領域 1	0020h ~ 003Fh	ユーザー プログラミング用に使用可能	
領域 2	0040h ~ 005Fh		
...	...		
領域 31	03E0h ~ 03FFh		

**4.5.2.3 HYPERBUS™ SSR 関連レジスタとトランザクション**

**Table 31 HYPERBUS™ SSR 関連レジスタとトランザクション**

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
該当なし	セキュア シリコン領域読み出し (RD_SSR_1_1) - SSR ASO
	セキュア シリコン領域ワード プログラム (PG_SSR_4_1) - SSR ASO
	セキュア シリコン領域バッファ ロード (LDBSSR_5_1) - SSR ASO
	セキュア シリコン領域バッファ プログラム確認 (PGCSSR_1_1) - SSR ASO
	バッファ書き込み中止リセット (RSWSSR_3_1) - SSR ASO

**4.5.2.4 レガシー (x1) SPI SSR 関連レジスタとトランザクション**

**Table 32 レガシー (x1) SPI SSR 関連レジスタとトランザクション**

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
該当なし	セキュア シリコン領域プログラム (PRSSR_4_1)
	セキュア シリコン領域読み出し (RDSSR_4_0)

## 機能

## 4.6 セーフブート

SEMPER™ フラッシュメモリ デバイスは、デバイスを初期化し、組込み動作を管理し、その他の高度な機能を実装するために使用する組込みマイクロコントローラーを内蔵します。組込みマイクロコントローラーの初期化失敗や不揮発性コンフィギュレーションレジスタの破損のため、フラッシュデバイスは使用できなくなることがあります。組込みマイクロコントローラーファームウェアの恒久的な破損などの壊滅的なイベントがなければ、デバイスを回復することが可能です。

セーフブート機能の使用では、ステータスレジスタをポーリングすることでエラーシグネチャによって組込みマイクロコントローラーの初期化失敗やコンフィギュレーションの破損を検出できます。

### 4.6.1 マイクロコントローラー初期化失敗検出 (x1 ブート オプション)

フラッシュデバイスの組込みマイクロコントローラーが正常に初期化しなかった場合、壊滅的な故障でなければ、ハードウェアリセットによりデバイスを回復できます。ハードウェアリセットはホストコントローラーによって開始されなければなりません。マイクロコントローラーの失敗した初期化の検出時に、フラッシュデバイスは自動的にレガシー (x1) SPI インターフェースに戻り、ステータスレジスタで失敗のシグネチャを提供します。

Table 33 に、初期化失敗検出時のデバイスのステータスレジスタビットを示します。

**Table 33 ステータスレジスタ 1 電源投入検出シグネチャ**

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	RESVRD	将来使用するために予約済み	0
STR1V[6]	PRGERR	プログラムエラー ステータス フラグ	1
STR1V[5]	ERSERR	消去エラー ステータス フラグ	1
STR1V[4]	RESVRD	将来使用するために予約済み	0
STR1V[3]			0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラム イネーブル ステータス フラグ	0
STR1V[0]	RDYBSY	デバイス レディ / ビジー ステータス フラグ	1

**Table 34 電源投入時の故障検出時のインターフェースコンフィギュレーション** [20]

インターフェース	サポートされるトランザクション	レジスタタイプ	アドレス (バイト数)	動作周波数	レジスタ読み出しレイテンシ (クロックサイクル数)	出力インピーダンス
SPI (1S-1S-1S)	ステータスレジスタ 1 読み出し (RDSR1_0_0) 任意レジスタ読み出し (RDARG_4_0)	ステータスレジスタ (揮発性専用)	4	最大 (RDSR1_0_0, RDARG_4_0 用)	2	45Ω

## 注

20. ステータスレジスタの読み出しで、不揮発性ステータスレジスタのアドレスを RDARG\_4\_0 に提供すると不確実な結果を生じます。



### 4.6.1.1 ホストポーリング動作

ホストは、デバイスに初期化失敗が発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行する必要があります。Figure 32 にシーケンスのフローチャートを示します。

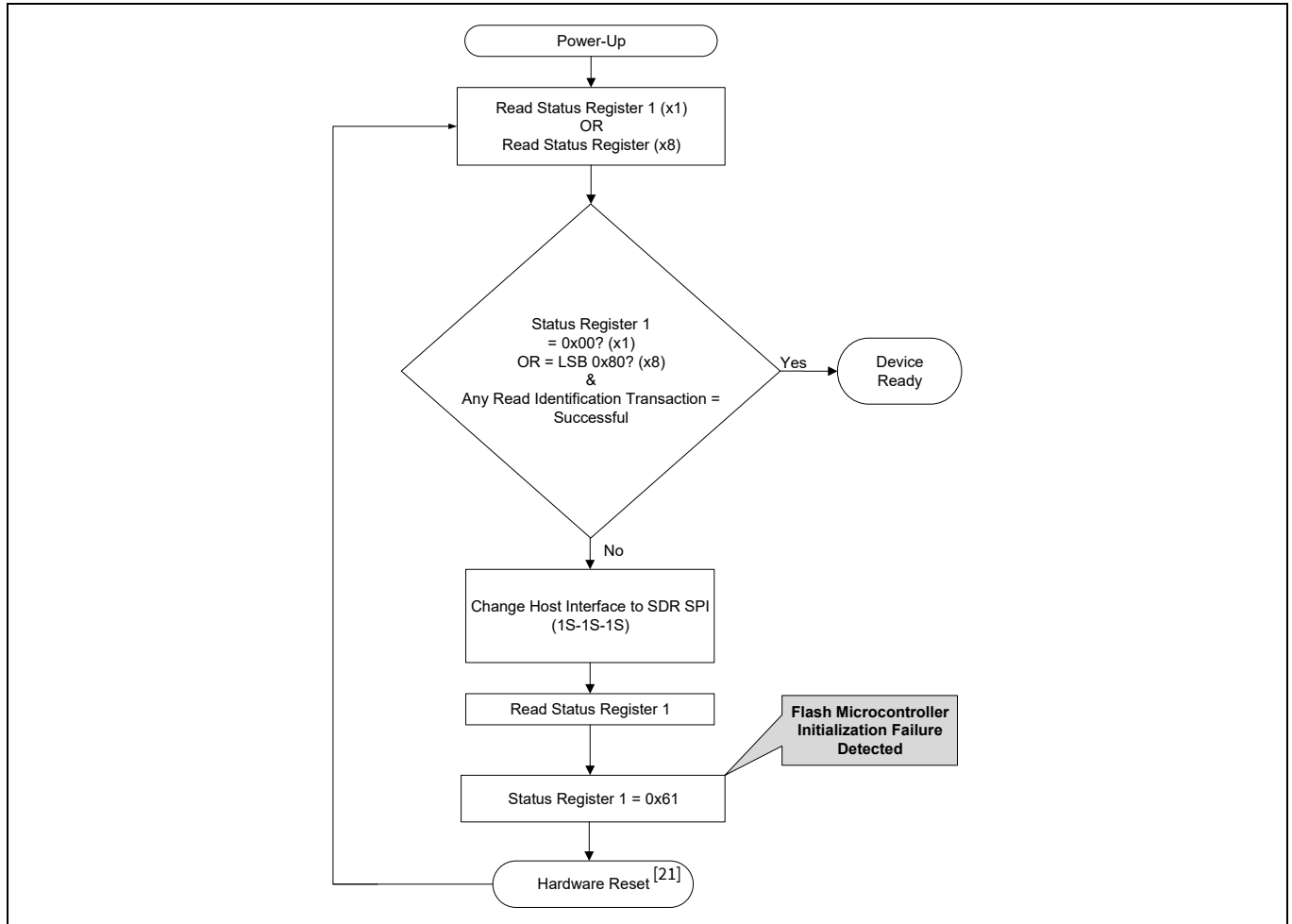


Figure 32 マイクロコントローラー初期化失敗検出用のホストポーリングシーケンス

### 4.6.1.2 マイクロコントローラー初期化失敗検出関連レジスタとトランザクション

Table 35 マイクロコントローラー初期化失敗関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを 参照してください)	関連 SPI トランザクション (Table 122 を参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
揮発性ステータスレジスタ 1 (STR1V)	任意レジスタ読み出し (RDARG_4_0)	該当なし
	ステータスレジスタ 1 読み出し (RDSR1_0_0)	

注

21. 仕様範囲内の  $V_{CC}$  で、ハードウェアリセットでは問題が解決しない場合、フラッシュデバイスを交換してください。

## 機能

#### 4.6.2 マイクロコントローラー初期化失敗検出 (x8 ブート オプション)

マイクロコントローラーの初期化失敗の検出時、フラッシュ デバイスは HYPERBUS™ インターフェースのままであり、ホスト コントローラーから何のトランザクションも受け入れません。また、マイクロコントローラー初期化の失敗のため、RSTO# は LOW から HIGH に遷移しません。

##### 4.6.2.1 ホスト ポーリング動作

ホストは、デバイスに初期化エラーが発生したかどうかを判断するために、ステータスレジスタポーリングシーケンスを実行するか、または RSTO# が LOW から HIGH に遷移したかどうかを確認する必要があります。Figure 33 にシーケンスのフローチャートを示します。マイクロコントローラーの初期化失敗を検出すると、デバイスは 30Ω の出力インピーダンスをサポートします。

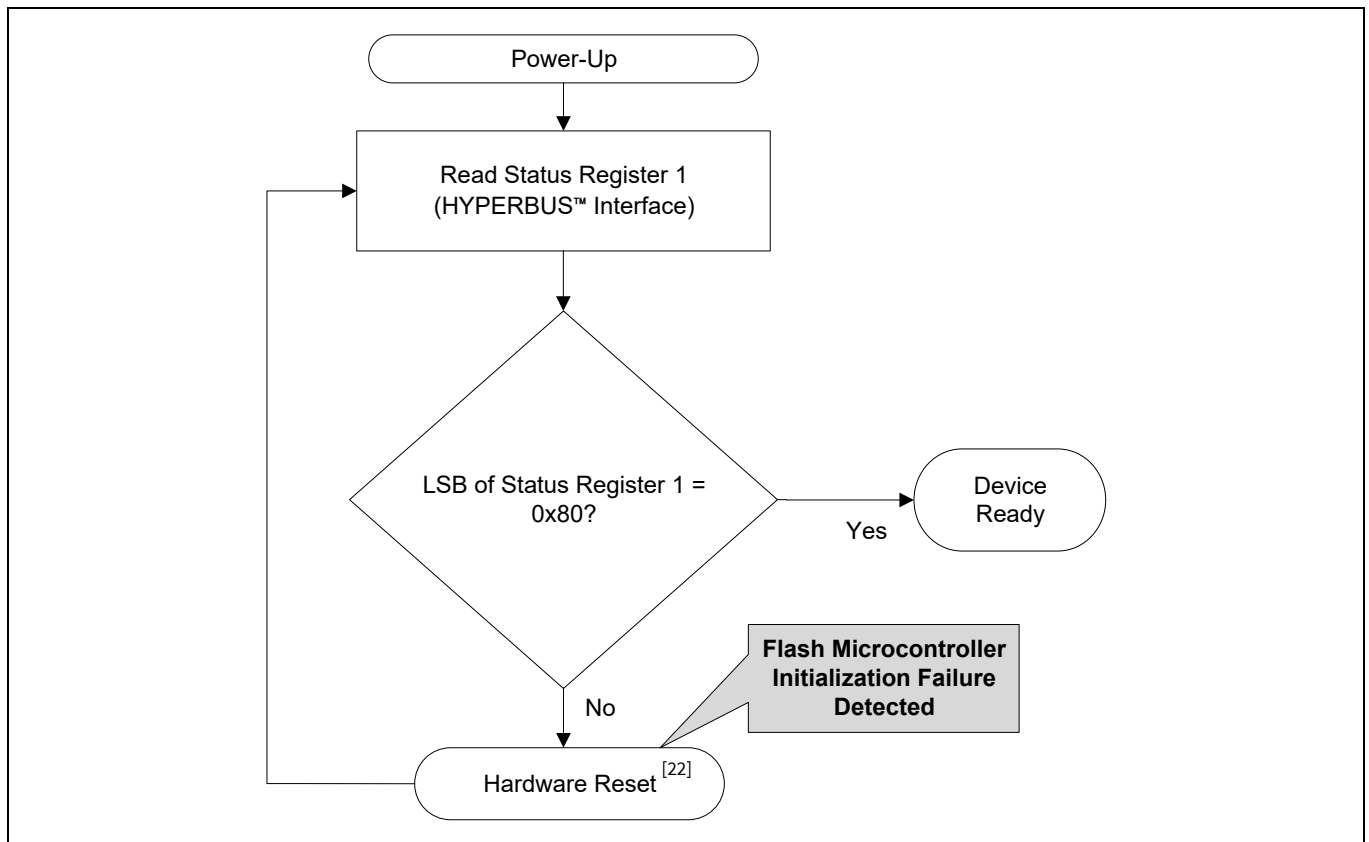


Figure 33 マイクロコントローラー初期化失敗検出用のホスト ポーリング シーケンス (x8 ブート オプション)

## 注

22. 仕様範囲内の  $V_{CC}$  で、ハードウェアリセットでは問題が解決しない場合、フラッシュ デバイスを交換してください。

## 機能

#### 4.6.3 コンフィギュレーション破損検出 (HYPERBUS™ インターフェース)

HYPERBUS™ インターフェースを介した不揮発性レジスタへの消去や書き込みなどのデバイス コンフィギュレーションの更新時に電力喪失が起こった場合やハードウェアリセットが行われた場合、レジスタ消去や書き込みトランザクションは中断されます。デバイスはスタンバイモードに戻りますが、組込みの消去や書き込み動作が完了前に終了されたため、不揮発性レジスタデータが破損された可能性が最も高いです。

HYPERBUS™ インターフェースに対応した SEMPER™ フラッシュは、電力喪失が起こった場合、または不揮発性コンフィギュレーションレジスタの消去中にハードウェアリセットが開始された場合、PRGERR (STRV[4]) ビットをセットします。そのため、不揮発性コンフィギュレーションレジスタ書き込みの前にステータスレジスタをポーリングすることが推奨されます。コンフィギュレーションの破損の検出時、デバイスは 20 サイクルの読み出しレイテンシをサポートします。

通常動作を開始する前に、不揮発性レジスタ書き込み動作後のデバイス コンフィギュレーションを確認することが推奨されます。レジスタ値が所望のコンフィギュレーションに一致しない場合、HYPERBUS™ インターフェースを介してコンフィギュレーションを再び書き込む必要があります。

#### 4.6.4 コンフィギュレーション破損検出 (x1 レガシー SPI)

レガシー SPI (1S-1S-1S) プロトコルを介した不揮発性レジスタへの書き込みなどのデバイス コンフィギュレーションの更新時に電力喪失が起こった場合やハードウェアリセットが行われた場合、レジスタ書き込みトランザクションは中断されます。デバイスはスタンバイモードに戻りますが、組込みの書き込み動作が完了前に終了されたため、不揮発性レジスタデータは破損する可能性が最も高いです。次回の電源投入時に、コンフィギュレーションの破損はステータスレジスタで示された適切な失敗フラグで検出され、コンフィギュレーションの再度書き込みが可能になります。デバイスは設定された保護スキームを維持します。

Table 36 に、コンフィギュレーション破損検出時のデバイスのステータスレジスタビットを示します。

**Table 36 ステータスレジスタ 1 コンフィギュレーション破損検出シグネチャ**

ビット	フィールド名	機能	検出シグネチャ
STR1V[7]	RESVRD	将来使用するために予約済み	0
STR1V[6]	PRGERR	プログラムエラー ステータスフラグ	1
STR1V[5]	ERSERR	消去エラー ステータスフラグ	0
STR1V[4]	RESVRD	将来使用するために予約済み	0
STR1V[3]			0
STR1V[2]			0
STR1V[1]	WRPGEN	書き込み / プログラムイネーブルステータスフラグ	0
STR1V[0]	RDYBSY	デバイスレディ / ビジー ステータスフラグ	1

**Table 37 コンフィギュレーション破損検出時のインターフェース コンフィギュレーション**

インターフェース	サポートされるトランザクション	アドレス (バイト数)	動作周波数	出力インピーダンス
レガシー (x1) SPI	すべての SPI トランザクション	4	最大	45Ω

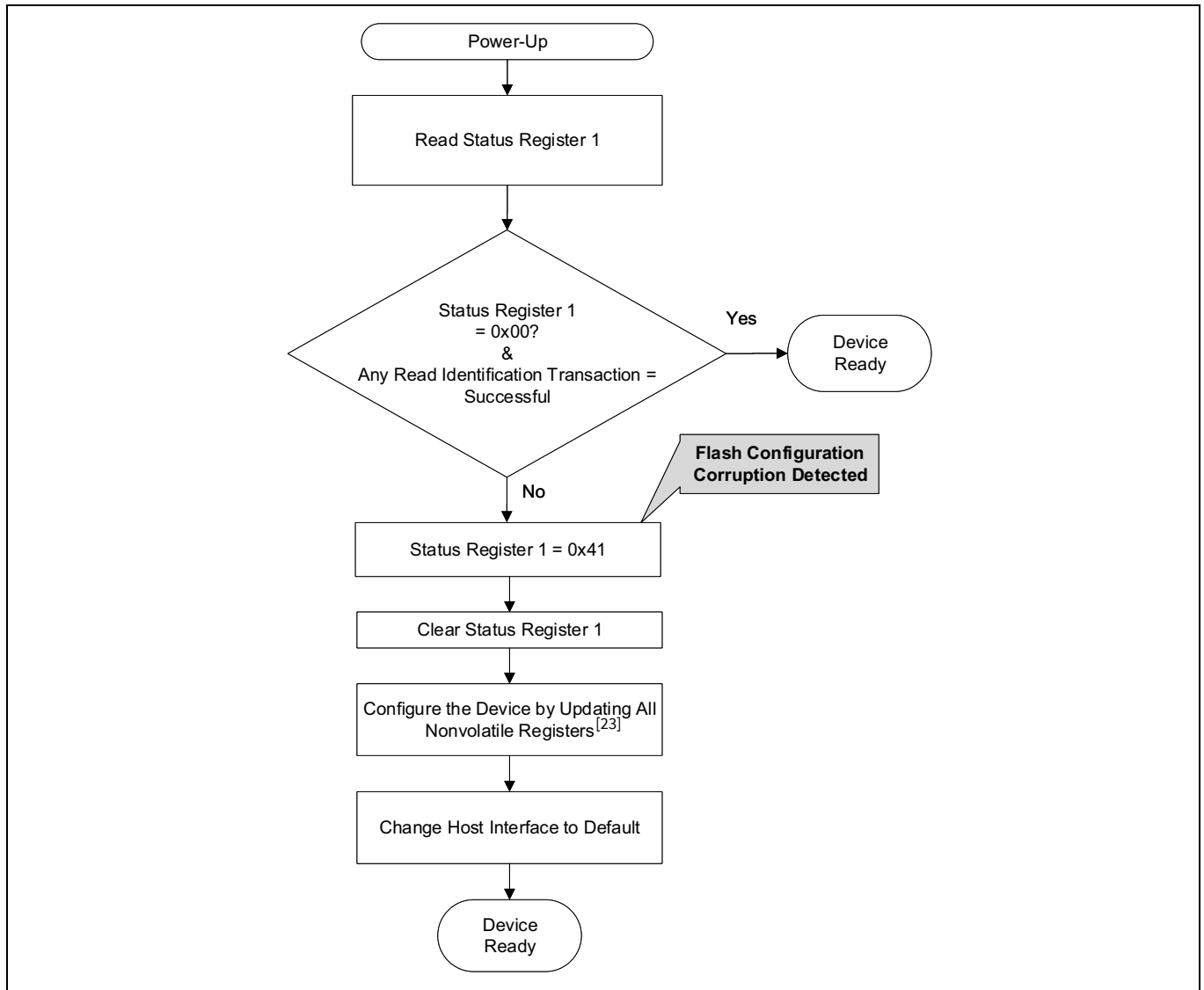


Figure 34 コンフィギュレーション破損検出用のホストポーリングシーケンス (x1 レガシー SPI)

#### 4.6.4.1 コンフィギュレーション破損検出関連レジスタ

Table 38 コンフィギュレーション破損検出関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
揮発性ステータスレジスタ 1 (STR1V)	すべての 1S-1S-1S トランザクション

注  
 23. 最初の任意レジスタ書き込みトランザクションが不揮発性ステータスレジスタまたはコンフィギュレーションレジスタを更新すると、残りのすべての不揮発性ステータスおよびコンフィギュレーションレジスタは事前定義された状態に戻ります (STR1N=0x00、CFR1N=0x00、CFR2N=0x00、CFR3N=0x00、CFR4N=0x00)。アドレスのバイト長とレイテンシを設定してから、残りのコンフィギュレーションを行うことでセーフブート回復動作を開始することを推奨します。

## 機能

## 4.7 オートブート

オートブート機能の使用では、電源投入またはハードウェアリセット後に読み出しトランザクション(アドレスを含む)を発行する必要なく、ホストは HL-T/HS-T ファミリのデバイスからデータを読み出せます。デバイスコンフィギュレーションに基づき、CS# が LOW にされ、CK がトグルすると、データはインターフェース I/O に出力されます。

読み出しデータの開始アドレスはオートブートレジスタ(ATBN[31:9] - STADR[22:0])で指定されます。開始アドレスはメモリ内のいかなる(512バイト)ページ境界の位置にあっても構いません。クロックサイクル数で表される開始遅延時間(ATBN[8:1] - STDLY[7:0])もオートブートレジスタで指定されます。遅延時間は、データが読み出される前に設定されます。遅延時間はホストの要件を満たすようにプログラムできますが、動作周波数に基づいたメモリアクセス時間を満たすために最小時間が必要です。オートブートの実行が成功または失敗した後、ステータスレジスタ1の値をチェックし、コンフィギュレーションの破損を検証することを強く推奨します(セーフブート)。

**注:** オートブートでは、ラップ機能を無効にしなければなりません。

**注:** 高度セクタ保護の一部として、オートブートはパスワード読み出し保護機能が有効になったときに無効にされます。パスワード読み出し保護機能が有効になったとき、オートブート(ATBN[0] - ATBTEN)を無効にすることを推奨します。

**注:** インターフェース CRC が有効になったオートブートには、少なくとも4データワードを読み出す必要があります。

**注:** 最初のオートブートアドレスを長期データ保持領域に割り当てることを強く推奨します。

### 4.7.1 HYPERBUS™ オートブート関連レジスタとトランザクション

Table 39 HYPERBUS™ オートブート関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
オートブートレジスタ(ATBN)	オートブートレジスタプログラム(PGNATB_2_1) - オートブート ASO
	オートブートレジスタ読み出し(RDATBN_1_0) - オートブート ASO
	オートブート HYPERBUS™ トランザクション

### 4.7.2 レガシー (x1) SPI オートブート関連レジスタとトランザクション

Table 40 レガシー (x1) SPI オートブート関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
オートブートレジスタ(ATBN)	任意レジスタ読み出し(RDARG_4_0)
	任意レジスタ書き込み(WRARG_C_1)
	オートブートトランザクション

## 4.8 読み出しトランザクション

HL-T/HS-T は次の異なる読み出しトランザクションに対応します。メモリ アレイ読み出し, デバイス ID 読み出し, レジスタ読み出し, セキュアシリコン読み出し, 保護 DVB ビットと PPB ビット読み出し。読み出しトランザクションは以下の 2 つのインターフェース / プロトコルのいずれも使用できます。

- SDR のレガシー (x1) SPI インターフェース
- DDR HYPERBUS™ インターフェース

読み出しトランザクションの特長は以下のとおりです。

- 読み出しトランザクションは、メモリ アレイにアクセスする時間を許可するためにコマンド / アドレスバイトの後に続いてレイテンシサイクルを必要とします (レガシー (x1) SPI プロトコルの RDAY1\_4\_0 と RDAY1\_C\_0 を除く)。
- HYPERBUS™ でのみ利用可能なデータ ストロープ (DS) は、読み出しデータと同時に変化する出力クロックであり、メモリ コントローラーがデータをキャプチャできるようにします (58 ページの [データ ストロープ \(DS\) - HYPERBUS™](#) を参照してください)。
- 読み出しトランザクションは、ラップ、ハイブリッド、およびリニアバーストのオプションがあります。

### 4.8.1 ID 読み出しトランザクション

固有 ID トランザクションは 3 つあり、それぞれはレガシー (x1) SPI と HYPERBUS™ の 2 つのプロトコルに対応します。

#### 4.8.1.1 デバイス ID 読み出しトランザクション

デバイス ID 読み出し (RDIDN\_0\_0、RDIDSF\_1\_1) トランザクションはメーカー ID とデバイス ID への読み出しアクセスを提供します。レガシー (x1) SPI モードはアドレスサイクルがありません。SPI モードでは、トランザクションは CFR3V[7:6] で設定されたレイテンシサイクルを使用して 166 MHz の最大クロック周波数を有効にします。同様に HYPERBUS™ モードでは、CFR1V[7:4] で設定されたレイテンシサイクルを使用して 166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータ キャプチャのために DS に対応します。

#### 4.8.1.2 SFDP 読み出しトランザクション

シリアルフラッシュ検出可能パラメータ読み出し (RSFDP\_3\_0、RDIDSF\_1\_1) トランザクションは JEDEC シリアルフラッシュ検出可能パラメータ (SFDP) へのアクセスを提供します。SPI モードでは、トランザクションは 3 バイト アドレスを使用します。0 以外のアドレスがセットされた場合、SFDP 空間内の選択された位置は読み出しデータの開始点です。これにより、SFDP 空間の任意のパラメータへランダムにアクセスできます。SFDP 読み出しトランザクションは、パスワードが与えられる前にはパスワード読み出し保護モードで無効です。SFDP 読み出しトランザクションの最大クロック周波数は、SPI モードでは 156 MHz、HYPERBUS™ モードでは 166 MHz (HL-T) または 200 MHz (HS-T) です。HYPERBUS™ モードはデータ キャプチャのために DS に対応します。

#### 4.8.1.3 固有 ID 読み出しトランザクション

固有 ID 読み出し (RDUID\_0\_0、RDIDSF\_1\_1) トランザクションはデバイス ID 読み出しトランザクションと同様ですが、デバイス独自の異なる 64 ビットの番号にアクセスします。固有 ID は工場出荷時にプログラムされます。

#### 4.8.1.4 HYPERBUS™ ID 読み出し関連レジスタとトランザクション

**Table 41** HYPERBUS™ ID 読み出し関連レジスタとトランザクション

関連レジスタ (94 ページの <a href="#">HYPERBUS™ レジスタ</a> を参照してください)	関連 HYPERBUS™ トランザクション ( <a href="#">Table 120</a> を参照してください)
HYPERBUS™ コンフィギュレーションレジスタ 1 (CFR1N, CFR1V)	ID/ 固有 ID/SFDP 読み出し (RDIDSF_1_1) - ID/ 固有 ID/SFDP ASO

## 機能

## 4.8.1.5 レガシー (x1) SPI ID 読み出し関連レジスタとトランザクション

Table 42 レガシー (x1) SPI ID 読み出し関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
SPI コンフィギュレーション レジスタ 3 (CFR3N, CFR3V)	ID 読み出し (RDIDN_0_0)

## 4.8.2 メモリ アレイ読み出しトランザクション

メモリ アレイ データは、任意のバイト境界で始まるメモリから読み出せます。データバイトは、ホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位バイト アドレスから上位バイト アドレスへ順次に読み出されます。バイト アドレスがメモリ アレイの最大アドレスに達すると、読み出しはアレイのゼロ アドレスで続きます。

## 4.8.2.1 読み出しトランザクション - HYPERBUS™

HYPERBUS™ 読み出しトランザクションは DDR プロトコルで最大データ スループットを実現します。このプロトコルはデータ キャプチャのために DS に対応します。リニア バースト長とラップ バースト長のオプションがあります。トランザクションは、CFR1V[7:4] で設定されたレイテンシ サイクルを使用して 166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。

## 4.8.2.2 読み出しおよび高速読み出しトランザクション - レガシー (x1) SPI

SPI 読み出しおよび高速読み出しトランザクションは、レガシー SPI との後方互換性を必要とするホストシステムのためにサポートされます。このプロトコルはデータ キャプチャのために DS に対応していません。リニアおよびラップの読み出し長のオプションがあります。読み出しトランザクションは 50 MHz の最大クロック周波数に対応しており、レイテンシ サイクルは必要ありません。高速読み出しトランザクションは、CFR2V[3:0] で設定されたレイテンシ サイクルを使用して 166 MHz の最大クロック周波数を有効にします。

## 4.8.2.3 HYPERBUS™ メモリ アレイ読み出し関連レジスタとトランザクション

Table 43 HYPERBUS™ メモリ アレイ読み出し関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
HYPERBUS™ コンフィギュレーション レジスタ 1 (CFR2N, CFR2V)	読み出し (RDMARY_1_0)

## 4.8.2.4 レガシー (x1) SPI メモリ アレイ読み出し関連レジスタとトランザクション

Table 44 レガシー (x1) SPI メモリ アレイ読み出し関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
SPI コンフィギュレーション レジスタ 2 (CFR2N, CFR2V)	読み出し (RDAY1_4_0, RDAY1_C_0)
SPI コンフィギュレーション レジスタ 4 (CFR4N, CFR4V)	高速読み出し (RDAY2_C_0)

## 4.8.3 レジスタ読み出しトランザクション

組込み動作の状態を報告するか、またはデバイス コンフィギュレーション オプションを制御するためのレジスタが複数あります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタの読み出しには、汎用と専用の 2 つのトランザクションタイプがあります。汎用 (任意レジスタ読み出し) トランザクションは、アドレス指定により不揮発性と揮発性のすべてのデバイス レジスタを読み出す方法を提供します。専用レジスタ読み出しトランザクションはレジスタごとに定義され、そのレジスタの内容のみを読み出します。レガシー (x1) SPI は両方のトランザクションタイプに対応しますが、HYPERBUS™ は専用トランザクションのみに対応します。

#### 4.8.3.1 コンフィギュレーションレジスタ読み出しトランザクション - HYPERBUS™

コンフィギュレーションレジスタ読み出し (RDVCR1\_4\_0, RDVCR2\_4\_0, RDNCR1\_4\_0, RDNCR2\_4\_0) トランザクションは揮発性と不揮発性の両方のデバイス コンフィギュレーションレジスタを読み出します。その後、CFR1V[7:4] で設定されたレイテンシ サイクル数が続き、HYPERBUS™ モードで 166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。このプロトコルはデータ キャプチャのために DS に対応します。

#### 4.8.3.2 任意レジスタ読み出し - レガシー (x1) SPI

任意レジスタ読み出し (RDARG\_4\_0) トランザクションは不揮発性と揮発性のすべてのデバイス レジスタを読み出す最良の方法です。トランザクションは読み出すレジスタのアドレスを含みます。その後、不揮発性レジスタの読み出しのために CFR2V[3:0]、揮発性レジスタの読み出しのために CFR3V[7:6] で設定されたレイテンシ サイクル数が続きます。そして、選択したレジスタの内容が返されます。読み出しアクセスが続くと、トランザクションが終了するまでレジスタ内容が返ります。各 RDARG\_4\_0 トランザクションで 1 バイトのレジスタ位置のみを読み出します。2 データ バイト以上のレジスタに対しては、各データ バイトを読み出すために RDARG\_4\_0 トランザクションは 2 番目以上のバイトのアドレスで繰り返す必要があります。

RDARG\_4\_0 トランザクションは SPI モードで 166 MHz の最大クロック周波数に対応します。

RDARG\_4\_0 トランザクションは、ステータスレジスタ 1 (STR1V) を読み出すために組み込み動作中に使用できます。ASP PPB アクセスレジスタ (PPAV) や ASP ダイナミック ブロック アクセスレジスタ (DYAV) などのレジスタを読み出すために使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。ASPR[2:0] をプログラムすることで ASP パスワード保護モードを選択した場合、RDARG\_4\_0 トランザクションは PASS レジスタ位置から無効なデータを読み出します。未定義の位置を読み出すと未定義のデータが返されます。

#### 4.8.3.3 ステータスレジスタ読み出しトランザクション

ステータスレジスタ読み出し (RDSR1\_0\_0, RDSR2\_0\_0, RDVSTR\_2\_0) トランザクションはレジスタの揮発性内容を読み出します。SPI モードはアドレス サイクルがありません。SPI トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166 MHz の最大クロック周波数を有効にします。HYPERBUS™ トランザクションは、揮発性レジスタを読み出すために CFR1V[7:4] で設定されたレイテンシ サイクルを使用し、166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータ キャプチャのために DS に対応します。

ステータスレジスタ (SPI - 揮発性のみ) の内容は、プログラム、消去、または書き込み動作の実行中にいつでも読み出せます。

SPI モードでは、8 の倍数のクロック サイクルを提供することでステータスレジスタを連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。

#### 4.8.3.4 ダイナミック保護ビット (DYB) アクセスレジスタ読み出しトランザクション

DYB アクセスレジスタ読み出し (RDDYB\_4\_0, RDVDYB\_1\_1) トランザクションは DYB アクセスレジスタの内容を読み出します。SPI トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166 MHz の最大クロック周波数を有効にします。HYPERBUS™ トランザクションは、揮発性レジスタを読み出すために CFR1V[7:4] で設定されたレイテンシ サイクルを使用し、166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータ キャプチャのために DS に対応します。アレイ全体に対して DYB アクセスレジスタを読み出すことはできません。各位置は別々の DYB 読み出しトランザクションで読み出さなければなりません。

#### 4.8.3.5 持続的保護ビット (PPB) アクセスレジスタ読み出しトランザクション

PPB アクセスレジスタ読み出し (RDPBB\_4\_0, RDNPPB\_1\_1) トランザクションは PPB アクセスレジスタの内容を読み出します。SPI トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシ サイクルを使用し、166 MHz の最大クロック周波数を有効にします。HYPERBUS™ トランザクションは、揮発性レジスタを読み出すために CFR1V[7:4] で設定されたレイテンシ サイクルを使用し、



## 機能

166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータキャプチャのために DS に対応します。アレイの全セクタに対して PPB アクセスレジスタを読み出すことはできません。各位置は別々の PPB 読み出しトランザクションで読み出さなければいけません。

#### 4.8.3.6 PPB ロック読み出しトランザクション

PPB ロックレジスタ読み出し (RDPLB\_0\_0, RDVPPL\_1\_1) トランザクションはグローバルな持続的保護ロックビットを読み出します。SPI モードはアドレスサイクルがありません。SPI トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシサイクルを使用し、166 MHz の最大クロック周波数を有効にします。HYPERBUS™ トランザクションは、揮発性レジスタを読み出すために CFR1V[7:4] で設定されたレイテンシサイクルを使用し、166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータキャプチャのために DS に対応します。

#### 4.8.3.7 ECC データユニットステータス読み出し

ECC データユニットステータス読み出し (RDECC\_4\_0, RDECST\_1\_1) トランザクションはアドレス指定したデータユニットの ECC ステータスを判定するために使用されます。アドレスの LSB は ECC データユニットに整列されなければいけません。SPI トランザクションは、揮発性レジスタを読み出すために CFR3V[7:6] で設定されたレイテンシサイクルを使用し、166 MHz の最大クロック周波数を有効にします。HYPERBUS™ トランザクションは、揮発性レジスタを読み出すために CFR1V[7:4] で設定されたレイテンシサイクルを使用し、166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータキャプチャのために DS に対応します。

SPI モードでは、デバイスは選択した ECC ユニットの ECC ステータスバイト内容を出力します。HYPERBUS™ モードでは、デバイスは選択した ECC ユニットの ECC ステータス内容をワードで出力します。次の ECC ユニットのステータスを読み出すには、次の ECC データユニットに整列されたアドレス (16 バイトのステップで増分する) で別の ECC データユニットステータス読み出しトランザクションを実行する必要があります。

#### 4.8.3.8 パワーオンリセット (POR) タイマー読み出しトランザクション - HYPERBUS™

パワーオンリセットタイマー読み出し (RDNPOR\_4\_0) トランザクションは POR タイマーレジスタの内容を読み出します。トランザクションは、CFR1V[7:4] で設定されたレイテンシサイクルを使用して 166 MHz (HL-T) または 200 MHz (HS-T) の最大クロック周波数を有効にします。HYPERBUS™ モードはデータキャプチャのために DS に対応します。POR タイマーレジスタは RSTO# ピンの機能を制御します。

#### 4.8.3.9 HYPERBUS™ レジスタ読み出し関連レジスタとトランザクション

Table 45 HYPERBUS™ レジスタ読み出し関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
HYPERBUS™ コンフィギュレーションレジスタ 1 (CFR1N, CFR1V)	ID/ 固有 ID/SFDP 読み出し (RDIDSF_1_1) - デバイス ID/ 固有 ID/SFDP ASO
	ステータスレジスタ読み出し (RDVSTR_2_0)
	揮発性コンフィギュレーションレジスタ 1 読み出し (RDVCR1_4_0) 揮発性コンフィギュレーションレジスタ 2 読み出し (RDVCR2_4_0)
	不揮発性コンフィギュレーションレジスタ 1 読み出し (RDNCR1_4_0) 不揮発性コンフィギュレーションレジスタ 2 読み出し (RDNCR2_4_0)
	不揮発性持続的保護ビット読み出し (RDNPBB_1_1)
	揮発性持続的保護ロック読み出し (RDVPPL_1_1)
	揮発性ダイナミック保護ビット読み出し (RDVDYB_1_1)
	エラー訂正 (ECC) ステータス読み出し (RDECST_1_1)
	不揮発性 POR タイマーレジスタ読み出し (RDNPOR_4_0)

## 機能

## 4.8.3.10 レガシー (x1) SPI レジスタ読み出し関連レジスタとトランザクション

Table 46 レガシー (x1) SPI レジスタ読み出し関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 125 を参照してください)
SPI コンフィギュレーションレジスタ 2 (CFR2N, CFR2V)	デバイス ID 読み出し (RDIDN_0_0)
SPI コンフィギュレーションレジスタ 3 (CFR3N, CFR3V)	SFDP 読み出し (RSFDP_3_0)

## 4.8.4 データ ストロープ (DS) - HYPERBUS™

より高いデータレートに対応するために、データ ストロープ信号 (DS) が DDR デバイスに追加されます。データ ストロープは、データ信号も駆動するデバイスによって駆動される非フリーラン信号です。基板レベルでは、ストロープ信号はデータ信号と同じ負荷を持ち、同様に配線される必要があります。読み出しトランザクションのデータ転送期間中に、データ ストロープ (DS) 信号はデバイスによって駆動され、IO データ信号と同時に遷移します。DS はその他のデータ出力と同じタイミング特性を持つ追加の出力信号として使用されますが、あらゆるデータビットが転送されることで遷移が保証されます。マスターは DS 信号の遷移を受信し、内部的に位相シフトすることで、それぞれの転送されたデータビットをキャプチャするための内部読み出しデータ クロックとして使用できます。

DS の動作は以下のとおりです。

- 有効なデータが利用可能になると、DS は遷移し始めます。
- CS# が LOW であり、CK/CK# がトグルしている限り、DS はトグルし続けます。このルールの例外は以下のとおりです。
  - ページ境界越えのレイテンシ
  - データのハーフページの読み出し時に ECC エラーを検出したときの DS ストール

## 4.8.5 バースト タイプ

デバイスは読み出しトランザクションで 3 つのバースト タイプに対応します。

- リニア バースト
- ラップ バースト
- ハイブリッド バースト - HYPERBUS™

リニア バーストは選択した位置から始まり、シーケンシャルにデータを出力します (メモリアレイ全体を読み出し可能)。

ラップバースト アクセスは、選択した位置から始まり、設定した位置数までグループラップシーケンスで続きます。

Table 47 バーストシーケンスの例

CFR1x [1:0]	CA[45]	ラップ境界 (バイト)	開始アドレス (16 進)	アドレスシーケンス (16 進) (ワード)
XX	1	リニア	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
10	0	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
10	0	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
11	0	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
11	0	32	XXXXXX1E	1E, 1F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, ...
01	0	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
01	0	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...





Table 48. 例 1: 64 バイト ラップバースト アドレス シーケンス (レイテンシコード =16) (2/2)

ターゲット アドレス	クロック サイクル																																																							
	0	1	2	3	...	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56											
	レイテンシ カウント																																																							

凡例:

X=DSがトグルしていないバス上のアイドル期間を示します。

- =64バイトのラップバーストが完了したことを示します。



Table 50 例 3: 64 バイトラップバーストアドレスシーケンス (レイテンシコード =20) (1/2)

ターゲット アドレス	CS# が LOW になった後のクロック サイクル																																																
	0	1	2	3	...	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49															
0	CA0	CA1	CA2	バス ターンアラ ウンド + 初期レイテンシ	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																	
1					D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																	
2					D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																		
3					D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																			
4					D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																				
5					D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																				
6					D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																					
7					D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	X	D16	D17	D18	D19	D20	D21	D22	D23																					
8					D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																	
9					D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																	
10					D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																		
11					D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																			
12					D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																			
13					D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																			
14					D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																				
15					D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	D31																					
16					D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																	
17					D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																	
18					D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																		
19					D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																			
20					D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																			
21					D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																			
22					D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																				
23					D23	D24	D25	D26	D27	D28	D29	D30	D31	X	X	X	X	X	X	X	X	D32	D33	D34	D35	D36	D37	D38	D39																				
24					D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47																	
25					D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47																	
26					D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47																		
27					D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47																			

**Table 50** 例 3: 64 バイト ラップ バースト アドレス シーケンス (レイテンシ コード =20) (2/2)

ターゲット アドレス	CS# が LOW になった後のクロック サイクル																																	
	0	1	2	3	...	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49
28	CA0	CA1	CA2	バス ターンアラ ウンド+初期レ イテンシ		D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
29					D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
30					D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
31					D31	D32	D33	D34	D35	D36	D37	D38	D39	X	X	X	X	X	X	X	X	X	X	X	X	X	D40	D41	D42	D43	D44	D45	D46	D47
	-	-	1	2	...	20	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
レイテンシ カウント																																		

凡例：  
 X=DS がトグルしていないバス上のアイドル期間を示します。  
 -=64 バイトのラップ バーストが完了したことを示します。

ページの境界を越えるときのレイテンシを計算するために、以下の式を使用します。

```
if ((PS - LTCY) < ADDR & (SP - 1))
{
    ((ADDR & (SP - 1)) - PS + LTCY)
}
else
{0}
```

ここで、  
 PS= ページ サイズ =16 ワード  
 SP= サブページ サイズ =8 ワード  
 LTCY= レイテンシ  
 ADDR = ターゲット アドレス

ハイブリッド バーストは 1 つのラップ バーストとそれに続くリニアバーストを組み合わせます。ハイブリッド バーストは最初に、ラップ バースト長グループの対象アドレス内で一回ラップしてから、そのラップ バースト長グループの終了アドレスを越えたデータのリニアバーストに切り替えます。ハイブリッド バーストは 16 バイトと 32 バイトバースト長グループに対応しますが、64 バイトには対応しません。

## 機能

以下は 32 バイトと 16 バイトのハイブリッドバースト読み出しのバーストシーケンスの例です。

1. 32 バイトの例 (32 バイト境界内でラップしてからリニアバーストに切り替える)
  - a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11
  - b. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11
2. 16 バイトの例 (16 バイト境界内でラップしてからリニアバーストに切り替える)
  - a. 06-07-00-01-02-03-04-05-08-09
  - b. 03-04-05-06-07-00-01-02-08-09

## 4.9 書き込みトランザクション - レガシー (x1) SPI

レジスタに書き込むために書き込みトランザクションがあります。

### 4.9.1 書き込みイネーブルトランザクション

書き込みイネーブル (WRENB\_0\_0) トランザクションは、ステータスレジスタ 1 の書き込み / プログラムイネーブルステータスビット WRPGEN (STR1V[1]) を「1」にセットします。書き込み、プログラムおよび消去トランザクションを有効にするためには、WRPGEN ビットは書き込みイネーブル (WRENB\_0\_0) トランザクションを発行することで「1」にセットされます。

### 4.9.2 書き込みディセーブルトランザクション

書き込みディセーブル (WRDIS\_0\_0) トランザクションはステータスレジスタ 1 の書き込み / プログラムイネーブルステータスビット WRPGEN (STR1V[1]) を「0」にクリアします。

実行用に WRPGEN を「1」にセットすることを必要とするコマンドを無効にするために、WRPGEN は書き込みディセーブル (WRDIS\_0\_0) を発行することで「0」にクリアされます。メモリの内容を破壊する可能性がある不注意な書き込み、プログラム、消去からメモリ領域を保護するために、ユーザーは WRDIS\_0\_0 トランザクションを使用します。組込み動作中に RDYBSY ビット (STR1V[0])=1 のとき、WRDIS\_0\_0 トランザクションは無視されます。

### 4.9.3 プログラムおよび消去失敗フラグクリアトランザクション

プログラムおよび消去失敗フラグクリア (CLPEF\_0\_0) トランザクションは、STR1V[5] ビット (エラーフラグ消去) と STR1V[6] ビット (エラーフラグプログラム) を「0」にリセットします。いずれかのエラービットがセットされたときデバイスはビジーの状態を維持するため、RDYBSY が「1」にセットされたときデバイスがビジーの状態であっても、ステータスレジスタクリアコマンドは受け入れられます。WRPGEN ビットはこのコマンドの実行後も変化しません。

### 4.9.4 ECC ステータスレジスタクリアトランザクション

ECC ステータスレジスタクリア (CLECC\_0\_0) トランザクションは ECSV[4] ビット (2 ビット ECC 検出)、ECSV[3] ビット (1 ビット ECC 訂正)、INSV[1:0] の ECC 検出ステータスビット、アドレストラップレジスタ EATV[31:0] および ECC 検出カウンター ECTV[15:0] をリセットします。このトランザクションの実行前に WRPGEN ビットをセットする必要はありません。いずれかのエラービットがセットされたときデバイスはビジーの状態を維持するため、WRPGEN が「1」にセットされてデバイスがビジーの状態であっても、ECC ステータスレジスタクリアトランザクションは受け入れられます。

WRPGEN ビットはこのコマンドの実行後も変化しません。



#### 4.9.5 任意レジスタ書き込みトランザクション

任意レジスタ書き込み (WRARG\_C\_1) トランザクションは不揮発性と揮発性のすべてのデバイスレジスタに書き込む方法を提供します。トランザクションは、書き込むレジスタのアドレスと、それに続いてアドレス指定したレジスタに書き込む 1 データバイトを含みます。

デバイスが WRARG\_C\_1 トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行して復号する必要があります。これにより、ステータスレジスタの書き込み / プログラムイネーブルビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。動作完了を判定するために、RDYDSY ビット (STR1V[0]) がチェックされます。動作中にエラーが発生したかどうかを判定するために、PRGERR と ERSERR ビット (STR1V[6:5]) がチェックされます。

いくつかのレジスタには、混合したビットタイプおよびどのビットを修正するかを制御する個別のルールを持つものがあります。ビットには読み出し専用、OTP、予約済み (DNU) のタイプがあります。

読み出し専用ビットは変更できず、WRARG\_C\_1 トランザクションデータバイト内の対応するビットは、プログラム / 消去エラーの表示 (STR1V[6:5] の PRGERR または ERSERR) をセットせずに無視されます。したがって、WRARG\_C\_1 データバイト内のこれらのビット値は関係ありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRARG\_C\_1 データで変更された不揮発性ビットを更新するには不揮発性レジスタ書き込み時間 ( $t_w$ ) を要します。更新プロセスは不揮発性レジスタビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、対応するエラービットおよび STR1V の RDYBSY ビットは「1」にセットされます。

レジスタ書き込みが完了 / 失敗したタイミングを判定するために、ステータスレジスタ 1 を繰り返し読み出して (ポーリングして) RDYBSY ビット (STR1V[0]) とエラービット (STR1V[6, 5]) を監視します。書き込みが失敗した場合、CLPEF\_0\_0 トランザクションを使用してエラーステータスをクリアし、デバイスをスタンバイ状態に復帰させられます。

ASP PPB ロックレジスタ (PPLV) は WRARG\_C\_1 トランザクションで書き込めません。PPLV レジスタに書き込めるのは PPB ロックビット書き込み (WRPLB\_0\_0) トランザクションのみです。

データ整合性チェックレジスタは WRARG\_C\_1 トランザクションで書き込めません。データ整合性チェックレジスタはデータ整合性チェックトランザクション (DICLK\_4\_1) を実行することでロードされます。

#### 4.9.6 PPB ロックビット書き込み

PPB ロックビット書き込み (WRPLB\_0\_0) トランザクションは PPB ロックレジスタの PPLV[0] を「0」にクリアします。PPBLCK ビットは PPB ビットを保護するために使用されます。PPLV[0]=0 のとき、PPB プログラム / 消去トランザクションは中止されます。パスワード読み出し保護モードでは、パスワードが供給されるまで、ブートコードを格納している 1 セクタにアドレス範囲を制限することでアドレスの上位ビットを制御するために、PPBLCK ビットを使用できます。

デバイスは WRPLB\_0\_0 トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行して復号する必要があります。これにより、ステータスレジスタ 1 の書き込み / プログラムイネーブルビット (WRPGEN) がセットされ、いかなる書き込み動作も可能になります。

動作の進行中に、ステータスレジスタを読み出して RDYBSY ビット値を確認することはまだ可能です。WRPGEN ビットはセルフタイム動作の間で「1」に、その動作が完了すると「0」になります。PPB ロック書き込みトランザクションが完了すると、RDYBSY ビットは「0」にセットされます。

#### 4.9.7 4 バイトアドレスモード開始

4 バイトアドレスモード開始 (EN4BA\_0\_0) トランザクションは、揮発性アドレス長ビット (CR2V[7]) を 1 に設定することで、ほとんどの 3 バイトアドレスのコマンドを 4 バイトのアドレスを必要とするように変更します。SFDP 読み出し (RSFDP\_3\_0) トランザクションについては、アドレス長ビットの影響を受けません。RSFDP\_3\_0 は、JEDEC JESD216 規格では常に、3 バイトのアドレスのみです。

POR、ハードウェア、またはソフトウェアのリセットにより、不揮発性のアドレス長ビット (CR2N[7]) の定義に従ってアドレス長が設定します。

## 機能

#### 4.9.8 4 バイト アドレス モード 終了

4 バイト アドレス モード 終了 (EX4BA\_0\_0) コマンドは、揮発性アドレス長ビット (CR2V[7]) を 0 に設定して、ほとんどの 3 バイト アドレス コマンドを 3 バイトのアドレスを必要とするように変更します。このコマンドは、引き続き 4 バイトのアドレスを期待する 4 バイトのみのコマンドには影響しません。

#### 4.9.9 レガシー (x1) SPI 書き込みトランザクション関連レジスタとトランザクション

**Table 51** レガシー (x1) SPI 書き込みトランザクション関連レジスタとトランザクション

(111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
ステータスレジスタ 1 (STR1N, STR1V)	書き込みイネーブル (WRENB_0_0)
アドレストラップレジスタ (EATV)	任意レジスタ書き込み (WRARG_C_1)
ECC 検出カウンター (ECTV)	PPB ロックビット書き込み (WRPLB_0_0)
コンフィギュレーションレジスタ 2 (CFR2V)	4 バイトアドレスモード開始 (EN4BA_0_0), 4 バイトアドレスモード終了 (EX4BA_0_0)

### 4.10 プログラム

デバイスにデータをプログラムするためにプログラムトランザクションがあります。プログラムトランザクションは 2 つのプロトコルのいずれも使用できます。

- DDR の HYPERBUS™ インターフェース: レジスタ, メモリアレイ, SSR, 持続的保護ビット, ダイナミック保護ビット, ECC ステータスクリア, および PPB ロッククリアビットをプログラムします。
- SDR のレガシー (x1) SPI インターフェース: メモリアレイ, SSR, および持続的保護ビットをプログラムします。

#### 4.10.1 HYPERBUS™

##### 4.10.1.1 ワード プログラム

ワードプログラムは、フラッシュ メモリ アレイ内の任意の場所に単一ワードやワードグループをプログラムするために使用されます。

ワードプログラムのコマンドシーケンスは少なくとも 4 つのコマンド書き込みトランザクションを要します。プログラムコマンドシーケンスは、2 つのロック解除コマンド書き込みトランザクション (トランザクション 1 と 2) と、それに続くプログラム設定コマンド (トランザクション 3) を発行することで始まります。次に、プログラムアドレスとデータが書き込まれ (トランザクション 4)、これにより、組込みプログラムアルゴリズムが開始されます。システムは、さらに制御やタイミングを提供する必要はありません。デバイスは自動的にプログラムパルスを生成し、内部でプログラムされたセルのマージンを検証します。組込みプログラムアルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。

4 つのトランザクションから成るワードプログラムコマンドシーケンスは単一の (16 ビット) ワード (2 バイト) のプログラムに使用されます。バースト書き込み機能を使用することで、複数のシーケンシャルワードをワードプログラムシーケンスでプログラムできます。ロック解除およびプログラムのコマンドシーケンスは単一ワードプログラムシーケンスと同じですが、データ / アドレストラップトランザクション中に、1 回の CS# アサートで多くのシーケンシャルデータ値がロードされます。与えられたデータは、バースト書き込みトランザクションのコマンド / アドレスフェーズで指定した対象のアドレスから始まるシーケンシャルアドレスにプログラムされます。整列される 256 ワード (512 バイト) アドレス境界を越えない限り、最大 256 ワード (512 バイト) をプログラムできます。

システムは、ステータスレジスタを読み出してプログラム動作のステータスを調べられます (81 ページの [エラータイプと報告 - HYPERBUS™](#) を参照してください)。

組込みプログラムアルゴリズムの実行中にデバイスに書き込まれるプログラム一時停止とステータスレジスタ読み出し以外のコマンドはすべて無視されます。

ハードウェアリセット (RESET#=V<sub>IL</sub>) や電力喪失のため、プログラム動作が直ちに終了し、t<sub>RPH</sub> 時間後にデバイスが読み出しモードに戻ることに注意してください。動作終了では、プログラム中の領域は、データ値が無効か不安定である中間的な状態になる場合があります。データが完全にプログラムされる

## 機能

ために、デバイスのハードウェアリセット動作が完了すると、プログラムコマンドシーケンスは同様のデータで再度開始しプログラム動作を完成できます。ただし、最高のデータ整合性を保証するためには、プログラム動作が終了したセクタは消去し再プログラムする必要があります。

ワードプログラムコマンドは、SSRASOに入ったときにも使用できます。

書き込みロック解除サイクルなしの修正済みワードプログラムコマンドは、高度セクタ保護、パスワード、PPBASOに入ったときのプログラムに使用されます。PPBロックとDYBASOに入ったときに揮発性ビットを変更するためにも使用されます。

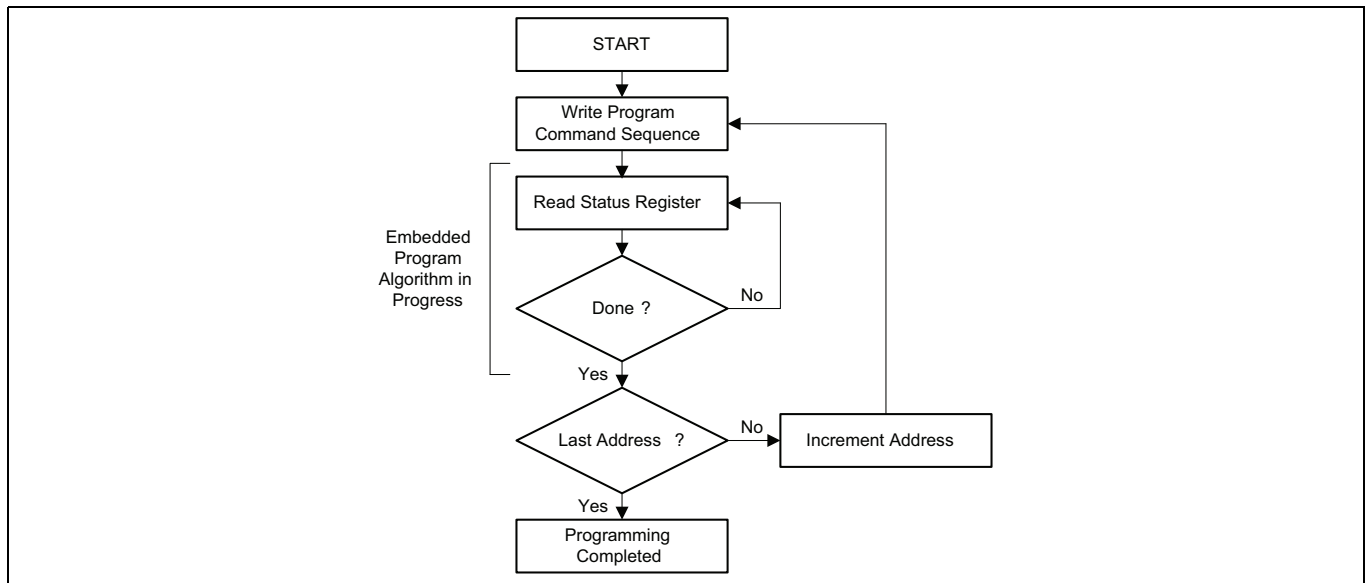


Figure 35 ワードプログラム動作

#### 4.10.1.2 書き込みバッファプログラム

書き込みバッファは、512 バイトの境界 (ライン) に整列された 512 バイトのアドレス範囲にデータをプログラムするために使用されます。このように、完全な書き込みバッファプログラム動作はライン境界に整列される必要があります。512 バイト未満のプログラム動作は、いかなるワード境界でも開始できますが、ライン境界を越えることはできません。書き込みバッファプログラム動作の開始時に、バッファ内のすべてのビット位置は 1 (FFFFh ワード) であるため、ロードされない位置には既存のデータが保持されます。アドレスマップについては、19 ページの[アドレス空間マップ](#)を参照してください。

書き込みバッファプログラムでは、1 回の動作で最大 512 バイトのプログラムができます。1 ビットから最大 512 バイトまでを、1 回の書き込みバッファプログラム動作でプログラムできます。複数の 16 バイト ハーフページに書き込み、各ハーフページは 1 回だけ書き込むことを強く推奨します。最高のパフォーマンスを得るには、512 バイト境界に整列された 512 バイト整列ライン全体でプログラムする必要があります。

書き込みバッファプログラムはフラッシュメモリ アレイまたは SSRASO でのみサポートされます。

書き込みバッファプログラム動作は、最初に 2 つのロック解除サイクルの書き込みを行うことで開始します。その後、プログラムが行われるセクタアドレス (SA) で、バッファ書き込みコマンドの 3 番目の書き込みサイクルが続きます。次に、システムは [ワード位置 -1] の値を書き込みます。これにより、デバイスはデータをロードする書き込みバッファアドレス数が分かり、したがって、バッファからフラッシュへのプログラムの確認コマンドの実行タイミングが分かります。バッファ書き込みコマンドとワードカウント書き込みコマンド内のセクタアドレスは一致しなければなりません。プログラム対象のセクタはロック解除 (非保護) である必要があります。プログラム動作をロックされたセクタに対して行おうとすると、動作は中止され、失敗がステータスレジスタに示されます。

その後、システムは開始アドレスとデータワードを書き込みます。開始アドレスはプログラムされる最初のアドレスとデータのペアで、書き込みバッファライン内の開始アドレスを選択します。セクタアドレスは、バッファ書き込みコマンドのセクタアドレスと一致する必要があります。そうでない場合は、動作が中断され、開始状態に戻ります。それ以降のシングルワードのアドレスとデータのペアはす

## 機能

べて順次に書き込む必要があります。すべての書き込みバッファアドレスは同じライン内にある必要があります。システムがこの範囲外のデータをロードしようとする、動作は中止され、開始状態に戻ります。

ワードカウンタは、データワードがロードされるたびにデクリメントします。データ書き込みをカウントダウンする際、毎回の書き込みは、データが書き込みバッファにロードされると見なされることに注意してください。書き込みバッファロード中は、すべてのコマンドが実行不可能です。書き込みバッファのロードを停止する唯一の方法は、プログラム動作のライン外にあるアドレスに書き込むことです。無効なアドレスを受け取ると、バッファ書き込みコマンドシーケンスは直ちに中止され、バッファ書き込み中止ステータスビット (WRBFAB - STRV[3]) がセットされます。

書き込みバッファ位置の指定した数のロードが完了した後、システムはセクタアドレスに、バッファからフラッシュへのプログラムコマンドを書き込まなければなりません。デバイスはその後ビジー状態になります。組込みプログラムアルゴリズムはデータを自動的にプログラムし、データパターンが正しいかを検証します。システムは、これらの動作中に制御やタイミングを提供する必要はありません。書き込みバッファ位置の不正な数がロードされた場合、動作は中止され、開始状態に戻ります。ワードカウンタで指定されたデータワード数の最後にバッファからフラッシュへのプログラムコマンドが書き込まれず、別のコマンドやデータが書き込まれると、動作は中止されます。

書き込みバッファの組込みプログラム動作は、プログラム中止コマンドにより中止できます。組込みプログラムアルゴリズムが完了すると、EAC は、プログラム動作が開始されたときの EAC スタンバイまたは消去一時停止スタンバイの状態に戻ります。

システムは、ステータスレジスタを使用してプログラム動作のステータスを調べられます。プログラム動作図については、[Figure 36](#) を参照してください。

書き込みバッファプログラムシーケンスは、以下の条件で中止されます。

- バッファサイズ (255) を超えたワードカウント値をロードします。
- バッファ書き込みコマンドで指定したライン外にあるアドレスに書き込みます。
- ワードカウント書き込みで指定したデータワード数がロードされた後にバッファからフラッシュへのプログラムコマンドが発行されません。

バッファ書き込みコマンドの強制終了を引き起こす何らかの条件が発生すると、動作は直ちに中止し、ステータスレジスタのビット位置 4 (PRGERR=1 - STRV[4]) に、バッファ書き込み中止のビット位置 3 (WRBFAB=1 - STRV[3]) によるプログラム失敗が報告されます。バッファ書き込み中止リセットコマンドまたはステータスレジスタクリアコマンドで、失敗ステータスをクリアします。

書き込みバッファプログラムシーケンスは、ハードウェアリセットまたはパワーサイクルにより終了させられます。しかしいずれかの方法の使用は、プログラムする領域が無効や不安定なデータ値のある中間的な状態になってしまう場合があります。この場合、データ値が正しくプログラム/消去されるためには、同じデータで同じ領域を再プログラム/消去する必要があります。最高のデータ整合性を確実にするために、プログラム動作が終了したセクタを消去し再プログラムする必要があります。

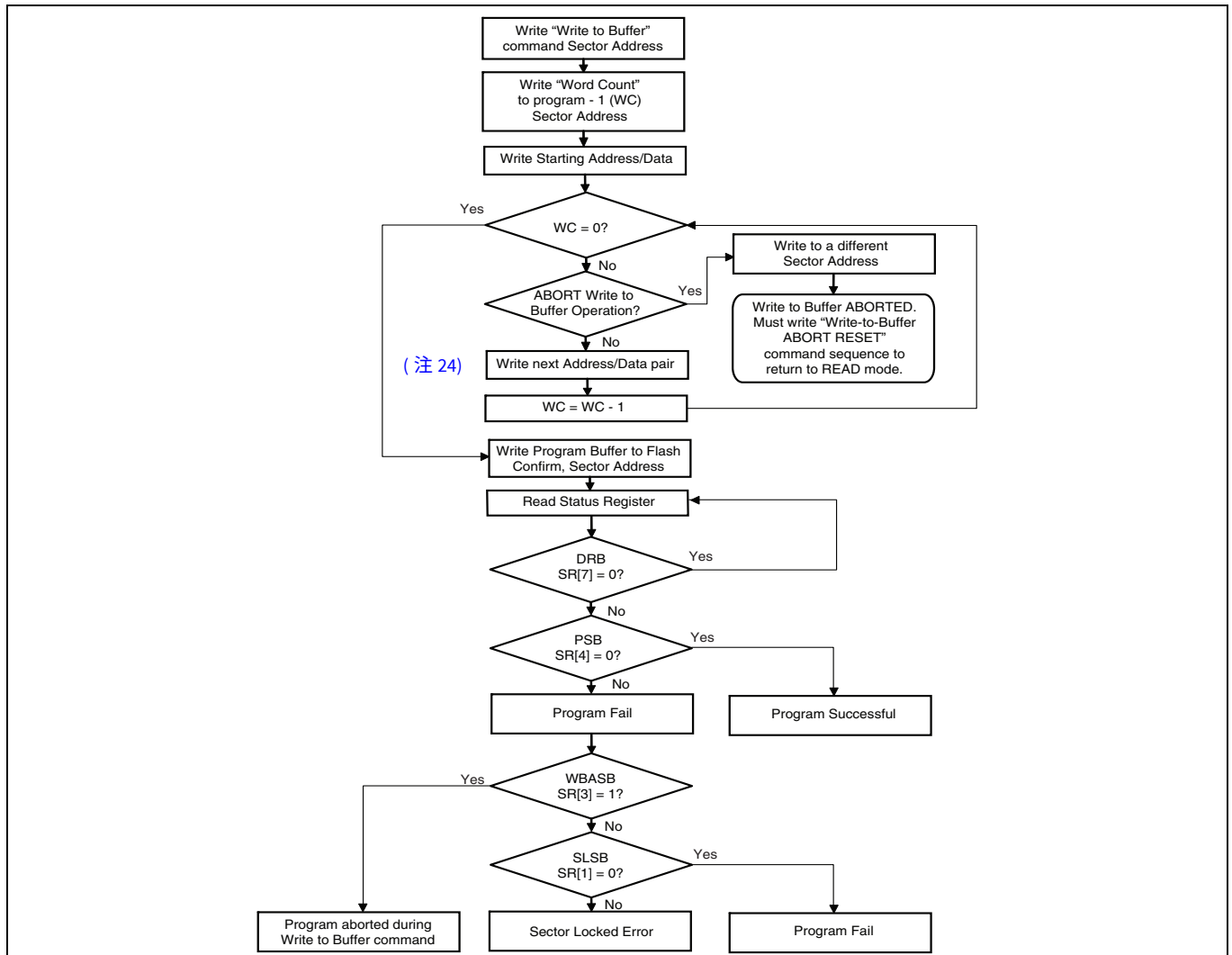


Figure 36 ステータスレジスタでの書き込みバッファプログラム動作

### 4.10.1.3 プログラム粒度

S26HS-T/S26HL-T は、ワードプログラムと書き込みバッファプログラムの2つのプログラム方式をサポートします。

ワードプログラムは、コマンドによって提供されたデータワードを診断し、コマンドのデータワードの「0」と一致させるようにアドレス指定したメモリアレイのワードに「0」をプログラムします。

書き込みバッファプログラムは、書き込みバッファを診断し、書き込みバッファの「0」と一致させるようにアドレス指定したメモリアレイのラインに「0」をプログラムします。なお、書き込みバッファをデータで完全に満たす必要はありません。単一ビット、複数ビット、単一ワード、複数ワード、1ハーフページ、複数ハーフページ、またはバッファ全体を1回のプログラム動作でプログラムできます。書き込みバッファ方式を使用すると、プログラムコマンドを書き込む時のホストシステムのオーバーヘッドが削減され、プログラム動作時のメモリデバイスの内部オーバーヘッドが削減されるため、書き込みバッファプログラムはより効率的になり、ワードプログラムコマンドによって個別ワードをプログラムする方式よりプログラム時間が短縮されます。

各ハーフページはどちらかの方式でプログラムできます。異なる方式でプログラムされたハーフページは同じラインに混在する場合があります。異なる方式でプログラムされたページは、産業用温度バー

注  
24. 書き込みバッファプログラムに必要なコマンドシーケンスについては、Table 120を参照してください。  
25. セクタアドレスが指定されたとき、指定されたセクタのいずれのアドレスも有効になります。ただし、書き込みバッファアドレス位置にデータをロードする際、すべてのアドレスは選択されたライン内に収める必要があります。

## 機能

ジョン (-40°C ~ +85°C) では、同じラインに混在する場合があります。産業用プラスバージョン (-40°C ~ +105°C)、車載用 AEC-Q100 グレード 1 (-40°C ~ +125°C)、グレード 2 (-40°C ~ +105°C) とグレード 3 (-40°C ~ +85°C) のバージョンでは、デバイスは消去動作と消去動作の間にページごとに 1 回だけのプログラム動作をサポートします。また、シングルワードプログラムコマンドをサポートしません。

HALF ページで 2 回以上のワードプログラムと書き込みバッファプログラムはレガシーソフトウェア互換性に対応します。しかし、 HALF ページで消去無しでワードプログラムまたは書き込みバッファプログラムを 2 回以上実行すると、その HALF ページに対するデバイスの ECC 機能が無効になります。同じ HALF ページで複数回のプログラム動作を必要とするアプリケーションでは、 HALF ページのデータ整合性を強化するためにシステムソフトウェアのエラー検出と訂正機能を追加することを推奨します。2 ビット ECC が有効な場合、同じページに対する複数回のワードプログラムまたは書き込みバッファプログラムはプログラムエラーとなります。

次世代のシリコンプロセスの HYPERFLASH™ では、 HALF ページを含むセクタで消去動作を実行せずに同じ HALF ページでの複数回のプログラム動作に対応しなくなる可能性があります。次世代へのソフトウェアマイグレーション計画として、 HALF ページごと 1 回の消去動作ごとに単一のプログラム動作のみに対応するデータ構造とデータ管理方式を採用する必要があります。

#### 4.10.1.4 増分プログラム

同じワード位置または同じ HALF ページでは、ワードプログラムまたは書き込みバッファプログラム方式のいずれによっても、1 から 0 へ増分的に変更するために 1 回以上のプログラムが可能です。しかし 69 ページの [プログラム粒度](#) で説明したように、増分プログラムは ECC シンドロームビットに影響し、デバイスはその HALF ページに対する ECC を無効にします。

2 ビット ECC が有効な場合、同じページに対する増分的なワードプログラムまたは書き込みバッファプログラムはプログラムエラーとなります。

#### 4.10.1.5 レジスタプログラムトランザクション

レジスタプログラム (PRNPOR\_4\_0, PGVINC\_4\_0, PGVINS\_4\_0, PGVCR1\_4\_0, PGVCR2\_4\_0, PGNCR1\_4\_0, PGNCR2\_4\_0, PGOASP\_2\_1, PGNPWD\_2\_1, PGNATB\_2\_1, PGOENX\_2\_1) トランザクションは不揮発性と揮発性のすべてのデバイスレジスタをプログラムする方法を提供します。トランザクションには、ロック解除サイクルとそれに続く 1 つの書き込みデータワードが含まれます。

#### 4.10.1.6 SSR プログラムトランザクション

セキュアシリコンプログラム (PG\_SSR\_4\_1) トランザクションは、メインアレイから独立した異なるアドレス空間かつ OTP である SSR にデータをプログラムします。SSR は 1024 バイトであるため、このトランザクションでは A31 ~ A10 のアドレスビットは「0」でなければなりません。

PRGERR ビット (STRV[4]) を確認することで、動作中にエラーが発生したかを判定できます。

#### 4.10.1.7 ダイナミック保護ビット (DYB) セット

ダイナミック保護ビットセット (STVDYB\_2\_1) トランザクションは DYB レジスタのビットをセットし、アドレス指定したセクタをプログラムや消去から保護します。

#### 4.10.1.8 持続的保護ビット (PPB) プログラム

持続的保護ビットプログラム (PGNPPB\_2\_1) トランザクションは PPB レジスタのビットをプログラムし、アドレス指定したセクタをプログラムや消去から保護します。

PRGERR ビット (STRV[4]) を確認することで、動作中にエラーが発生したかを判定できます。PPBLCK ビット (PPLV[0]) によって保護された PPB ビットをプログラムしようとする、PPB ビットプログラムトランザクションは中止します。

#### 4.10.1.9 ECC ステータスレジスタクリアトランザクション

ECC ステータスレジスタクリア (CLRECC\_1\_1) トランザクションは ECSV[4] ビット (2 ビット ECC 検出)、ECSV[3] ビット (1 ビット ECC 訂正)、INSV[1:0] の ECC 検出ステータスビットをリセットします。

#### 4.10.1.10 PPB ロックビット クリア

PPB ロックビット クリア (CLVPPL\_2\_1) トランザクションは PPB ロックレジスタの PPLV[0] を「0」にクリアします。PPBLCK ビットは PPB ビットを保護するために使用されます。PPLV[0]=0 のとき、PPB プログラム / 消去トランザクションは中止されます。

#### 4.10.2 レガシー (x1) SPI

SPI では、デバイスはプログラム トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行する必要があります。これにより、ステータスレジスタ 1 の書き込み / プログラム イネーブルビット (WRPGEN) がセットされ、プログラム動作が可能になります。プログラム トランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

プログラム トランザクション進行中に、ステータスレジスタを読み出してデバイスレディ / ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムのプログラム トランザクション中は「1」であり、そのトランザクションが完了すると「0」になります。

PGMERR ビットを確認することで、プログラム トランザクション中にエラーが発生したかを判定できます。

いずれかの保護スキームにより書き込み保護されたセクタに適用されたプログラム トランザクションは実行せずに、PGMERR 失敗ステータスビットをセットします。

#### 4.10.2.1 プログラム粒度

HS/L-T family は、セクタに対して消去動作を実行せずに「1」から「0」にプログラムするマルチパスプログラム (ビットウォーキング) に対応します。ビットウォーキングは本デバイスの非 AEC-Q100 産業用温度範囲 (-40°C ~ +85°C) でサポートされます。より高い温度範囲 (-40°C ~ +105°C) と (-40°C ~ +125°C) のデバイスおよびすべての AEC-Q100 デバイスでは、各 ECC データユニットに対して消去動作と消去動作の間に 1 つのプログラム動作のみ (シングルパスプログラム) を実行する必要があります。

消去動作のないマルチパスプログラムは、そのデータユニットに対するデバイスの ECC 機能を無効にします。2 ビット ECC が有効な場合、同じセクタ内のマルチパスプログラムはプログラムエラーを引き起こすことに注意してください。

#### 4.10.2.2 ページプログラム

ページプログラムはプログラムされるデータをページバッファにロードし、データをバッファからメモリアレイへ転送するプログラムコマンドを発行することで行われます。これは単一のプログラム トランザクションでプログラムできるデータ量の上限を設定します。ページプログラムにより、1 つの動作で最大 1 ページサイズ (256 または 512 バイト) までプログラムできます。ページサイズはコンフィギュレーションレジスタ 3 の CFR3V[4] ビットで決まります。ページはページサイズのアドレス境界に整列されます。各ページプログラム動作で 1 ビットからページサイズまでプログラムすることが可能です。16 バイトの倍数である長さの整列されたプログラムブロックで書き込むことが推奨されます。これは、ECC が無効にならないようにするためです。ページプログラムの最高のスループットを得るために、プログラムは 512 バイト境界に整列された 512 バイトのフルページに対して行い、各ページを一度だけプログラムするべきです。

#### 4.10.2.3 ページプログラム トランザクション

ページプログラム (PRPGE\_4\_1) トランザクションはデータをメモリアレイにプログラムします。開始アドレスとページ整列終了境界間の空間であるページサイズ (256B または 512B) よりも多くのデータがデバイスに送信された場合、データロードシーケンスはページの最後のバイトから同ページの 0 バイト位置にラップし、同ページに既にロードされているデータを上書きします。1 ページより少ないデータがデバイスに送信された場合、データバイトはページ内の他のバイトに影響することなく、ページ内の与えられたアドレスから順々にプログラムされます。プログラムプロセスはデバイスの内部制御ロジックで制御されます。PRGERR ビットは、プログラムを正常に完了させないエラーがプログラム トランザクションに発生したかどうかを示します。これには保護された領域をプログラムすることが含まれます (130 ページの [トランザクションテーブル](#) を参照してください)。

## 機能

#### 4.10.2.4 SSR プログラム トランザクション

セキュアシリコン プログラム (PRSSR\_4\_1) トランザクションは、メイン アレイから独立した異なるアドレス空間かつ OTP である SSR にデータをプログラムします。SSR は 1024 バイトであるため、このトランザクションでは A31 ~ A10 のアドレスビットは「0」でなければいけません。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかを判定できます。

OTP アレイをビット単位でプログラムするために、データ バイト内の残りのビットを「1」にセットできます。

各 SSR メモリ空間は、ロックされていない限り、1 回以上プログラムできます。ロックされた領域に「0」をプログラムしようとする、動作は失敗し、PRGERR ビット (STR1V[6]) が「1」にセットされます。保護された領域であっても「1」をプログラムしたら、エラーが発生せず、PRGERR ビットもセットされません。後続のプログラムはプログラムされていないビット (「1」のデータ) に対してのみ行えます。ECC ユニット内で 2 回以上プログラムすると、そのデータ ユニットでの ECC は無効になります。

#### 4.10.2.5 持続的保護ビット (PPB) プログラム

持続的保護ビット プログラム (PRPPB\_4\_0) トランザクションは PPB レジスタのビットをプログラムし、与えられたアドレスのセクタをプログラムや消去から保護します。

PRGERR ビット (STR1V[6]) を確認することで、動作中にエラーが発生したかを判定できます。ASPPPB (ASPO[3])、ASPPRM (ASPO[0]) および PPBLCK (PPLV[0]) ビットによって保護されている PPB ビットをプログラムしようとする、PPB ビット プログラム トランザクションは中止します。

### 4.10.3 HYPERBUS™ プログラム関連レジスタとトランザクション

Table 52 HYPERBUS™ プログラム関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
HYPERBUS™ ステータス レジスタ (STR1V)	ワード プログラム (PGWORD_4_0)
HYPERBUS™ コンフィギュレーション レジスタ 1 (CFR1N, CRF1V)	POR タイマレジスタ プログラム (PRNPOR_4_0) 揮発性割込みコンフィギュレーション レジスタ プログラム (PGVINC_4_0) 揮発性割込みステータス レジスタ プログラム (PGVINS_4_0) 揮発性コンフィギュレーション レジスタ 1 プログラム (PGVCR1_4_0) 揮発性コンフィギュレーション レジスタ 2 プログラム (PGVCR2_4_0) 不揮発性コンフィギュレーション レジスタ 1 プログラム (PGNCR1_4_0) 不揮発性コンフィギュレーション レジスタ 2 プログラム (PGNCR2_4_0) ワイントイムプログラマブル高度セクタ保護レジスタ プログラム (PGOASP_2_1) 不揮発性パスワード プログラム (PGNPWD_2_1) 不揮発性オートブート レジスタ プログラム (RDATBN_1_0) ワイントイムプログラマブル EnduraFlex レジスタ [4:0] プログラム (PGOENX_2_1)
HYPERBUS™ 高度セクタ保護レジスタ (ASPO)	セキュアシリコン領域ワード プログラム (PG_SSR_4_1)
HYPERBUS™ ASP PPB ロック (PPLV)	不揮発性持続的保護ビット プログラム (PGNPPB_2_1) 揮発性ダイナミック保護ビット セット (STVDYB_2_1) ECC エラー ステータス失敗フラグ クリア (CLRECC_1_1) ステータス レジスタ失敗フラグ クリア (CLVSTR_1_0)

### 4.10.4 レガシー (x1) SPI プログラム関連レジスタとトランザクション

Table 53 レガシー (x1) SPI プログラム関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
SPI ステータス レジスタ 1 (STR1N, STR1V)	書き込みイネーブル (WRENB_0_0)
SPI 高度セクタ保護レジスタ (ASPO)	セキュアシリコン プログラム (PRSSR_4_1)
SPI ASP PPB ロック (PPLV)	持続的保護ビット プログラム (PRPPB_4_0)



## 機能

## 4.11 消去

データビットを「1」に消去する (全バイトは FFh) ために消去トランザクションがあります。プログラムトランザクションは2つのプロトコルのいずれも使用できます。

- SDR のレガシー (x1) SPI インターフェース: メモリ アレイと持続的保護ビットを消去します。
- DDR の HYPERBUS™ インターフェース: レジスタ、メモリ アレイと持続的保護ビットを消去します。
- 工場出荷時の消去状態は、全バイトが FFh です。

### 4.11.1 HYPERBUS™

#### 4.11.1.1 チップ消去

チップ消去機能は、フラッシュ メモリ アレイ全体を消去します。消去の前にデバイスをプリプログラムする必要はありません。組込み消去アルゴリズムは自動的にメモリをプログラムし、電気的な消去実行の前にメモリ全体が全0のデータパターンになっているかを検証します。チップ消去が正常に完了すると、デバイス内のすべての位置は FFFFh になります。システムは、これらの動作中に制御やタイミングを提供する必要はありません。チップ消去コマンドシーケンスは、2つのロック解除サイクルでの書き込みとそれに続くセットアップコマンドで始まります。次に、もう2つのロック解除書き込みサイクルの後にチップ消去コマンドが続き、組込み消去アルゴリズムが開始します。

組込み消去アルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。組込み消去動作の実行中は、デバイスから有効なデータを読み出せません。システムは、ステータスレジスタを読み出して消去動作のステータスを調べられます。これらのステータスビットについては、81 ページの [エラータイプと報告 - HYPERBUS™](#) を参照してください。チップ消去動作がいったん開始すると、ステータス読み出し、ハードウェアリセット、パワーサイクルのみが有効です。その他のすべてのコマンドは無視されます。ただし、ハードウェアリセットまたはパワーサイクルは消去動作を直ちに終了させ、 $t_{RPH}$  時間後に読み出しモードに戻ります。チップ消去動作が終了した場合は、データの整合性を確保するために、デバイスがスタンバイ状態に戻ったら、チップ消去コマンドシーケンスを再実行する必要があります。

ASP DYB と PPB ビットによって保護されたセクタは消去されません。チップ消去は、保護されたセクタを飛ばして、次のセクタの消去を続行します。保護されたセクタで消去動作が失敗しても、ステータスレジスタの消去ステータスビットとセクタロックビットは「1」にセットされません。

チップ消去は一時停止できません。

#### 4.11.2 セクタ消去

セクタ消去機能は、メモリ アレイ内の1つのセクタを消去します。消去の前にデバイスをプリプログラムする必要はありません。組込み消去アルゴリズムは自動的にメモリをプログラムし、電気的な消去の前に、セクタ全体が全0のデータパターンになっているかを検証します。セクタ消去が正常に完了すると、消去されたセクタ内のすべての位置が FFFFh になります。システムは、これらの動作中に制御やタイミングを提供する必要はありません。セクタ消去コマンドシーケンスは、2つのロック解除サイクルでの書き込みとそれに続くセットアップコマンドで始まります。次に、もう2つのロック解除書き込みサイクルの後に消去セクタのアドレスとセクタ消去コマンドが続きます。

システムは、ステータスレジスタを読み出して消去動作のステータスを調べられます。

いったんセクタ消去動作が始まると、ステータスレジスタ読み出しコマンドと消去一時停止コマンドが有効になります。他のコマンドはすべて組込みアルゴリズムコントローラーによって無視されます。ただし、ハードウェアリセットは直ちに消去動作を終了させ、 $t_{RPH}$  時間後に読み出しモードに戻ることにご注意ください。セクタ消去動作が終了した場合は、データの整合性を確保するために、デバイスの動作がリセットされたらセクタ消去コマンドシーケンスを再度実行しなければなりません。17 ページの [組込みアルゴリズムコントローラー \(EAC\)](#) を参照してください。

ASP DYB と PPB ビットによって保護されたセクタは消去されません。ロックされたセクタで消去動作を実行しようとすると、その動作は中止され、ステータスレジスタに失敗が示されます。

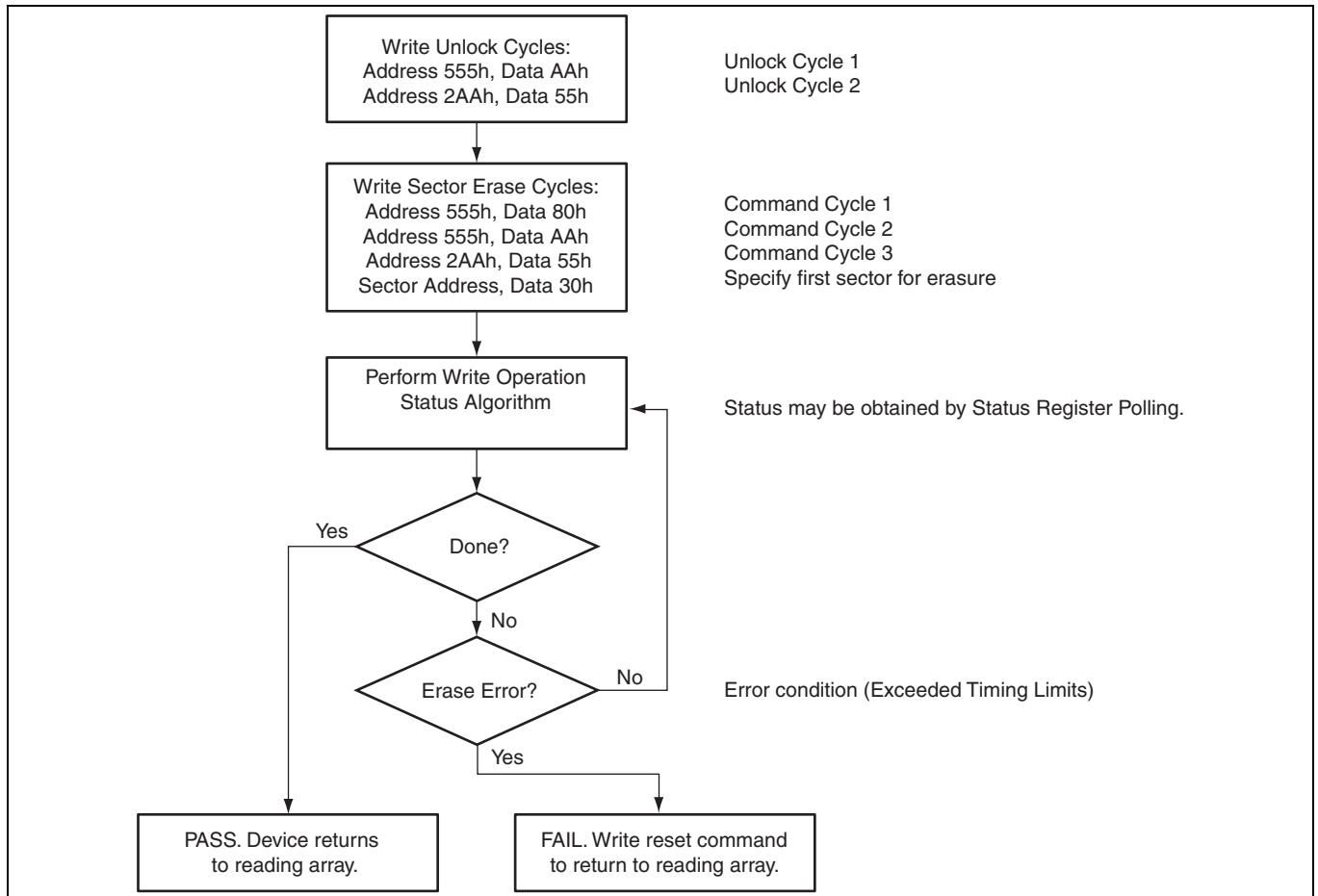


Figure 37 セクタ消去動作

#### 4.11.2.1 レジスタ消去トランザクション

レジスタ消去 (ERNC12\_3\_0) トランザクションは不揮発性のデバイスレジスタを消去します。トランザクションにはロック解除サイクルが含まれます。

ERSERR ビット (STRV[5]) を確認することで、動作中にエラーが発生したかを判定できます。

#### 4.11.2.2 持続的保護ビット (PPB) 消去

持続的保護ビット消去 (ERNPPB\_2\_1) トランザクションはすべての PPB ビットを消去します。

ERSERR ビット (STRV[5]) を確認することで、動作中にエラーが発生したかを判定できます。PPBLCK ビット (PPLV[0]) によって保護された PPB ビットを消去しようとする、PPB ビット消去トランザクションは中止します。

### 4.11.3 消去ステータスおよびカウント

#### 4.11.3.1 消去ステータス判断トランザクション

消去ステータス判断 (EVERST\_1\_0) トランザクションはアドレス指定されたセクタの直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータスビット (SESTAT - STRV[0]) は「1」にセットされます。完全に消去されていない場合、STRV[0] は「0」にクリアされます。

消去ステータス判定トランザクションは、消去動作中の電力喪失、リセットや動作失敗による消去動作不良を検出するために使用されます。トランザクションは、それを完了して STRV での消去ステータスを更新するために  $t_{EES}$  を要します。RDYBSY ビット (STRV[7]) を読み出して消去ステータス判定トランザクションが完了したかを判定できます。STRV[0]=0 でセクタが消去されなかったことを検出した場合、そのセクタ内のデータ格納を確保するためにセクタを再び消去しなければいけません。

#### 4.11.3.2 セクタ消去カウント レジスタ読み出しトランザクション

セクタ消去カウント読み出し (RDSECV\_1\_0) トランザクションはアドレス指定されたセクタの消去サイクル数を出力します。消去サイクル数はセクタ消去カウント (SECV[22:0]) レジスタに格納されます。セクタ消去カウントレジスタのロードはセクタアドレスロード (LDSRAD\_2\_1) トランザクションで開始します。

トランザクションは、それを完了して SECV[22:0] レジスタを更新するために  $t_{SEC}$  を要します。RDYBSY ビットを読み出してセクタ消去カウントトランザクションが完了したかを判定できます。SECV[23] ビットは、報告されたセクタ消去カウントが破損し、リセットされたかを判定するために使用します。

#### 4.11.3.3 ブランクチェックトランザクション

ブランクチェック (BLKCHK\_1\_0) トランザクションは選択されたフラッシュメモリアレイセクタが完全に消去されたかどうかを確認します。ブランクチェック中は、対象アレイへの読み出しは許可されません。コマンドの実行中に対象アレイを読み出すと、不明なデータが返されます。

デバイスがプログラム中、消去中、または一時停止中は、ブランクチェックコマンドが書き込まれない場合があります。

ステータスレジスタを読み出し、デバイスがビジーであるかどうか、また、完了後にセクタがブランクになっているかどうかを確認します。ステータスレジスタのビット 7 に、デバイスがブランクチェックを実行中であるかが示されます (消去動作と同様)。ステータスレジスタのビット 5 は、セクタが消去された場合は「0」にクリアされ、消去されなかった場合は「1」にセットされます。

消去されなかったビットを発見するとすぐに、デバイスは動作を停止して、結果を報告します。

ブランクチェックが完了すると、EAC はスタンバイ状態に戻ります。

### 4.11.4 レガシー (x1) SPI

デバイスは消去トランザクションを受け入れる前に、書き込みイネーブル (WRENB\_0\_0) トランザクションを発行して復号する必要があります。デバイスは、ステータスレジスタの書き込み / プログラムイネーブルビット (WRPGEN) が消去動作を有効にするために「1」にセットされた場合にのみ消去トランザクションを実行できます。消去トランザクションが完了すると、WRPGEN ビットは「0」にリセットされます。

消去トランザクション進行中に、ステータスレジスタ 1 を読み出してデバイスのレディ / ビジー (RDYBSY) ビットの値を確認できます。RDYBSY ビットはセルフタイムの消去トランザクション中は「1」で、完了時には「0」です。

ERSERR ビット (STR1V[5]) を確認することで、消去トランザクション中にエラーが発生したかどうかを判定できます。

ブロック保護ビットまたは ASP により書き込み保護されたセクタに消去トランザクションを適用すると、トランザクションは実行せずに、ERSERR 失敗ステータスビットをセットします。

CS# が論理 HIGH 状態に駆動されると、消去トランザクションは開始されます。

#### 4.11.5 4KB セクタ消去トランザクション

4KB セクタ消去 (ER004\_4\_0) トランザクションは、4KB セクタのすべてのビットを「1」にセットします (全バイトは FFh)。

デバイスがユニフォームセクタのみに設定された場合 (CFR3V[3]=1)、このトランザクションは無視されます。4KB セクタ消去トランザクションが 4KB でないセクタアドレスに対して発行された場合、デバイスは動作を中止し、ERSERR 失敗ステータスビットをセットしません。

#### 4.11.6 256KB セクタ消去トランザクション

256KB セクタ消去 (ER256\_4\_0) トランザクションはアドレス指定されたセクタのすべてのビットを「1」にセットします (全バイトは FFh)。

デバイスコンフィギュレーションオプション (CFR3V[3]) はハイブリッドセクタアーキテクチャが使用されているかどうかを判定します。CFR3V[3]=0 の場合、4KB セクタはデバイスアドレス空間の最上位または最下位アドレス (128KB または 64KB) の一部に重ねます。4KB セクタによって重ねられた 256KB セクタにセクタ消去コマンドを適用すると、重ねられた 4KB セクタは消去動作に影響されません。消去されるのは、128KB または 192KB セクタの可視の (重ねられていない) 部分のみです。CFR3V[3]=1 の場合、デバイスアドレス空間には 4KB セクタがなく、セクタ消去コマンドは常に完全に可視の 256KB セクタで動作します。

BLKCHK が有効にされると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去された場合、消去動作は中止されます。消去動作はセクタでプログラムされたビットが検出された場合にのみ実行されます。BLKCHK が無効の場合、消去動作が無条件に実行されます。

#### 4.11.7 チップ消去トランザクション

チップ消去 (ERCHP\_0\_0) トランザクションは、フラッシュメモリアレイ全体のすべてのビットを「1」にセットします (全バイトは FFh)。

チップ消去トランザクションは、ブロック保護 (BP2, BP1, BP0) ビットが「0」にセットされた場合にのみ実行できます。BP ビットが「0」でない場合、トランザクションは実行されず、ERSERR 失敗ステータスビットがセットされません。トランザクションは高度セクタ保護 DYB または PPB により保護されているすべてのセクタを飛ばし、ERSERR 失敗ステータスビットがセットされません。

#### 4.11.8 持続的保護ビット (PPB) 消去トランザクション

PPB 消去トランザクションはすべての PPB ビットを「1」にセットします。PPB ビットが ASPPPB (ASPO[3]), ASPPRM (ASPO[0]), および PPBLCK (PPLV[0]) ビットにより保護されている場合、トランザクションは中止します。

#### 4.11.9 消去ステータスおよびカウント

##### 4.11.9.1 消去ステータス判断トランザクション

消去ステータス判定 (EVERS\_4\_0) トランザクションは、アドレス指定されたセクタの直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータスビット (STR2V[2]) は「1」にセットされます。完全に消去されていない場合、STR2V[2] は「0」です。このトランザクションの前に書き込み / プログラム イネーブルトランザクション (WRPGEN ビットをセットするため) を実行する必要がありません。ただし RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるようにデバイスによってセットされ、動作終了時クリアされます。

消去ステータス判定トランザクションは、消去動作中の電力喪失、リセットや動作失敗による消去動作不良を検出するために使用されます。このトランザクションは、完了し STR2V での消去ステータスを更新するために  $t_{EES}$  を要します。RDYBSY ビット (STR1V[0]) を読み出すことにより、消去ステータス判定トランザクションがいつ完了したかを判定できます。STR2V[2]=0 でセクタが消去されなかったことを検出した場合、そのセクタ内のデータ格納を確保するために、そのセクタを再び消去しなければいけません。

##### 4.11.9.2 セクタ消去カウント トランザクション

セクタ消去カウント (SEERC\_4\_0) トランザクションは、アドレス指定されたセクタの消去サイクル数を出力します。消去サイクル数はセクタ消去カウント (SECV[22:0]) レジスタに格納され、任意レジスタ読み

## 機能

出し (RDARG\_4\_0) トランザクションで読み出せます。RDYBSY ビットは、ステータス読み出し中に STR1V[0] に示されるようにデバイスによってセットされ、動作終了時クリアされます。

トランザクションは、それを完了して SECV[22:0] レジスタを更新するために  $t_{SEC}$  を要します。RDYBSY ビット (STR1V[0]) を読み出してセクタ消去カウント トランザクションが完了したかを判定できます。SECV[23] ビットは、報告されたセクタ消去カウントが破損し、リセットされたかを判定するために使用します。

## 4.11.10 HYPERBUS™ 消去関連レジスタとトランザクション

Table 54 HYPERBUS™ ERASES 関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
HYPERBUS™ ステータス レジスタ (STRV)	セクタ消去 (ERSCTR_6_0)
HYPERBUS™ コンフィギュレーション レジスタ 1 (CFR1N, CFR1V)	チップ消去 (ERCHIP_6_0)
SPI ASP PPB ロック (PPLV) HYPERBUS™ ASP PPB ロック (PPLV)	不揮発性持続的保護ビット消去 (ERNPPB_2_1)
HYPERBUS™ セクタ消去カウント レジスタ (SECV)	消去ステータス判定 (EVERST_1_0) セクタ消去カウント (RDSECV_1_0)

## 4.11.11 レガシー (x1) SPI 消去関連レジスタとトランザクション

Table 55 レガシー (x1) SPI 消去関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
SPI ステータス レジスタ 1 (STR1N, STR1V)	書き込みイネーブル (WRENB_0_0)
SPI ステータス レジスタ 2 (STR2V)	4KB セクタ消去 (ER004_4_0)
SPI ASP PPB ロック (PPLV)	チップ消去 (ERCHP_0_0)
SPI セクタ消去カウント レジスタ (SECV)	セクタ消去カウント (SEERC_4_0)

## 4.12 組込み動作の一時停止と再開

HL-T/HS-T デバイスは、消去、プログラムまたはデータ整合性チェックなど実行中の組込み動作を中断し、一時停止させることができます。ホストが中間動作を終了し、該当する再開トランザクションをデバイスに送信すると、一時停止された動作の再開もできます。

## 4.12.1 消去 / プログラム / データ整合性チェッカー一時停止

一時停止トランザクションにより、システムはプログラム / 消去 / データ整合性チェック動作を中断させ、他の消去一時停止ではないセクタ、プログラム一時停止ではないページ、またはアレイから読み出すことが可能になります。プログラム / 消去 / データ整合性チェック動作がいつ停止されたかを確認するために、ステータス レジスタ (SPI - STR1V[0]、HYPERBUS™ STRV[7]) のデバイス レディ / ビジー ステータス フラグ (RDYBSY) をチェックする必要があります。

## 4.12.1.1 プログラム一時停止

- ・プログラム一時停止はプログラム動作の間にのみ有効です。
- ・プログラム動作一時停止ステータス フラグ (SPI - PROGMS STR2V[0]、HYPERBUS™ - PROGMS STRV[2]) は、RDYBSY が「0」になったときにプログラム動作が一時停止されたか、または完了したかを判定するために使用されます。
- ・読み出し動作を可能にするためにプログラム動作を一時停止できます。
- ・プログラム一時停止されたページ内のいかなるアドレスを読み出しても、不確定なデータが返されません。

#### 4.12.1.2 消去一時停止

消去一時停止コマンドを実行すると、システムはセクタ消去動作を中断して、フラッシュメモリアレイから / へのデータ読み書きができるようになります。このコマンドはセクタ消去動作中にのみ有効です。チップ消去動作中に書き込まれた消去一時停止コマンドは無視されます。

- 消去一時停止は、セクタ消去動作の間のみ有効です。
- 消去動作一時停止ステータスフラグ (SPI - ERASES STR2V[1]、HYPERBUS™ - ERASES STRV[6]) は、RDYBSY が「0」になったときに消去動作が一時停止されたか、または完了したかを判定するために使用されます。
- バルク消去動作を一時停止することはできません。
- プログラム動作または読み出し動作を可能にするために消去動作を一時停止できます。消去一時停止されたプログラム動作が完了すると、デバイスは消去一時停止モードに戻ります。
- 既に一時停止された消去 / プログラム / データ整合性チェック動作では新しい消去動作を行えません。この場合、消去コマンドは無視されます。
- 消去一時停止中にプログラムが失敗した場合は、ステータスレジスタクリアまたはソフトウェアリセットトランザクションにより、デバイスを消去一時停止状態に復帰させられます。
- 消去一時停止されたセクタ内のいかなるアドレスから読み出しても、不確定なデータが返されます。

#### 4.12.1.3 データ整合性チェック一時停止 - レガシー SPI のみ

- データ整合性チェック一時停止はデータ整合性チェック計算動作の間のみ有効です。
- メモリアレイデータ整合性チェックCRC一時停止ステータスフラグ (SPI - DICRCS STR2V[4]、HYPERBUS™ - DICRCS STRV[8]) は、RDYBSY が「0」になったときにデータ整合性チェック動作が一時停止されたか、または完了したかを判定するために使用されます。
- 読み出し動作を可能にするためにデータ整合性チェック動作を一時停止できます。
- 一時停止動作を完了するために  $t_{PEDS}$  を要します。

通常のプログラム動作と同じように、システムはステータスレジスタ 1 の RDYBSY ビットを読み出すことでプログラム動作の状態を確認できます。

Table 56 に、一時停止動作中に許可されるトランザクションの一覧を示します。

機能

Table 56 一時停止中に許可される HYPERBUS™ トランザクション

トランザクション名	消去一時停止中に許可	プログラム一時停止中に許可	データ整合性チェック一時停止中に許可
読み出し (RDMARY_1_0) - 一時停止中でないセクタ	有	有	有
ステータスレジスタ読み出し (RDVSTR_2_0)			
ソフトウェアリセット / ASO 終了 (SRASOE_1_0)			
プログラム再開 (RSPROG_1_0)	無	有	無
揮発性割込みコンフィギュレーションレジスタ プログラム (PGVINC_4_0)	有		有
揮発性割込みコンフィギュレーションレジスタ読み出し (RDVINC_4_0)			
揮発性割込みステータスレジスタ プログラム (PGVINS_4_0)			
揮発性割込みステータスレジスタ読み出し (RDVINS_4_0)	有	無	無
ワード プログラム (PGWORD_4_0) - 一時停止中でないセクタ			
書き込みバッファ プログラム (LDBUFR_6_0, PGBFCM_1_0, RSTWBA_3_0)			
揮発性コンフィギュレーションレジスタ 1, 2 読み出し (RDVCR1_4_0, RDVCR2_4_0)	有	有	有
不揮発性コンフィギュレーションレジスタ 1, 2 読み出し (RDNCR1_4_0, RDNCR2_4_0)			
消去再開 (RSERSE_1_0)			
デバイス ID/ 固有 ID/SFDP ASO (IDSFE1_3_1, IDSFE2_1_1, RDIDSF_1_1, ASOEXT_1_1)	有	無	無
セキュアシリコン領域 ASO プログラム (SSRENT_3_1, RD_SSR_1_1, PG_SSR_4_1, LDBSSR_5_1, PGCSSR_1_1, RSWSSR_3_1, ASOEXT_1_1)			
		有	有

Table 57 一時停止中に許可されるレガシー (x1) SPI トランザクション

トランザクション名	消去一時停止中に許可	プログラム一時停止中に許可	データ整合性チェック一時停止中に許可
書き込みディセーブル (WRDIS_0_0)	有	無	無
ステータスレジスタ 1 読み出し (RDSR1_0_0, RDSR1_4_0)		有	有
書き込みイネーブル (WRENB_0_0)		無	無
ステータスレジスタ 2 読み出し (RDSR2_0_0, RDSR2_4_0)		有	有
ページプログラム (PRPGE_4_1)		無	無
ECC ステータス読み出し (RDECC_4_0)		有	有
ECC ステータスレジスタクリア (CLECC_0_0)		有	有
PPB ロックビット読み出し (RDPLB_0_0, RDPLB_4_0)		有	有
プログラム / 消去 / データ整合性チェック再開 (RSEPD_0_0)		有	有
Program SSR (PRSSR_4_1)		無	無
SSR 読み出し (RDSSR_4_0)		有	有
固有 ID 読み出し (RDUID_0_0, RDUID_4_0)		有	有
SFDP 読み出し (RSFDP_3_0, RSFDP_4_0)		有	有
インターフェース CRC レジスタ読み出し (RDCRC_4_0)		有	有
任意レジスタ読み出し (RDARG_4_0)		有	有
ソフトウェアリセットイネーブル (SRSTE_0_0)	有	有	有
プログラムおよび消去失敗フラグクリア (CLPEF_0_0)			
ソフトウェアリセット (SFRST_0_0)			
ID レジスタ読み出し (RDIDIN_0_0, RDIDIN_4_0) (メーカーおよびデバイス ID)			
プログラム / 消去 / データ整合性チェック一時停止 (SPEPD_0_0)			
DYB 読み出し (RDDYB_4_0)	有	有	
PPB 読み出し (RDPPB_4_0)	有	有	

### 4.12.2 消去 / プログラム / データ整合性チェック一時再開

一時停止した消去 / プログラム / データ整合性チェック動作を再開するために再開トランザクションを書き込まなければいけません。プログラム / 消去 / データ整合性チェック一時停止中にプログラムまたは読み出し動作が完了すると、一時停止中の動作を再開するために再開トランザクションが送信されません。

プログラム / 消去 / データ整合性チェック再開トランザクションが発行された後、ステータスレジスタの RDYBSY ビットが「1」にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラム動作がない場合、一時停止された消去動作は再開されます。一時停止されたプログラム / 消去 / データ整合性チェック動作がない場合、再開トランザクションは無視されます。

プログラム / 消去 / データ整合性チェック動作は必要に応じて何度でも中断できます。例えば、プログラム一時停止トランザクションをプログラム再開トランザクションの直後に発行できます。ただし、プログラムまたは消去動作が完了するには、再開と次の一時停止トランザクションの間に  $t_{PEDRS}$  以上の時間が必要です。

Figure 38 に、一時停止と再開の動作フローを示します。

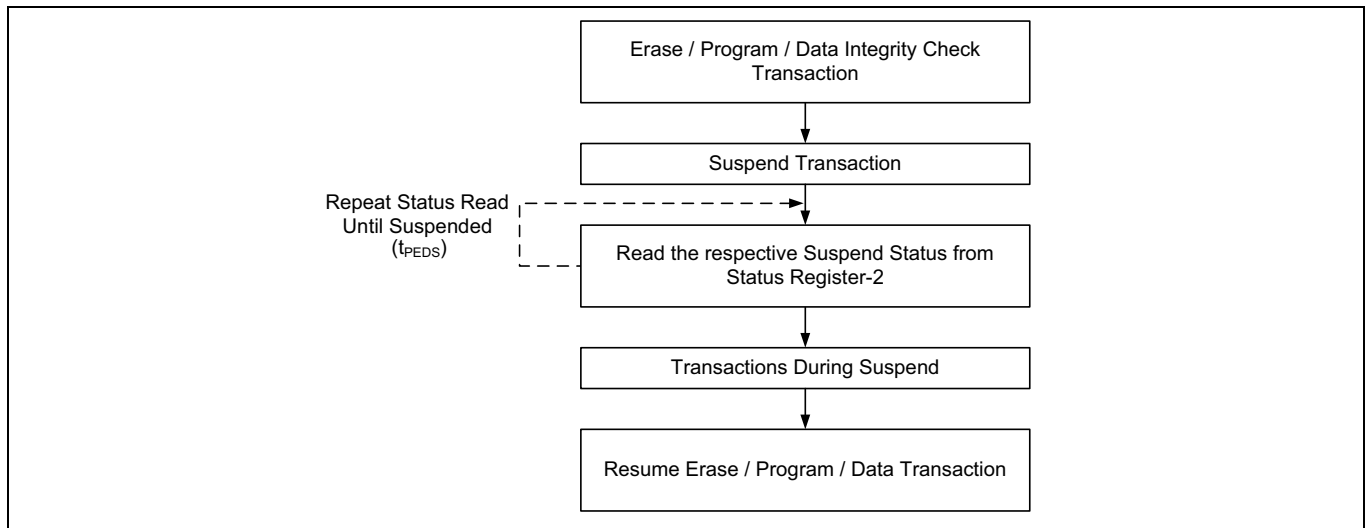


Figure 38 一時停止と再開シーケンス

### 4.12.3 HYPERBUS™ 一時停止と再開関連レジスタとトランザクション

Table 58 HYPERBUS™ 一時停止と再開関連レジスタとトランザクション

関連レジスタ (94 ページの HYPERBUS™ レジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
HYPERBUS™ ステータス レジスタ (STRV)	消去一時停止 (SPERSE_1_0)
	消去再開 (RSERSE_1_0)
	プログラム一時停止 (SPPROG_1_0)
	プログラム再開 (RSPROG_1_0)
	ステータス レジスタ読み出し (RDVSTR_2_0)

### 4.12.4 レガシー (x1) SPI 一時停止と再開関連レジスタとトランザクション

Table 59 レガシー (x1) SPI 一時停止と再開関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
SPI ステータス レジスタ 1 (STR1N, STR1V)	消去 / プログラム / データ整合性チェック一時停止 (SPEPD_0_0)
	消去 / プログラム / データ整合性チェック再開 (RSEPD_0_0)
SPI ステータス レジスタ 2 (STR2V)	任意レジスタ読み出し (RDARG_4_0)
	ステータス レジスタ 1 読み出し (RDSR1_0_0)
	ステータス レジスタ 2 読み出し (RDSR2_0_0)



#### 4.13 エラータイプと報告 - HYPERBUS™

組込み動作ステータス方式により報告されるエラーは3種類あります。エラータイプによって、報告されるエラーステータスとそのクリア手順が異なります。

以下で、エラーステータスのクリア手順について説明します。

- エラーの発生前に ASO に入っていた場合、デバイスは ASO に入ったままとなり、ASO 読み出しまたはコマンド書き込みの待機状態となります。
- エラーの発生前に消去を一時停止していた場合は、デバイスは消去一時停止状態に戻り、フラッシュアレイの読み出しまたはコマンド書き込みの待機状態となります。
- それ以外の場合は、デバイスはスタンバイ状態になり、フラッシュアレイの読み出しまたはコマンド書き込みの待機状態となります。

##### 4.13.1 保護エラー

組込みアルゴリズムが、保護された領域内でデータを変更しようとする (保護されたセクタまたは OTP 領域に対してプログラムまたは消去)、デバイス (EAC) は 20 ~ 100 $\mu$ s の間ビジーになってから通常動作に戻ります。保護メカニズムは PPB とロックが含まれます。ビジーの間に、ステータスレジスタは無効ステータスビットでレディでない状態を示します (SR[7]=0)。プログラムまたは消去動作をロックされた領域で行おうとすると、その動作は中止され、ステータスレジスタに失敗が示されます。

保護エラーによるビジー状態の期間中に受け入れられるコマンドは次のとおりです。

- ステータスレジスタ読み出し

ビジー期間が終了すると、デバイスは通常動作に戻り、ステータスレジスタは有効ステータスビットでレディ状態を示します。このときデバイスは、フラッシュアレイの読み出しまたは新しいコマンド書き込みを受け入れる準備ができています。

保護エラーによるビジー状態の期間後は、ステータスレジスタビットは以下のようになります。

- SR[7]=1: 有効ステータスを示します。
- SR[6]=X: 保護エラーによるビジー期間後に消去一時停止中か、そうでないかもしれないことを示します。
- SR[5]=1: 消去エラーが発生した場合に示します。そうでなければ SR[5]=0。
- SR[4]=1: プログラムまたはパスワードロック解除エラーが発生した場合に示します。そうでなければ SR[4]=0。
- SR[3]=X: 「ドントケア」(マスクされた)として扱われます。
- SR[2]=0: 一時停止状態のプログラムがないことを示します。
- SR[1]=1: 保護領域を変更しようとすることに起因したエラーを示します。
- SR[0]=X: 「ドントケア」(マスクされた)として扱われます。

保護エラーによるビジー状態の期間後に受け入れられるコマンドは次のとおりです。

- すべてのコマンド

プログラムステータスビットがセットされた場合は、さらにプログラム動作を行うと SR[4] がクリアされます。消去ステータスビットがセットされた場合は、さらに消去動作を行うと SR[6] がクリアされません。

#### 4.13.2 バッファ書き込み中止 (プログラム中止 /DICRC 中止)

バッファ書き込みコマンドの実行中にエラーが発生すると、デバイス (EAC) はビジーのままになります。ステータスレジスタは、有効ステータスビットでレディ状態を示します。ホストシステムのステータス監視によりエラーステータスが検出され、エラーステータスがクリアされるまで、デバイスはビジーのままになります。

組込みアルゴリズムがエラー状態にある間は、ステータスレジスタは以下のようになります。

- SR[7]=1: 有効ステータスを示します。
- SR[6]=X:WBA エラー状態中で消去一時停止中か、そうでないかもしれないことを示します。
- SR[5]=0: 正常に消去されたことを示します。
- SR[4]=1: プログラム関連のエラーが発生したことを示します。そうでなければ、SR[4]=0。
- SR[3]=1: バッファ書き込み中止を示します。
- SR[2]=0: 一時停止状態のプログラムがないことを示します。
- SR[1]=0: 動作中にセクタがロックされないことを示します。
- SR[0]=X: 「ドント ケア」 (マスクされた) として扱われます。

WBA のエラーステータスが検出された場合は、デバイスが通常動作に戻り、新しい読み出しまたはコマンド書き込みを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- バッファ書き込み中止リセット コマンド
  - ステータスレジスタをクリアし、通常動作に戻ります。
- ステータスレジスタクリア コマンド

組込みアルゴリズムのエラー状態の期間中に受け入れられるコマンドは次のとおりです。

- ステータスレジスタ読み出し
  - ステータスレジスタを読み出し、WBA ビジー状態に戻ります。
- バッファ書き込み中止リセット コマンド
- ステータスレジスタクリア コマンド

組込みアルゴリズムを実行している間、ステータスレジスタ読み出しに関係ない読み出しトランザクションを行うと、DS がトグルし、不確定なデータが返ります。

#### 4.14 エラー タイプおよび報告 - レガシー (x1) SPI

組み込み動作ステータス方式により報告されるエラーは2種類あります。エラータイプによって、報告されるエラーステータスとそのクリア手順が異なります。

Table 60 および Table 61 はエラーステータスの消去について詳細を提供します。

**Table 60 プログラムエラー (PRGERR) のまとめ**

エラーフラグ	記号	条件
プログラムエラー	PRGERR	ビットを「1」から「0」にプログラムできません。
		保護領域をプログラムしようとする試み
		ASP0[2] または ASP0[1] が 0 の場合、CFR1N[6:2]/CFR1V[6:2] の値を変更しようとする不揮発性レジスタの書き込み
		パスワード保護モードが選択され、ASP パスワード レジスタ更新トランザクションが実行された後
		セーフブート失敗
		コンフィギュレーション失敗

**Table 61 消去エラー (ERSERR) のまとめ**

エラーフラグ	記号	条件
消去エラー	ERSERR	セクタデバイス消去 - すべてのビットを「1」に消去できない
		保護領域を消去しようとする試み
		レジスタ消去 - レジスタ書き込みの消去動作中にすべてのビットを「1」に消去できません。
		セーフブート失敗

## 4.15 リセット

HL-T/HS-T デバイスは 4 種類のリセット メカニズムに対応します。

- ハードウェアリセット (RESET# 入力ピンによる)
- パワーオンリセット (POR)
- CS# シグナリングリセット
- ソフトウェアリセット - SPI のみ

### 4.15.1 ハードウェアリセット (RESET# 入力ピンによる)

RESET# 入力が  $t_{RP}$  より長い期間で論理 HIGH から論理 LOW に遷移するとリセット動作が始まり、デバイスは POR で実行する完全なリセット プロセスを実行します。ハードウェアリセットプロセスは完了するために  $t_{RH}$  を要します。タイミング仕様は Table 129 を参照してください。

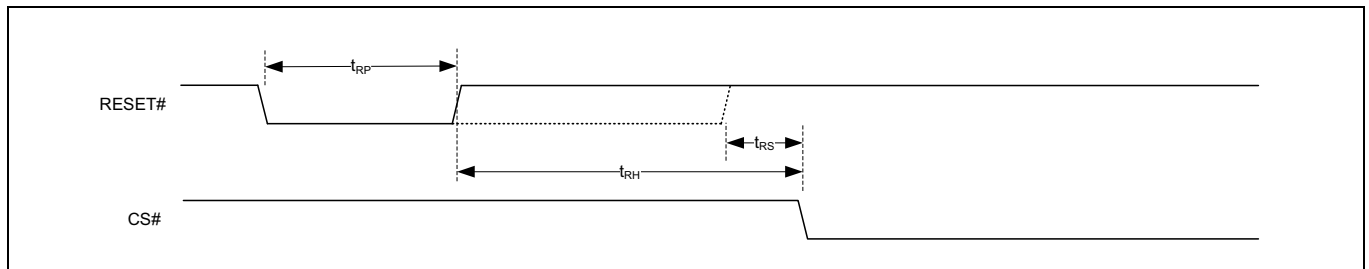


Figure 39 RESET# 入力によるハードウェアリセット (リセットパルス =  $t_{RP}(\text{Min})$ )

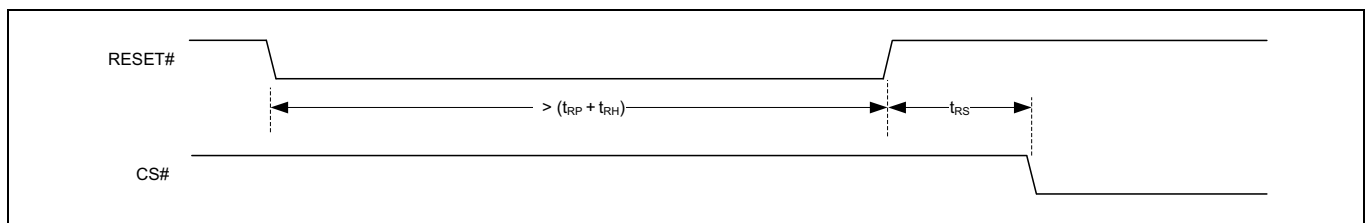


Figure 40 RESET# 入力によるハードウェアリセット (リセットパルス  $> (t_{RP} + t_{RH})$ )

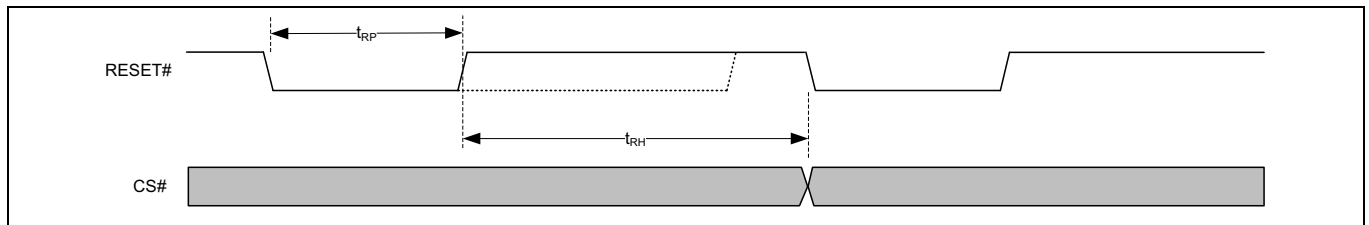


Figure 41 RESET# 入力によるハードウェアリセット (連続したハードウェアリセット)

### 4.15.2 パワーオンリセット (POR)

デバイスは、 $V_{CC}$  が最小  $V_{CC}$  閾値を超えてから  $t_{PU}$  の遅延時間が経過するまで、POR プロセスを実行します (Figure 42 と Figure 43 を参照してください)。電源投入 ( $t_{PU}$ ) 時にデバイスは選択できません。したがって、CS# は  $V_{CC}$  と共に立ち上がる必要があります。  $t_{PU}$  が経過するまで、デバイスにコマンドは送信できません。タイミング仕様は Table 129 を参照してください。

RESET# は POR 中は無視されます。RESET# が POR 中に LOW であり、 $t_{PU}$  期間中およびこの時間が経過した後も LOW のままであれば、RESET# が HIGH に戻ってから  $t_{RS}$  が経過するまで CS# は HIGH のままでなければなりません。

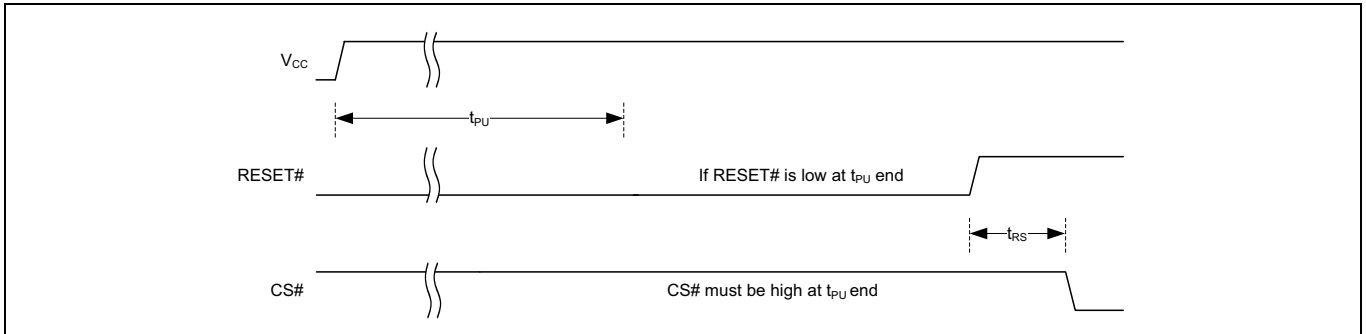


Figure 42 POR 終了時の RESET# LOW

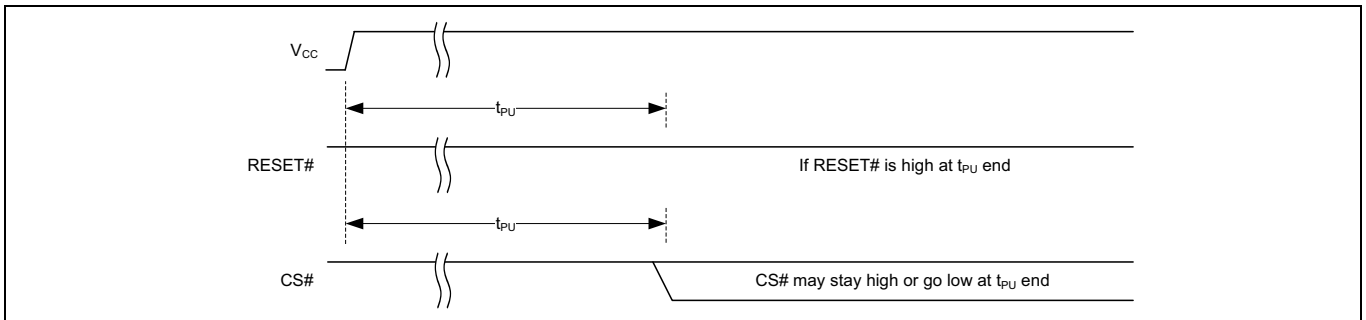


Figure 43 POR 終了時の RESET# HIGH

### 4.15.3 CS# シグナリング リセット

CS# シグナリング リセットには CS# と DQ0 信号が必要です。このリセット方式は、既存の信号を用いてシグナリング プロトコルを定義し、デバイスの動作モードやパッケージ ピン数に関係しない SPI フラッシュ ハードウェア リセットを実行します。

シグナリング プロトコルを Figure 44 に示します。タイミング仕様は Table 129 を参照してください。CS# シグナリング リセットの手順は以下のとおりです。

- CS# はアクティブ LOW に駆動されます。
- CK は HIGH または LOW のいずれかで安定したままです。
- CS# と DQ0 の両方は LOW に駆動されます。
- CS# は HIGH (非アクティブ) に駆動されます。
- DQ0 の状態を変更するたびに上記の 4 ステップを繰り返します (合計で 4 回)。
- 4 番目の CS# サイクルが完了し、CS# が HIGH (非アクティブ) になった後、リセットは行われます。

4 番目の CS# パルスの後、スレーブは内部リセットをトリガーし、デバイスは  $t_{\text{RESET}}$  の間に実行中の動作を終了させ、すべての出力を高インピーダンスにし、すべての読み書きトランザクションを無視します。その後、デバイスはスタンバイ状態になります。

このリセットシーケンスは通常の電源投入時に使用されず、デバイスがシステムに応答していないときにのみ使用されます。このリセットシーケンスはデバイスのいかなる状態でも実行可能です。したがって CS# シグナリング リセットは、RESET# ピンをサポートしないパッケージでは、ハードウェア リセットと同じ動作を提供するために役立ちます。

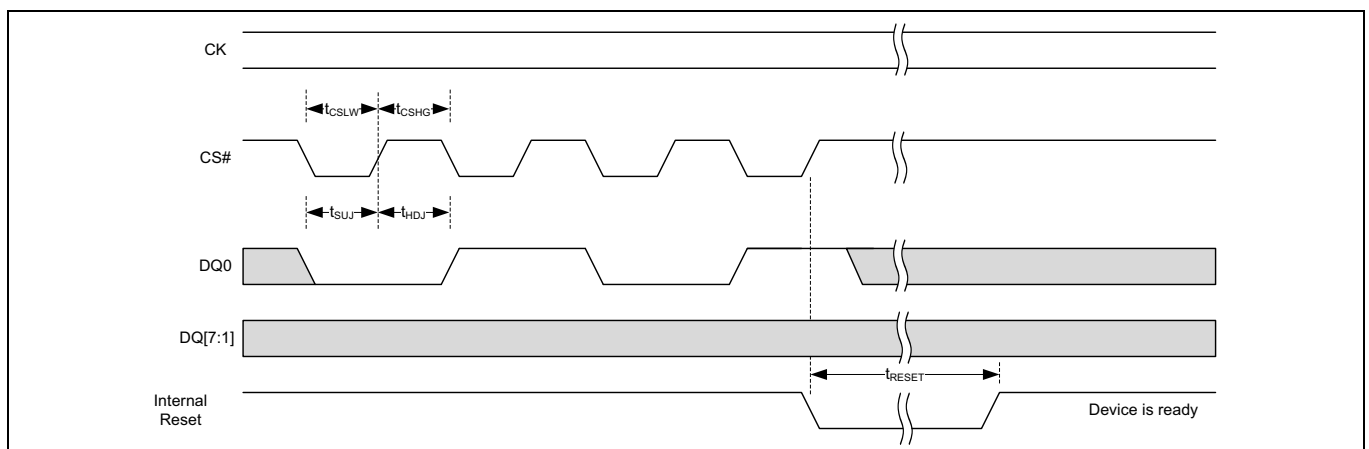


Figure 44 CS# シグナリング リセット プロトコル

#### 4.15.4 ソフトウェアリセット - SPI のみ

ソフトウェアで制御されたリセットトランザクションは、保護レジスタを除き、揮発性レジスタを不揮発性デフォルト値でリロードすることで、デバイスを電源投入時の初期状態に復帰させます。トランザクション終了時に CS# が HIGH になると、リセット (SFRST\_0\_0) トランザクションは実行され、完了するのに t<sub>SR</sub> を要します。タイミング仕様は Table 129 を参照してください。

ソフトウェアリセットが2つのトランザクションから成るシーケンスとなるように、リセットイネーブル (SRSTE\_0\_0) トランザクションはリセットトランザクション (SFRST\_0\_0) の直前に必要とされます。SRSTE\_0\_0 トランザクションの後に続く SFRST\_0\_0 以外のいかなるトランザクションも、リセットイネーブル条件をクリアし、それ以降の SFRST\_0\_0 トランザクションが認識されないようにします。

SRSTE\_0\_0 トランザクションの直後にリセット (SFRST\_0\_0) トランザクションを実行することで、ソフトウェアリセットプロセスは開始します。ソフトウェアリセット中、デバイスの揮発性と不揮発性のコンフィギュレーション状態が同じであれば、ステータスレジスタ 1 の RDSR1\_4\_0 と RDARG\_4\_0 のみがサポートされます。ソフトウェアリセット中にコンフィギュレーション状態が変更された場合、ステータスレジスタ 1 の読み出しはソフトウェアリセット期間が経過した後にのみ行う必要があります。

ソフトウェアリセットは RESET# の状態に依存しません。RESET# が HIGH または未接続のときにソフトウェアリセットトランザクションが発行された場合、デバイスはソフトウェアリセットを実行します。

##### 4.15.4.1 ソフトウェアリセットに関連レジスタとトランザクション

Table 62 ソフトウェアリセットに関連レジスタとトランザクション

関連レジスタ (111 ページのレガシー (x1) SPI レジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
該当なし	ソフトウェアリセットイネーブル (SRSTE_0_0) ソフトウェアリセット (SFRST_0_0)

機能

### 4.15.5 リセット動作

Table 63 リセット動作

トランザクション / レジスタ名	POR	ハードウェアリセットと CS# シグナリングリセット	ソフトウェアリセット (x1 モード専用)
まとめ	<ul style="list-style-type: none"> <li>デバイスがリセットします。</li> <li>ステータスビットがリセットします。</li> <li>すべての揮発性レジスタがリセットします。</li> <li>コンフィギュレーションはデフォルトに再ロードします。</li> <li>揮発性保護はデフォルトにリセットします。</li> <li>不揮発性保護は変化しません。</li> <li>すべての組込み動作がリセットします。</li> </ul>	<ul style="list-style-type: none"> <li>デバイスがリセットします。</li> <li>ステータスビットがリセットします。</li> <li>すべての揮発性レジスタがリセットします。</li> <li>コンフィギュレーションはデフォルトに再ロードします。</li> <li>揮発性保護はデフォルトにリセットします。</li> <li>不揮発性保護は変化しません。</li> <li>すべての組込み動作がリセットします。</li> </ul>	<ul style="list-style-type: none"> <li>デバイスがリセットします。</li> <li>ステータスビットがリセットします。</li> <li>コンフィギュレーションはデフォルトに再ロードします。</li> <li>揮発性保護はデフォルトにリセットします。</li> <li>不揮発性保護は変化しません。</li> <li>すべての組込み動作がリセットします。</li> </ul>
インターフェース要件	<ul style="list-style-type: none"> <li>すべての入力は無視されます。</li> <li>すべての出力はトライステートになります。</li> </ul>	<ul style="list-style-type: none"> <li>すべての入力は無視されます。</li> <li>すべての出力はトライステートになります。</li> </ul>	トランザクション (SRSTE_0_0, SFRST_0_0)
ステータスレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
コンフィギュレーションレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。
保護レジスタ	PPB ロックレジスタは ASPO[2:1] に基づいてロードします。	PPB ロックレジスタは ASPO[2:1] に基づいてロードします。	PPB ロックレジスタは変化しません。
	DYB アクセスレジスタは ASPO[4] に基づいてロードします。	DYB アクセスレジスタは ASPO[4] に基づいてロードします。	DYB アクセスレジスタは変化しません。
	パスワードレジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワードレジスタは ASPO[2] および ASPO[0] に基づいてロードします。	パスワードレジスタは変化しません。
ECC ステータスレジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
オートブートレジスタ	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
データ整合性チェックレジスタ	0x00 をロードします。	0x00 をロードします。	0x00 をロードします。
インターフェース CRC レジスタ			
ECC エラー カウントレジスタ			
アドレストラップレジスタ			
EnduraFlex レジスタ I/O モード	不揮発性レジスタからロードします。	不揮発性レジスタからロードします。	変化しません。
進行中のメモリ/レジスタ消去	該当なし	消去を中止します。	消去を中止します。
進行中のメモリ/レジスタプログラム		プログラムを中止します。	プログラムを中止します。
進行中のメモリ/レジスタ読み出し		読み出しを中止します。	該当なし



## 4.16 電力モード

### 4.16.1 アクティブ電力モードとスタンバイ電力モード

チップセレクト (CS#) が LOW のとき、デバイスは有効になり、アクティブ電力モードに入ります。CS# が HIGH になると、デバイスは無効になりますが、プログラム / 消去 / 書き込み動作が完了するまではアクティブ電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は  $I_{SB}$  に低下します。パラメーター仕様は、Table 127 を参照してください。

### 4.16.2 ディープパワーダウン (DPD) モード

通常動作時のスタンバイ電流は比較的低いですが、DPD モードを使うとさらにスタンバイ電流を減らせます。低い消費電力により、DPD モードは特にバッテリー駆動アプリケーションに役立ちます。

#### 4.16.2.1 DPD 開始

デバイスは DPD モードを開始するには 2 つの方法があります。

1. トランザクションによる DPD モード開始
2. 電源投入またはリセットによる DPD モード開始

ディープパワーダウンモード開始トランザクションによる DPD モード開始

DPD モードは、ディープパワーダウンモード開始トランザクション (ENDPD\_0\_0、ENTDPD\_3\_0) を送信することで有効にします。CS# が HIGH に駆動された後、 $t_{ENTDPD}$  の期間以内にパワーダウン状態に入り (タイミング仕様は Table 129 を参照してください)、消費電力が  $I_{DPD}$  に低下します。

デバイスは、アイドル状態からのみ DPD に移行します。DPD トランザクションは、レディ / ビジーステータスフラグ (RDYBSY) で示されるように組込みアルゴリズムを実行していないときにのみ受け入れられます。 $t_{ENTDPD}$  時間中にデバイスにトランザクションは送信できません。

電源投入またはリセットによる DPD モード開始

DPDPOR コンフィギュレーションビットが有効になった場合、デバイスは電源投入、ハードウェアリセットまたは CS# シグナリングリセットの完了後に DPD モードに入ります。POR またはリセット中、Figure 45 に示すように DPD モードに入るために CS# は VCC に印加された電圧に従う必要があります。 $t_{ENTDPD}$  時間中にデバイスにトランザクションは送信できません。

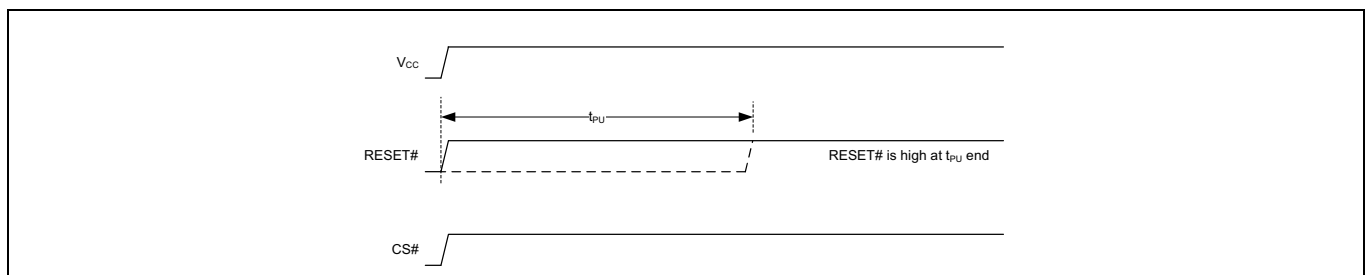


Figure 45 電源投入またはリセットによる DPD モード開始

#### 4.16.2.2 DPD 終了

デバイスは DPD モードを終了するために以下の方法があります。

ハードウェアリセットによる DPD モード終了

デバイスが DPD モードにあり、DPDPOR=0 のとき、ハードウェアリセットはデバイスをスタンバイモードに復帰させます。

CS# パルスによる DPD モード終了

デバイスが DPD モードにあるか、または DPDPOR=1 のとき、パルス幅が  $t_{CS\text{DPD}}$  の CS# パルスはデバイスに DPD モードを終了させます。パルスの後に CS# を HIGH に駆動する必要があります。DPD 終了後にトランザクションサイクルを開始するために CS# の HIGH から LOW への遷移が必要です。DPD モードを終了するために  $t_{EXT\text{DPD}}$  を要します。デバイスは  $t_{EXT\text{DPD}}$  が経過するまで応答しません。

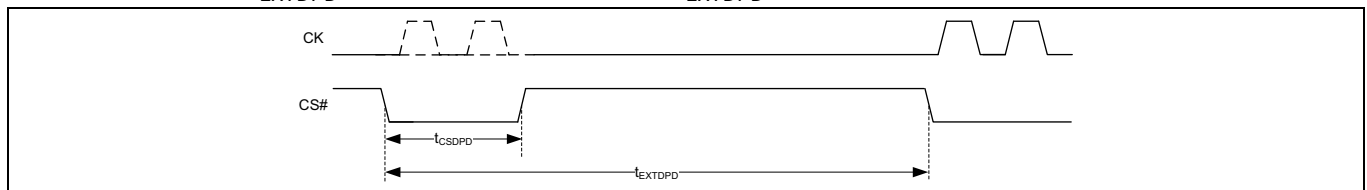


Figure 46 DPD モード終了

DPD 中にデバイスはコンフィギュレーションを維持する、すなわち、デバイスは DPD の開始時と同じ状態で DPD を終了します。ECC ステータス、ECC エラー検出カウンタ、アドレスラップ、割込みステータスなどのレジスタはクリアされます。

#### 4.16.2.3 HYPERBUS™ DPD 関連レジスタとトランザクション

Table 64 HYPERBUS™ DPD 関連レジスタとトランザクション

関連レジスタ (93 ページのレジスタを参照してください)	関連 HYPERBUS™ トランザクション (Table 120 を参照してください)
コンフィギュレーションレジスタ 1 (CFR1N, CFR1V)	ディープパワーダウンモード開始 (ENTDPD_3_0)

#### 4.16.2.4 レガシー (x1) SPI DPD 関連レジスタとトランザクション

Table 65 レガシー (x1) SPI DPD 関連レジスタとトランザクション

関連レジスタ (93 ページのレジスタを参照してください)	関連 SPI トランザクション (Table 122 を参照してください)
コンフィギュレーションレジスタ 4 (CFR4N, CFR4V)	ディープパワーダウンモード開始 (ENDPD_0_0)

## 機能

## 4.17 電源投入と電源切断

電源投入と電源切断時に、以下のように  $V_{CC}$  が正しい値に達するまでデバイスを選択してはいけません。

- 電源投入時、そして、 $t_{PU}$  の遅延時間の間  $V_{CC}(\text{Min})$
- 電源切断時には  $V_{SS}$

### 4.17.1 電源投入

デバイスは、 $V_{CC}$  が最小  $V_{CC}$  閾値を超えてから  $t_{PU}$  の遅延時間が経過するまですべてのトランザクションを無視します (Figure 47 を参照してください)。ただし、 $t_{PU}$  中に  $V_{CC}$  が  $V_{CC}(\text{Min})$  以下になった場合、デバイスの正常な動作は保証されません。 $t_{PU}$  の終了まで、コマンドをデバイスに送信しないようにしてください。

デバイスは  $t_{PU}$  中に  $I_{POR}$  電流を消費します。電源投入 ( $t_{PU}$ ) 後、デバイスは DPD モードまたはスタンバイモードに入るオプションがあります。コンフィギュレーションレジスタの DPDPOR ビットでは、POR 完了後にデバイスが DPD モードまたはスタンバイモードに入るかを制御します。DPDPOR ビットが有効の場合、電源投入後にデバイスは DPD モードに入ります。POR 後にデバイスがスタンバイモードに戻るには、ハードウェアリセット (RESET#) が必要です。

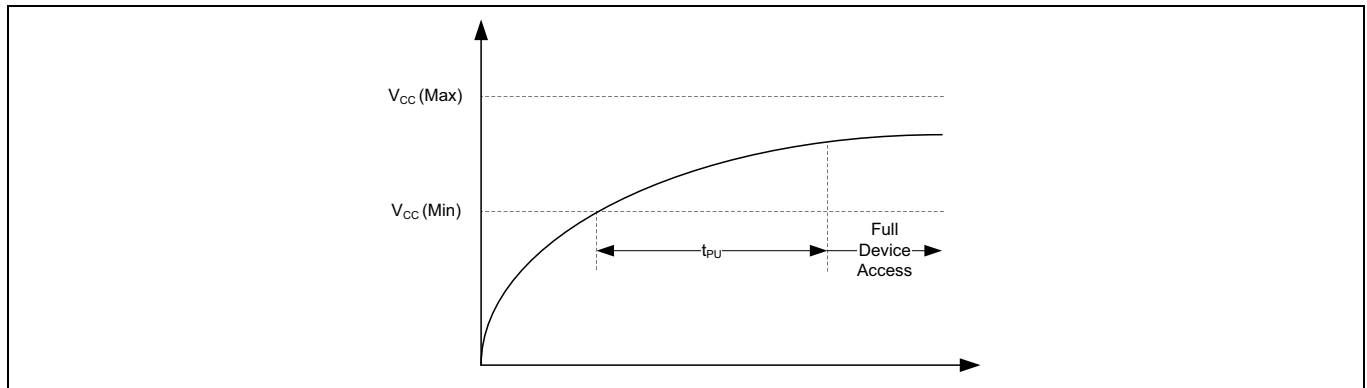


Figure 47 電源投入

### 4.17.2 電源切断

電源切断中または電圧が  $V_{CC}(\text{Cut-off})$  を下回っている間、電圧は  $t_{PD}$  時間の間  $V_{CC}(\text{Low})$  を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます (Figure 48 を参照してください)。電圧低下中に、 $V_{CC}$  が  $V_{CC}(\text{Cut-off})$  を上回ったままの場合は、デバイスは初期化状態のままとなり、 $V_{CC}$  が再度  $V_{CC}(\text{Min})$  を上回ったとき、正常に動作します。電源投入後に POR が正常に完了しない場合、RESET# のアサート時に POR プロセスが再起動されます。

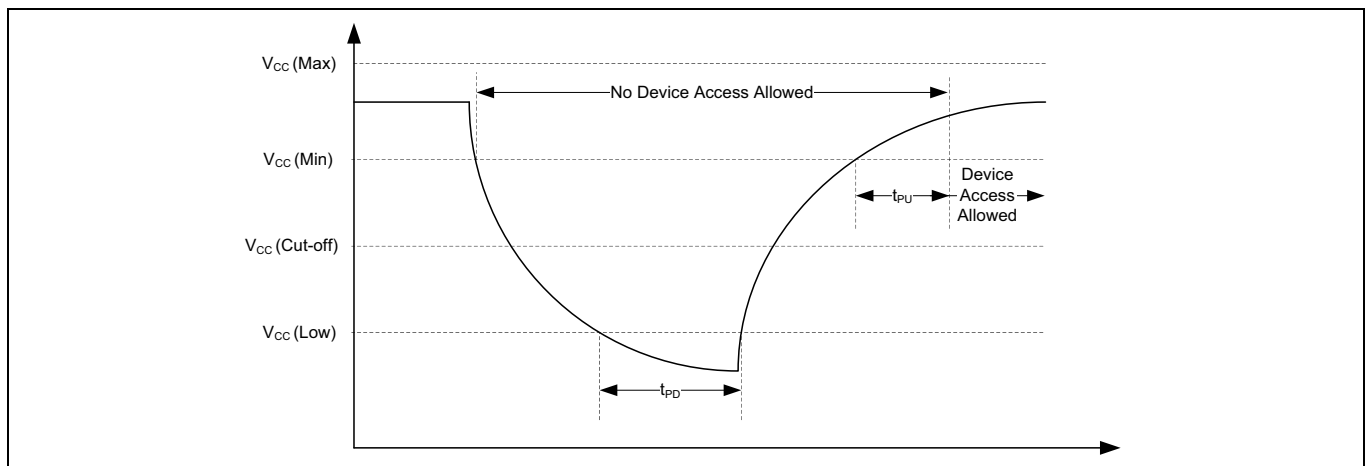


Figure 48 電源切断と電圧低下

### 4.17.3 電源投入と電源切断シーケンス

HL-T/HS-T デバイスの保証される信頼できる動作のためには、以下の電源シーケンスに従ってください。

- 電源投入シーケンス中、 $V_{CCQ}$  の前に  $V_{CC}$  を印加します。電源投入時  $V_{CCQ}$  が  $V_{CC}$  を超えない限り、 $V_{CC}$  と  $V_{CCQ}$  を同時に印加できます。
- 電源切断モード時、 $V_{CC}$  の前に  $V_{CCQ}$  を下げます。電源投切断時  $V_{CCQ}$  が  $V_{CC}$  を超えない限り、 $V_{CC}$  と  $V_{CCQ}$  を同時に下げられます。
- $V_{CCQ} \leq V_{CC}$  にすることを推奨します。

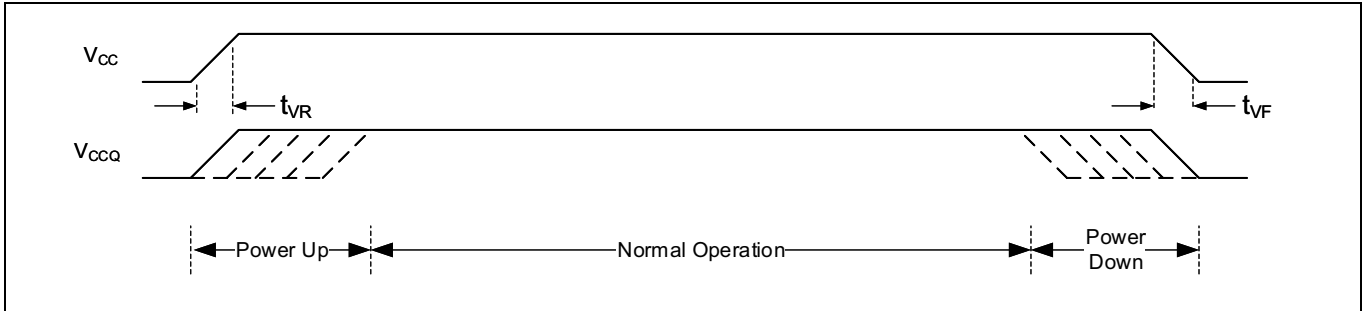


Figure 49 電源投入と電源切断シーケンス

## 5 レジスタ

レジスタは、デバイス動作の設定およびステータス報告のために使用される小さなストレージセルグループです。HL-T/HS-T デバイス ファミリは、レガシー互換性および新機能のために個別の不揮発性と揮発性ストレージグループを使用して異なるレジスタビットタイプを実装します。各レジスタは揮発性ビットと対応する不揮発性ビット（恒久的な保存が必要な場合）のグループとして構成されます。電源投入、ハードウェアリセットまたはソフトウェアリセットのとき、レジスタの不揮発性ビットのデータは揮発性ビットに転送され、揮発性ビットのデフォルト状態を提供します。レジスタの不揮発性ビットに新しいデータを書き込むと、揮発性ビットも新しいデータで更新されます。しかし、揮発性レジスタビットに新しいデータを書き込むと、不揮発性ビットは古いデータを保持します。レジスタ構造を [Figure 50](#) に示します。

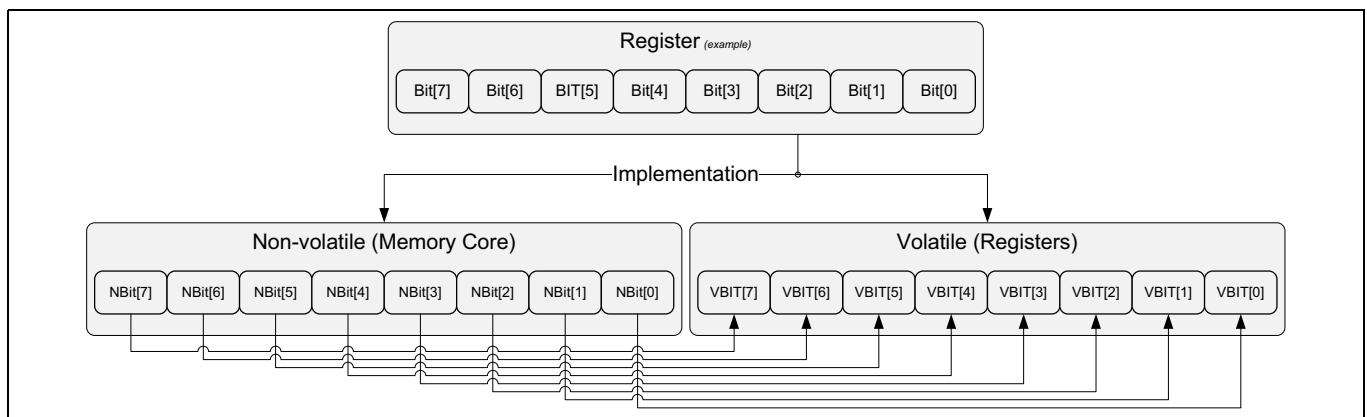


Figure 50 レジスタ構造

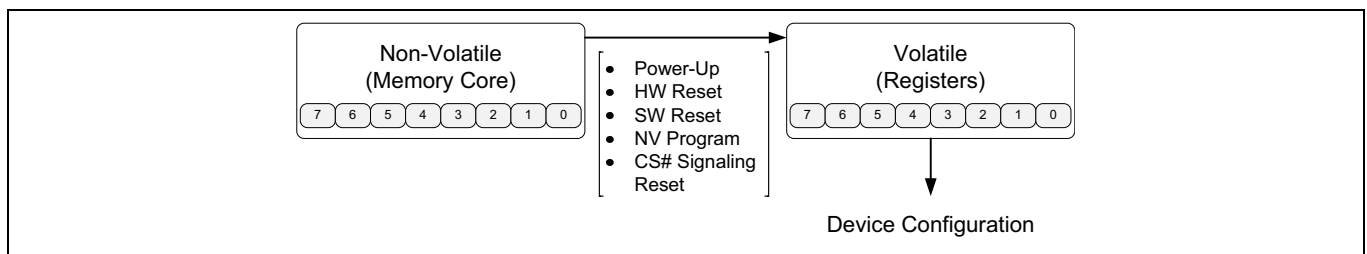


Figure 51 レジスタ要素内のデータ移動

HYPERBUS™ インターフェース対応の SEMPER™ フラッシュ デバイスは、HYPERBUS™ とレガシー (x1) SPI それぞれのインターフェースタイプ用に個別のレジスタセットを使用します。両方のレジスタセットは対応するインターフェース動作のために設定する必要があります。

レジスタ

## 5.1 レジスタ命名規則

Table 66 レジスタビットの表記法

ビット番号	名称	機能	読み出し / 書き込み (R/W)	工場出荷時 設定 (2進)	説明
REGNAME#T[x] T=N, V, O 降順	-	-	オプション: N/A- 該当なし R- 読み出し専用 R/W- 読み出し / 書き込み R/1- 読み出し / ワンタイム プログラマブル	オプション: 0 1	フォーマット: コンフィギュレーションビットの説明 0= ビットを「0」に選択するオプション 1= ビットを「1」に選択するオプション  依存性: このビットは実装に複数のビットを必要とする機能の一部ですか?

## 5.2 HYPERBUS™ レジスタ

### 5.2.1 コンフィギュレーションレジスタ 1 (CFR1x) (x8)

コンフィギュレーションレジスタ 1 はデバイスの機能を制御します。

Table 67 コンフィギュレーションレジスタ 1 (x8) (1/2)

ビット番号	名称	機能	読み出し / 書き 込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
CFR1N[15] CFR1V[15]	DPDPOR	パワーオンリセット時のディープパワーダウン電力節約モード開始の選択	N=>R/W V=>R/W	1	説明: DPDPOR ビットはデバイスがパワーオンリセット (POR) 完了後にディープパワーダウン (DPD) モードまたはスタンバイモードになるかを選択します。有効の場合、DPDPOR はデバイスが DPD モードで開始するように設定し、デバイス動作が必要となるまで消費電流を減らします。デバイスが DPD モードにある場合、CS# バルスまたはハードウェアリセットはデバイスをスタンバイモードに戻します。  選択オプション: 0= パワーオンリセット完了時にディープパワーダウン電力モードに入ります。 1= パワーオンリセット完了時にスタンバイモードに入ります。  依存性: 該当なし
CFR1N[14:12] CFR1V[14:12]	IOIMPD[2:0]	I/O ドライバ出力インピーダンス選択	N=>R/W V=>R/W	101	説明: IOIMPD[2:0] ビットは I/O ドライバ出力インピーダンス (駆動強度) を選択します。出力インピーダンスコンフィギュレーションビットは、システム信号の整合性要件を満たすために、通常のデバイス動作中の駆動強度を調整します。  選択オプション: 000 = 45Ω 001 = 120Ω 010 = 90Ω 011 = 60Ω 100 = 45Ω 101 = 30Ω (工場出荷時設定) 110 = 20Ω 111 = 15Ω  依存性: 該当なし
CFR1N[11] CFR1V[11]	TLCFRP	コンフィギュレーションレジスタの一時的ロックの選択	N=>R/W V=>R/W	1	説明: TLCFRP ビットはコンフィギュレーションレジスタを一時的に保護します。電源投入時またはハードウェアリセットで、TLCFRP はデフォルト状態に設定されます。選択されたとき、コンフィギュレーションレジスタをプログラムから保護します。 注: TLCFRP を「0」にセットする前に他のコンフィギュレーションビットをプログラム / 確認することが推奨されます。  選択オプション: 0= コンフィギュレーションレジスタは保護されます。 1= コンフィギュレーションレジスタは保護されません。  依存性: 該当なし

レジスタ

Table 67 コンフィギュレーションレジスタ 1 (x8) (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR1N[10] CFR1V[10]	TLSSRP	セキュアシリコン領域の一時的ロックの選択	N=>R/W V=>R/W	1	説明: TLSSRP ビットは SSR を一時的に保護します。電源投入時またはハードウェアリセットで、TLSSRP はデフォルト状態に設定されます。選択された時、プログラムから SSR を保護します。  選択オプション: 0= セキュアシリコン領域は保護されます。 1= セキュアシリコン領域は保護されません。  依存性: 該当なし
CFR1N[9:8] CFR1V[9:8]	TB4KBS[1:0]	4KB セクタブロック用の最上位 / 最下位アドレス範囲選択	N=>R/W V=>R/W	10	説明: TB4KBS ビットは 4KB セクタブロックの論理アドレス位置を定義します。4KB セクタブロックは最上位または最下位アドレスセクタの該当部分を置き換えます。  選択オプション: 00=4KB セクタブロックとパスワード読み出し保護セクタはメモリアドレス空間の最下部にマッピングされます。 01=4KB セクタブロックとパスワード読み出し保護セクタはメモリアドレス空間の最上部にマッピングされます。 10= ユニフォームセクタアーキテクチャとパスワード読み出し保護セクタはメモリアドレス空間の最下部にマッピングされます。 11= ユニフォームセクタアーキテクチャとパスワード読み出し保護セクタはメモリアドレス空間の最上部にマッピングされます。  依存性: 該当なし
CFR1N[7:4] CFR1V[7:4]	MEMLAT[3:0]	メモリアレイ読み出しレイテンシの選択 - 初期データアクセスに必要なタミーサイクル	N=>R/W V=>R/W	1011	説明: MEMLAT[3:0] ビットはすべての可変レイテンシメモリアレイおよび不揮発性レジスタ読み出しトランザクションでの読み出しレイテンシ(タミーサイクル)を制御します。MEMLAT の選択により、異なる動作周波数に基づいて通常動作での読み出しレイテンシを調整できます。デバイスは、コンフィギュレーションレジスタ 1 が消去されると 20 の読み出しレイテンシサイクルをサポートします。  選択オプション: 0000= トランザクションオペコードに基づいて 5 レイテンシサイクルを選択します。 ..... 1100= トランザクションオペコードに基づいて 20 レイテンシサイクルを選択します。  依存性: 該当なし
CFR5V[3]	RESVRD	将来使用するために予約済み	N=>R/W V=>R/W	1	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR1N[2] CFR1V[2]	DTSTSL	デバイスエラー時のデータストロープ (DS) 停止の選択	N=>R/W V=>R/W	1	説明: DTSTSL ビットは 2 ビット ECC 検出などのデバイスエラーのときにデータストロープ (DS) が停止するかどうかを選択します。  選択オプション: 0=DS はデバイスエラー時に停止します。 1=DS はデバイスエラー時に停止しません。  依存性: 該当なし
CFR1N[1:0] CFR1V[1:0]	RBSTWL[1:0]	バーストラップ読み出し長の選択	N=>R/W V=>R/W	11	説明: RBSTWL[1:0] ビットは通常動作でのバーストラップ読み出しの長さ境界を選択します。これは 16、32 または 64 バイトの固定された長さ / アラインメントを選択します。  選択オプション: 00= 予約済み 01=64 バイト ラップ長 10=16 バイト ラップ長 11=32 バイト ラップ長  依存性: 該当なし

レジスタ

Table 68 MEMLAT[3:0] レイテンシコード オプションに応じた HYPERBUS™ 最大動作周波数

レイテンシコード	レイテンシクロックの初期レイテンシシングル / ダブル	シングル初期レイテンシ最大周波数 (MHz)	ダブル初期レイテンシ最大周波数 (MHz)
0000	5 / 10	57	107
0001	6 / 12	71	121
0010	7 / 14	85	135
0011	8 / 16	100	150
0100	9 / 18	107	164
0101	10 / 20	114	178
0110	11 / 22	128	192
0111	12 / 24	142	200
1000	13 / 26	157	200
1001	14 / 28	171	200
1010	15 / 30	185	200
1011	16 / 32	200	200
1100	20 / 40	200	200
1101	予約済み	-	-
1110	予約済み	-	-
1111	予約済み	-	-



レジスタ

## 5.2.2 コンフィギュレーションレジスタ 2 (CFR2x) (x8)

コンフィギュレーションレジスタ 2 はデバイスの機能を制御します。

**Table 69** コンフィギュレーションレジスタ 2 (x8) (1/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR2V[15:8]	RESVRD	将来使用するために予約済み	N=>R/W V=>R/W	11111111	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR2N[7] CFR2V[7]	PGLTNS	メモリ読み出しページ境界レイテンシの選択	N=>R/W V=>R/W	1	<p>説明: PGLTNS ビットは読み出し命令中にシングルまたはダブル初期レイテンシが発生したかを選択します。ダブル初期レイテンシはページ境界越えのレイテンシが発生しないようにします。</p> <p>選択オプション: 0= ダブル初期レイテンシ - ページ境界でレイテンシが発生しません。 1= シングル初期レイテンシ - ページ境界でレイテンシが発生します。</p> <p>依存性: 該当なし</p>
CFR2N[6] CFR2V[6]	ATP12S	アドレストラップレジスタの 1 ビットまたは 1 ビット / 2 ビット ECC エラーの選択	N=>R/W V=>R/W	1	<p>説明: ATP12S ビットはアドレストラップレジスタ用に 1 ビット ECC エラー検出 / 訂正、または 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出の両方を選択します。</p> <p>選択オプション: 1= アドレストラップレジスタは 2 ビット ECC エラーのアドレスをトラップします。 0= アドレストラップレジスタは 1 ビットと 2 ビットの ECC エラーのアドレスをトラップします。</p> <p>依存性: 該当なし</p>
CFR2N[5] CFR2V[5]	ECC12S	エラー訂正コード (ECC) の 1 ビットまたは 1 ビット / 2 ビットエラー訂正の選択	N=>R/W V=>R/W	0	<p>説明: ECC12S ビットは 1 ビット ECC エラー検出 / 訂正、または 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出の両方を選択します。</p> <p>選択オプション: 0= 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出 1= 1 ビット ECC エラー検出 / 訂正</p> <p>依存性: 該当なし</p>
CFR2N[4] CFR2V[4]	HYBSEL	ハイブリッドバースト選択 - このオプション用に CA[45] はラップバーストタイプを選択	N=>R/W V=>R/W	1	<p>説明: HYBSEL ビットは、最初に 1 つのラップバーストの後に続いてリニアバーストを提供するハイブリッドバーストを選択します。</p> <p>選択オプション: 0= ハイブリッドバーストは有効です (ラップバーストの後にリニアバーストが続きます)。 1= ハイブリッドバーストは無効です。</p> <p>依存性: 該当なし</p>
CFR2N[3] CFR2V[3]	RESVRD	将来使用するために予約済み	N=>R/W V=>R/W	1	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR2N[2] CFR2V[2]	SP4KBS	最上位と最下位のアドレス空間の間での 4KB セクタの分割	N=>R/W V=>R/W	1	<p>説明: SP4KBS ビットは 4KB セクタがグループ化されるか、または上位と下位のアドレス範囲の間で均等に分割されるかを選択します。</p> <p>選択オプション: 0= 4KB セクタは一緒にグループ化されます。 1= 4KB セクタは上位アドレスと下位アドレスの間で分割されます。</p> <p>依存性: TB4KBS[1:0] (CFR1x[9:8])</p>

レジスタ

Table 69 コンフィギュレーションレジスタ 2 (x8) (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR2V[1]	RESVRD	将来使用するために予約済み	N=>R/W V=>R/W	1	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR2N[0] CFR2V[0]	CK#SEL	マスタークロック 選択 - シングル エンドまたは差動	N=>R/W V=>R/W	1	説明: CK#SEL ビットはマスタークロックがシングルエンド (CK) または差動 (CK、CK#) であるかを選択します。  選択オプション: 1= マスタークロックはシングルエンド (CK) です。 0= マスタークロックは差動 (CK、CK#) です。  依存性: 該当なし

レジスタ

### 5.2.3 ステータス レジスタ (x8)

ステータス レジスタはデバイスの動作時のステータスを提供します。

Table 70 ステータスレジスタ (x8) <sup>[26]</sup> (1/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
STRV[15:10]	RESVRD	将来使用するために予約済み	V=>R	1111111	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
STRV[9]	RESVRD	将来使用するために予約済み	V=>R	1	このビットは将来使用するために予約されています。常に (1Gb, 512Mb) デフォルトの状態に書き込む / ロードする必要があります。
				0	このビットは将来使用するために予約されています。常に (256Mb) デフォルトの状態に書き込む / ロードする必要があります。
STRV[8]	DICRCS	メモリアレイデータ整合性チェック CRC 一時停止 ステータス フラグ	V=>R	0	説明: DICRCS ビットはデバイスがメモリアレイデータ整合性チェック CRC 一時停止モードになっているかどうかを判断するために使用されます。 選択オプション: 0= メモリアレイデータ整合性チェック CRC は一時停止モードではありません。 1= メモリアレイデータ整合性チェック CRC は一時停止モードです。 依存性: 該当なし
STRV[7]	RDYBSY	デバイスレディ / ビジー ステータス フラグ	V=>R	1	説明: RDYBSY ビットは、デバイスが組み込み動作を実行しているか、またはスタンバイモードで新しいトランザクションの受け入れができることを示します。 注: PRGERR または ERSERR がセットされると、RDYBSY ビットは「1」にセットされます。 選択オプション: 0= デバイスはビジーであり、新しい動作トランザクションを受け入れられません。 1= デバイスはスタンバイモードであり、新しい動作トランザクションを受け入れられません (ホストは、新しいトランザクションを提供する前に PRGERR と ERSERR を確認する必要があります)。 依存性: 該当なし
STRV[6]	ERASES	消去動作一時停止ステータス フラグ	V=>R	0	説明: ERASES ビットは消去動作が一時停止されているかどうかを示すために使用されます。 選択オプション: 0= 消去動作は一時停止モードではありません。 1= 消去動作は一時停止モードです。 依存性: 該当なし
STRV[5]	ERSERR	消去エラー ステータス フラグ	V=>R	0	説明: ERSERR ビットは消去動作の成功または失敗を示します。ERSERR ビットが「1」にセットされたとき、最終の消去動作にエラーがあったことを示します。ERSERR ビットは保護されたメモリセクタで消去動作が行われたときにもセットされます。ERSERR がセットされている場合、ステータスレジスタクリア (CLSR) トランザクションまたはハードウェア / ソフトウェアリセットでのみクリアできます。 注: デバイスは、ERSERR フラグがクリアされた場合のみスタンバイモードに入ります。 選択オプション: 0= 前回の消去動作は成功しました。 1= 前回の消去動作は成功しませんでした。 依存性: 該当なし

注

26. POR / ハードウェアリセット / DPD 終了 / CS# シグナリングリセット中の STRV の値は無効です。

レジスタ

Table 70 ステータスレジスタ (x8) <sup>[26]</sup> (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
STRV[4]	PRGERR	プログラムエラー ステータスフラグ	V=>R	0	<p>説明: PRGERR ビットはプログラム動作の成功または失敗を示します。PRGERR ビットが「1」にセットされた場合、前回のプログラム動作にエラーが発生したことを示します。PRGERR ビットは保護されたメモリ領域でプログラム動作が行われたときにもセットされます。PRGERR がセットされている場合、ステータスレジスタクリア (CLSR) トランザクションまたはハードウェア / ソフトウェアリセットでのみクリアできます。 <b>注:</b> デバイスは PRGERR フラグがクリアされた場合にのみスタンバイモードになります。</p> <p>選択オプション: 0= 前回のプログラム動作は成功しました。 1= 前回のプログラム動作は成功しませんでした。</p> <p>依存性: 該当なし</p>
STRV[3]	WRBFAB	バッファ書き込み中止 ステータスフラグ	V=>R	0	<p>説明: WRBFAB ビットはプログラム中止条件を示します。バッファ書き込み動作の強制終了を引き起こす何らかの条件が発生すると、動作は直ちに中止し、ステータスレジスタにプログラム失敗 (PRGERR=1) とバッファ書き込み中止 (WRBFAB=1) が示されます。その後、プログラム動作が成功すると、失敗の状態はクリアされます。またはステータスレジスタクリアを実行すると、PSB ステータスビットがクリアされます。WRBFAB はまた、メモリアレイ CRC 計算動作が中止されたことを示します。終了アドレス (EA) は開始アドレス (SA) より少なくとも 1 アドレス上位である必要があります。[EA&lt;SA+1] の場合、チェック値の計算は中止され、デバイスはレディ状態に戻ります。中止条件を示すために WRBFAB は「1」にセットされます。[EA&lt;SA+1] の場合、CRC は不確定なデータを保持します。</p> <p>選択オプション: 0= バッファ書き込み命令実行中にプログラムは中止しないか、または CRC 終了アドレスロード命令は中止しませんでした。 1= バッファ書き込み命令実行中にプログラムは中止したか、または CRC 終了アドレスロード命令は中止しました。</p> <p>依存性: 該当なし</p>
STRV[2]	PROGMS	プログラム動作一時 停止ステータスフラグ	V=>R	0	<p>説明: PROGMS ビットはプログラム動作が一時停止されているかどうかを示すために使用されます。</p> <p>選択オプション: 0= プログラム動作は一時停止モードではありません。 1= プログラム動作は一時停止モードです。</p> <p>依存性: 該当なし</p>
STRV[1]	SPROTE	セクタ保護 (ロック) エラーフラグ	V=>R	0	<p>説明: SPROTE ビットは、対象の領域 (メモリアレイ、レジスタまたは SSR) が保護 (ロック) されたためプログラムまたは消去動作が失敗したことを示します。SPROTE は前回のプログラムまたは消去動作の状態を反映します。</p> <p>選択オプション: 0= 動作は保護エラーを発生させませんでした。 1= 動作は保護エラーを発生させました。</p> <p>依存性: 該当なし</p>
STRV[0]	SESTAT	セクタ消去成功 / 失敗 ステータスフラグ	V=>R	0	<p>説明: SESTAT ビットはセクタの消去動作が正常に完了したかどうかを示します。消去ステータス判定トランザクション (EVERS 4.0) はセクタアドレスを指定する SESTAT ビットを読み出す前に実行する必要があります。</p> <p>選択オプション: 0= アドレス指定したセクタは正常に消去されていません。 1= アドレス指定したセクタは正常に消去されました。</p> <p>依存性: 該当なし</p>

注

26. POR/ ハードウェアリセット / DPD 終了 / CS# シグナリングリセット中の STRV の値は無効です。

レジスタ

### 5.2.4 ECC ステータス レジスタ (ECSV) (x8)

ECC ステータス (ECSV) はユニット データに対するエラー訂正の状態を格納します。

**Table 71** ECC ステータス レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ECSV[15:4]	RESRVD	将来使用するために予約済み	V=>R	000000000000	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ECSV[3]	ECC2BT	2 ビット ECC エラー検出フラグ	V=>R	0	説明: ECC2BT ビットは 2 ビット ECC エラーがデータユニット (16 バイト) で検出されたかどうかを示します。 選択オプション: 0=2 ビット ECC エラーがデータユニット (16 バイト) で検出されていません。 1=2 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: 該当なし
ECSV[2]	RESRVD	将来使用するために予約済み	V=>R	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ECSV[1]	ECC1BT	1 ビット ECC エラー検出と訂正フラグ	V=>R	0	説明: ECC1BT ビットは 1 ビット ECC エラーがデータユニット (16 バイト) で検出されて訂正されたかどうかを示します。 選択オプション: 0=1 ビット ECC エラーがデータユニット (16 バイト) で検出されませんでした。 1=1 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: 該当なし
ECSV[0]	ECCDBL	ECC ディセーブルフラグ	V=>R	0	説明: ECCDBL ビットはアドレス指定されたデータユニット (16 バイト) で ECC が有効であるか無効であるかを示します。 選択オプション: 0=アドレス指定されたデータユニット (16 バイト) で ECC は有効です。 1=アドレス指定されたデータユニット (16 バイト) で ECC は無効です。 依存性: 該当なし

### 5.2.5 ECC アドレストラップ レジスタ (EATV) (x8)

ECC アドレストラップ レジスタ (EATV) は、読み出し動作中に 1 ビット / 2 ビット エラーまたは 1 ビット エラーのみが発生した ECC ユニット データのアドレスを格納します。最初の ECC エラーの ECC ユニット アドレスを格納します。

**Table 72** ECC アドレストラップ レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
EATV[31:0]	ECCATP[31:0]	ECC 1 ビットと 2 ビットエラー アドレストラップ レジスタ	V=>R	0x00000000	説明: アドレストラップレジスタ (ECCATP[31:0]) は、読み出し動作中に 1 ビット / 2 ビットエラーが発生した ECC ユニット データ アドレスを格納します。ECCATP[31:0] は、前回の ECC ステータスレジスタクリアトランザクション (CLECC) 以降のメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニット アドレスを格納します。 注: ECCATP[31:0] は読み出し命令中のみ更新されます。 注: ECC ユニット アドレスから、有効ではない上位 ECCATP アドレスビットをマスクします。 注: ECC ステータスレジスタクリアトランザクション (CLECC)、POR またはハードウェア / ソフトウェアリセットは EATV[31:0] を 0x00000000 にクリアします。 選択オプション: ECC エラー データユニット アドレス 依存性: 該当なし +F6:F20

レジスタ

## 5.2.6 ECC エラー検出カウント レジスタ (ECTV) (x8)

ECC エラー検出カウント レジスタ (ECTV) は、最後の POR またはハードウェア / ソフトウェアリセット後に読み出し動作中に発生した 1 ビット / 2 ビットまたは 1 ビットのみ ECC エラーの数を格納します。

**Table 73** ECC カウント レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
ECTV[15:0]	ECCCNT[15:0]	ECC 1 ビットと 2 ビットエラーカウントレジスタ	V=>R	0x0000	<p>説明: ECCCNT[15:0] は、前回の POR またはハードウェア / ソフトウェアリセット以降の読み出し動作中に発生した 1 ビット / 2 ビット ECC エラーの数を格納します。</p> <p>注: ECCCNT[15:0] は読み出し命令中のみ更新されます。</p> <p>注: データユニットごとに 1 つの ECC エラーのみがカウントされます。もし複数の読み出しトランザクションが ECC エラーのある同じデータユニットにアクセスした場合は、ECCCNT[15:0] はデータユニットが読み出されるたびにインクリメントします。</p> <p>注: カウントが 0xFFFF に達すると、ECCCNT[15:0] はインクリメントを停止します。</p> <p>注: POR またはハードウェア / ソフトウェアリセットは、ECCCNT[15:0] を 0x0000 にクリアします。</p> <p>選択オプション: ECC エラー カウント</p> <p>依存性: 該当なし</p>

## 5.2.7 ASP パスワード レジスタ (PWDO) (x8)

ASP パスワード レジスタ (PWDO) はパスワードを恒久的に定義するために使用されます。

**Table 74** パスワード レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (16 進)	説明
PWDO[63:0]	PASWRD[63:0]	パスワード レジスタ	N=>R/1	0xFFFFFFFF FFFFFFFF	<p>説明: PASWRD[63:0] は、パスワード保護動作モードで使用されるパスワードを恒久的に保持します。パスワード保護モードが有効の場合、このレジスタはパスワード読み出し要求のときに全ビット 1 のデータを出力します。</p> <p>選択オプション: パスワード</p> <p>依存性: 該当なし</p>

## 5.2.8 高度セクタ保護レジスタ (ASPO) (x8)

ASP レジスタ (ASPO) は高度セクタ保護スキームの動作を設定します。

**Table 75** 高度セクタ保護レジスタ (x8) (1/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
ASPO[15:6]	RESVRD	将来使用するために予約済み	N=>R/1	11111111 11	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ASPO[5]	ASPRDP	パスワード読み出しベース保護の選択	N=>R/1	1	<p>説明: ASPRDP ビットはパスワード読み出し保護モードを選択します。パスワード読み出し保護モードは、すべてのセクタを読み出し / 消去 / プログラムから保護するために、パスワード保護モードと連携して動作します。TB4KBS[1:0] コンフィギュレーションビット (CFR1x[9:8]) に基づき、最上位または最下位のどちらかのセクタは読み出せません。</p> <p>選択オプション: 0= パスワード読み出し保護モードは有効です。 1= パスワード読み出し保護モードは無効です。</p> <p>依存性: TB4KBS[1:0] (CFR1x[9:8])</p>
ASPO[4]	RESVRD	将来使用するために予約済み	N=>R/1	1	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ASPO[3]	RESVRD	将来使用するために予約済み	N=>R/1	1	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。

Table 75 高度セクタ保護レジスタ (x8) (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
ASPO[2]	ASPPWD	パスワードベース保護の選択	N=>R/1	1	説明: ASPPWD ビットはパスワード保護モードを選択します。パスワード保護モードは、正しいパスワードが入力されるまで、すべての PPB ビット、すべてのレジスタおよびメモリ全体を消去 / プログラムから保護しません。ASPPWD は、すべてのレジスタとすべてのメモリを消去 / プログラムから保護するため、および正しいパスワードが提供されるまでセクタを読み出しから保護するために、ASPRDP と合わせて使用できます。ただし、TB4KBS[1:0] コンフィギュレーションビット (CFR1x[9:8]) に基づき、最上位または最下位のどちらかのセクタは読み出せません。 注: ASPPWD が選択されている場合、ASPO[15:0] は書き込み動作から保護されます。  選択オプション: 0= パスワード保護モードは有効です。 1= パスワード保護モードは無効です。  依存性: ASPPER (ASPO[1])
ASPO[1]	ASPPER	持続的保護の選択 (レジスタ保護の選択)	N=>R/1	1	説明: ASPPER ビットは持続的保護モードを選択します。持続的保護モード (ASPPER) は ASPO[15:0] レジスタを消去 / プログラムから保護します。  選択オプション: 0= 持続的保護モードは有効です。 1= 持続的保護モードは無効です。  依存性: ASPPWD (ASPO[2])
ASPO[0]	RESVRD	将来使用するために予約済み	N=>R/1	1	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。

### 5.2.9 ASP PPB ロック レジスタ (PPLV) (x8)

ASP PPB ロック レジスタ (PPLV) の PPBLCK ビットは PPB ビットを保護するために使用されます。

Table 76 ASP PPB ロック レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
PPLV[15:1]	RESVRD	将来使用するために予約済み	V=>R	11111111 111111	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
PPLV[0]	PPBLCK	PPB の一時的保護選択	V=>R	1	説明: PPBLCK ビットは、すべての PPB ビットを一時的保護するために使用されます。  選択オプション: 0=PPB ビットは、次の POR またはハードウェアリセットまで消去 / プログラムから保護されます。 1=PPB ビットは消去 / プログラムできます。  依存性: 該当なし

### 5.2.10 ASP PPB アクセス レジスタ (PPAV) (x8)

ASP PPB アクセス レジスタ (PPAV) は各セクタの PPB 保護ビットの状態を提供するために使用されます。

Table 77 ASP PPB アクセス レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
PPAV[15:0]	PPBACS[15:0]	セクタベース PPB 保護ステータス	N=>R/W	11111111 11111111	説明: PPBACS[7:0] ビットは、個別セクタの PPB ビットの状態を提供するために使用されます。  選択オプション: FFFF=PPB 読み出しトランザクションによってアドレス指定されたセクタの PPB は「1」であり、セクタをプログラム / 消去動作から保護しません。 0000=PPB 読み出しトランザクションによってアドレス指定されたセクタの PPB は「0」であり、セクタをプログラム / 消去動作から保護します。  依存性: 該当なし

レジスタ

### 5.2.11 ASP ダイナミックブロックアクセスレジスタ (DYAV) (x8)

ASP DYB アクセスレジスタ (DYAV) は各セクタの DYB 保護ビットの状態を提供するために使用されます。

**Table 78 ASP DYB アクセスレジスタ (x8)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
DYAV[15:0]	DYBACS[15:0]	セクタベース DYB 保護ステータス	V=>R/W	111111111 111111	<p>説明: DYBACS[7:0] ビットは個別セクタの DYB ビットの状態を提供するために使用されます。</p> <p>選択オプション: FFFF=DYB 読み出しトランザクションによってアドレス指定されたセクタの DYB は「1」であり、セクタをプログラム / 消去動作から保護しません。 0000=DYB 読み出しトランザクションによってアドレス指定されたセクタの DYB は「0」であり、セクタをプログラム / 消去動作から保護します。</p> <p>依存性: 該当なし</p>

### 5.2.12 オートブートレジスタ (ATBN) (x8)

オートブートレジスタ (ATBN) は、パワーオンリセットまたはハードウェアリセットプロセスの一部として、ブートコードを自動的に読み出す方法を提供します。

**Table 79 オートブートレジスタ (x8)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
ATBN[31:9]	STADR[22:0]	オートブートがデータ読み出しを始める開始アドレスの選択	N=>R/W	000000000 000000000 000	<p>説明: STADR[22:0] ビットは、デバイスが読み出しデータを出力する開始アドレスを設定します。</p> <p>選択オプション: アドレスビット</p> <p>依存性: 該当なし</p>
ATBN[8:1]	STDLY[7:0]	オートブート読み出し初期遅延の選択	N=>R/W	00000000	<p>STDLY[7:0] ビットは、ホストがデータを受け入れる前に必要な初期遅延 (クロックサイクル) を指定します。 注: STDLY[7:0]=0x00 は最大 50 MHz の SPI に対応します。 STDLY[8:1]=0x01 以上は最大 166 MHz の SPI/DPI/QPI に対応します。STDLY[7:0]=0x05 以上は最大 200 MHz の OPI/HYPERFLASH™ に対応します。</p> <p>選択オプション: アドレスビット</p> <p>依存性: 該当なし</p>
ATBN[0]	ATBTEN	オートブート機能の選択	N=>R/W	0	<p>説明: ATBTEN ビットはオートブート機能を有効 / 無効にします。</p> <p>選択オプション: 0= オートブート機能は無効です。 1= オートブート機能は有効です。</p> <p>依存性: 該当なし</p>

### 5.2.13 POR 時間レジスタ (PORT) (x8)

POR 時間レジスタは RSTO# 時間が POR 時間より延長されるカウントを格納します。

**Table 80 POR 時間レジスタ (x8)**

不揮発メモリコアビット					説明
ビット	名称	機能	読み出し / 書き込み (R/W)	デフォルト状態	
15:0	PORT_NV	パワーオン-リセット時間	R/W	FFFFh	<p>RSTO# 時間を POR 時間より長くするためには、不揮発性の POR 時間レジスタをプログラムする必要があります。</p> <p>0000000000000000b ..... 1111111111111111b</p>



レジスタ

### 5.2.14 セクタ消去カウント レジスタ (SECV) (x8)

セクタ消去カウント レジスタ (SECV) はアドレス セクタが消去された回数を格納します。

Table 81 セクタ消去カウント レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
SECV[31:24]	RESVRD	将来使用するために予約済み	V=>R	11111111	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
SECV[23]	SECCPT	セクタ消去カウント破損ステータスフラグ	V=>R	0	説明: SECCPT ビットは、報告されたセクタ消去カウントが破損してリセットされたかを判定するために使用されます。 注: SECCPT がカウント破損でセットされた場合、選択されたセクタに対する次の消去動作が正常に終了すると「0」にリセットされます。  選択オプション: 0= セクタ消去カウントは破損せず、有効です。 1= セクタ消去カウントは破損し、無効です。  依存性: 該当なし
SECV[22:0]	SECV[22:0]	セクタ消去カウント値	V=>R	0	説明: SECV[22:0] ビットはセクタが消去された回数を格納します。  選択オプション: 値  依存性: 該当なし

### 5.2.15 メモリアレイ データ整合性チェック CRC レジスタ (DCRV) (x8)

メモリアレイ データ整合性チェック CRC レジスタ (DCRV) は、指定された開始アドレスと終了アドレスの間に格納されたデータに対する CRC 計算の結果を格納します。

Table 82 メモリアレイ データ整合性チェック CRC レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16進)	説明
DCRV[31:0]	DTCRCV[31:0]	メモリアレイ データ整合性チェック CRC チェックサム値	V=>R	0xFFFFFFFF	説明: DTCRCV[31:0] ビットは、開始アドレスと終了アドレスの間に格納されたメモリアレイ データに対する CRC プロセスのチェックサム値を格納します。  選択オプション: チェックサム値  依存性: 該当なし

### 5.2.16 インターフェース CRC チェック値レジスタ (ICRV) (x8)

インターフェース CRC チェック値レジスタ (ICRV) は、保護のためにインターフェース経由のコマンドとデータ内容に対する CRC 計算の結果を格納します。

Table 83 インターフェース CRC チェック値レジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16進)	説明
ICRV[31:0]	ITCRCV[31:0]	インターフェース CRC チェックサム値	V=>R	0xFFFFFFFF	説明: ITCRCV[31:0] ビットは、開始アドレスと終了アドレスの間に格納されたメモリアレイ データに対する CRC プロセスのチェック値を格納します。  選択オプション: チェックサム値  依存性: 該当なし

レジスタ

## 5.2.17 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) (x8)

インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) は、4 ポインタ アーキテクチャに基づいて長期データ保持または高耐久性領域を定義します。

**Table 84** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 4) (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX4[10:2]	EPTAD4[8:0]	EnduraFlex ポインタ 4 アドレス選択	N=>R/1	11111111	説明: EPTAD4[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX4[1]	ERGNT4	EnduraFlex ポインタ 4 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT4 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX4[0]	EPTEB4	EnduraFlex ポインタ 4 イネーブル選択	N=>R/1	1	説明: EPTEN4 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

**Table 85** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 3) (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX3[10:2]	EPTAD3[8:0]	EnduraFlex ポインタ 3 アドレス選択	N=>R/1	11111111	説明: EPTAD3[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX3[1]	ERGNT3	EnduraFlex ポインタ 3 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT3 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX3[0]	EPTEB3	EnduraFlex ポインタ 3 イネーブル選択	N=>R/1	1	説明: EPTEN3 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

レジスタ

**Table 86** インフィニオン Endurance Flex アーキテクチャ選択レジスタ ( ポインタ 2) (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
EFX2[10:2]	EPTAD2[8:0]	EnduraFlex ポインタ 2 アドレス選択	N=>R/1	111111111	説明: EPTAD2[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX2[1]	ERGNT2	EnduraFlex ポインタ 2 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT2 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX2[0]	EPTEB2	EnduraFlex ポインタ 2 イネーブル選択	N=>R/1	1	説明: EPTEN2 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

**Table 87** インフィニオン Endurance Flex アーキテクチャ選択レジスタ ( ポインタ 1) (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
EFX1[10:2]	EPTAD1[8:0]	EnduraFlex ポインタ 1 アドレス選択	N=>R/1	111111111	説明: EPTAD1[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX1[1]	ERGNT1	EnduraFlex ポインタ 1 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT1 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX1[0]	EPTEB1	EnduraFlex ポインタ 1 イネーブル選択	N=>R/1	1	説明: EPTEN1 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

レジスタ

Table 88 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 0) (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
EFX0[1]	GBLSEL	全セクタ ベースの領域タイプ選択	N=>R/1	1	<p>説明: GBLSEL ビットは、すべてのセクタが長期データ保持領域であるか高耐久性領域であるかを定義します。</p> <p>注: 他のすべてのポインタレジスタが無効の場合、このビットはメモリ空間全体の動作を定義し、セクタ 0 から始まるように固定されます。</p> <p>選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ</p> <p>依存性: 該当なし</p>
EFX0[0]	WRLVEN	ウェア レベリングイネーブル選択	N=>R/1	1	<p>説明: WRLVEN ビットはウェア レベリング機能を有効 / 無効にします。</p> <p>選択オプション: 0= ウェア レベリングは無効です。 1= ウェア レベリングは有効です。</p> <p>依存性: 該当なし</p>

レジスタ

### 5.2.18 INT# ピンコンフィギュレーションレジスタ (INCV) (x8)

INT# ピンコンフィギュレーションレジスタ (INCV) は、どの内部イベントが INT# 出力ピンの HIGH から LOW への遷移をトリガーするかを設定します。

**Table 89 割込みコンフィギュレーションレジスタ (x8)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
INCV[15]	INTBEN	INT# ピンイネーブル選択	V=>R/W	1	説明: INT# ピンは、メモリ デバイスでイベントが発生したことをホストシステムに示すために使用される、オープンドレイン出力です。INTBEN ビットは INT# ピンを制御する機能を有効 / 無効にします。 選択オプション: 0=INT# ピン機能は有効です。 1=INT# ピン機能は無効です。 依存性: 該当なし
INCV[14]	RESRVD	将来使用するために予約済み	V=>R/W	11	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
INCV[13:5]	RESRVD	将来使用するために予約済み	V=>R/W	111111111	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
INCV[4]	REYBSY	レディ / ビジー遷移選択	V=>R/W	1	説明: REYBSY ビットはデバイスのレディ / ビジー状態が INT# を遷移することを有効 / 無効にします。 選択オプション: 0= ビジーからレディへの遷移は INT# 出力の HIGH から LOW への遷移を発生させます。 1=レディ / ビジー遷移は INT# 出力の遷移を発生させません。 依存性: 該当なし
INCV[3:2]	RESRVD	将来使用するために予約済み	V=>R/W	11	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
INCV[1]	ECC2BT	ECC 2 ビット エラー検出選択	V=>R/W	1	説明: ECC2BT ビットは 2 ビット ECC 検出エラーが INT# を遷移させることを有効 / 無効にします。 選択オプション: 0=2 ビット ECC 検出は INT# 出力の HIGH から LOW への遷移を発生させます。 1=2 ビット ECC 検出は INT# 出力の遷移を発生させません。 依存性: 該当なし
INCV[0]	ECC1BT	ECC 1 ビットのエラー検出と訂正の選択	V=>R/W	1	説明: ECC1BT ビットは、1 ビット ECC 検出エラーと訂正が INT# を遷移させることを有効 / 無効にします。 選択オプション: 0=1 ビット ECC 検出と訂正は INT# 出力の HIGH から LOW への遷移を発生させます。 1=1 ビット ECC 検出と訂正は INT# 出力の遷移を発生させません。 依存性: 該当なし

レジスタ

### 5.2.19 INT# ピンステータスレジスタ (INSV) (x8)

INT# ピンステータスレジスタ (INSV) は、最後に ISR がクリアされてからどの内部イベントが発生したかを示します。

**Table 90** 割込みステータスレジスタ (x8)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
INSV[15:5]	RESRVD	将来使用するために予約済み	V=>R/W	1111111111 1	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
INSV[4]	REYBSY	レディ / ビジー遷移	V=>R/W	1	説明: REYBSY ビットは、デバイスのレディ / ビジーステータスが INT# の遷移を発生させたかどうかを示します。 選択オプション: 0= ビジーからレディへの遷移が発生しました。 1= ビジーからレディへの遷移が発生しませんでした。 依存性: 該当なし
INSV[3:2]	RESRVD	将来使用するために予約済み	V=>R/W	11	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
INSV[1]	ECC2BT	ECC 2 ビットエラー検出	V=>R/W	1	説明: ECC2BT ビットは、2 ビット ECC 検出エラーが INT# の遷移を発生させたかどうかを示します。 選択オプション: 0= 2 ビットエラー検出が発生しました。 1= 2 ビットエラー検出が発生しませんでした。 依存性: 該当なし
INSV[0]	ECC1BT	ECC 1 ビットエラー検出と訂正	V=>R/W	1	説明: ECC1BT ビットは、1 ビット ECC 訂正エラーが INT# の遷移を発生させたかどうかを示します。 選択オプション: 0= 1 ビットエラー訂正が発生しました。 1= 1 ビットエラー訂正が発生しませんでした。 依存性: 該当なし

レジスタ

## 5.3 レガシー (x1) SPI レジスタ

### 5.3.1 ステータス レジスタ 1 (STR1x) (x1)

ステータス レジスタ 1 はステータス ビットおよび制御ビットを含みます。Table 91 で、サポートされたステータス レジスタ 1 の機能を説明します。

**Table 91** ステータス レジスタ 1 (x8)<sup>[27]</sup> (1/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
STR1N[7] STR1V[7]	RESRVD	将来使用するために 予約済み	N->R V->R	0	このビットは将来使用するために予約されています。 常にデフォルトの状態に書き込む / ロードする必要があります。
STR1V[6]	PRGERR	プログラム エラー ステータス フラグ	V->R	0	説明: PRGERR ビットはプログラム動作の成功または失敗を示します。PRGERR ビットが「1」の場合、最後のプログラム動作にエラーがあったことを示します。PRGERR ビットは保護されたメモリ領域でプログラム動作が試行されたときにもセットされます。PRGERR がいったんセットされたら、ステータス レジスタ クリア (CLSTR_0_0) トランザクションまたはハードウェア / ソフトウェアリセットでのみクリアできます。 注: デバイスは PRGERR フラグがクリアされた場合にのみスタンバイ モードになります。  選択オプション: 0= 前回のプログラム動作は成功しました。 1= 前回のプログラム動作は成功しませんでした。  依存性: 該当なし
STR1V[5]	ERSERR	消去エラー ステータス フラグ	V->R	0	説明: ERSERR ビットは消去動作の成功または失敗を示します。ERSERR ビットが「1」にセットされたとき、最終の消去動作にエラーがあったことを示します。ERSERR ビットは保護されたメモリ セクタで消去動作が試行されたときにもセットされます。ERSERR がいったんセットされたら、ステータス レジスタ クリア (CLSTR_0_0) トランザクションまたはハードウェア / ソフトウェアリセットでのみクリアできます。 注: デバイスは、ERSERR フラグがクリアされた場合にのみスタンバイ モードに入ります。  選択オプション: 0= 前回の消去動作は成功しました。 1= 前回の消去動作は成功しませんでした。  依存性: 該当なし
STR1N[4:2] STR1V[4:2]	RESRVD	将来使用するために 予約済み	N->R V->R	000	これらのビットは将来使用するために予約されています。 常にデフォルトの状態に書き込む / ロードする必要があります。

注

27. POR / ハードウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR1x の値は無効です。

レジスタ

Table 91 ステータスレジスタ 1 (x8)<sup>[27]</sup> (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR1V[1]	WRPGEN	書き込み / プログラムイネーブルステータスフラグ	V->R	0	<p>説明: WRPGEN ビットに「1」をセットし、すべてのプログラム、消去またはレジスタ書き込み動作を有効にします。これにより、メモリやレジスタ値を誤って変更することを防ぎます。書き込みイネーブル (WRENB_0_0) と書き込みイネーブル揮発性 (WRENV_0_0) トランザクションは WRPGEN ビットを「1」にセットし、プログラム、消去または書き込みトランザクションの実行を許可します。書き込みディセーブル (WRDIS_0_0) トランザクションは WRPGEN を「0」にリセットし、プログラム、消去および書き込みトランザクションの実行をすべて禁止します。WRPGEN ビットは、プログラム、消去またはレジスタ書き込み動作が正常に終了すると、「0」にクリアされます。電源切断 / 電源投入シーケンスまたはハードウェア / ソフトウェアリセットの後、ディープパワーダウン WRPGEN ビットは「0」にクリアされます。</p> <p>選択オプション: 0= プログラム / 消去 / レジスタ書き込みは無効です。 1= プログラム / 消去 / レジスタ書き込みは有効です。</p> <p>依存性: 該当なし</p>
STR1V[0]	RDYBSY	デバイスレディ / ビジーステータスフラグ	V->R	0	<p>説明: RDYBSY ビットはデバイスが組込み動作を実行している、またはスタンバイモードで新しいトランザクションの受信ができることを示します。 注: RDYBSY がセットされた間、PRGERR および ERSERR ステータスビットは更新されます。PRGERR または ERSERR がセットされている場合、RDYBSY ビットはセットしたままで、デバイスがビジーであり、新しいトランザクションが受信できないことを示します。デバイスをスタンバイモードに戻すためにステータスレジスタクリア (CLSTR_0_0) トランザクションを実行する必要があります。</p> <p>選択オプション: 0= デバイスはスタンバイモードであり、新しい動作トランザクションを受信できます。 1= デバイスはビジーであり、新しい動作トランザクションを受け入れられません。</p> <p>依存性: 該当なし</p>

注

27.POR/ ハードウェアリセット /DPD 終了 /CS# シグナリングリセット中の STR1x の値は無効です。



レジスタ

### 5.3.2 ステータス レジスタ 2 (STR2x) (x1)

ステータスレジスタ 2 はデバイスの動作時のステータスを提供します。Table 92 で、サポートされたステータスレジスタ 2 の機能を説明します。

Table 92 ステータスレジスタ 2 (x1)<sup>[28]</sup>

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
STR2V[7:5]	RESRVD	将来使用するために予約済み	V->R	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
STR2V[4]	DICRCS	メモリ アレイ データ整合性チェック CRC 一時停止ステータスフラグ	V->R	0	説明: DICRCS ビットはデバイスがメモリ アレイ データ整合性チェック CRC 一時停止モードになっているかどうかを判断するために使用されます。 選択オプション: 0= メモリ アレイ データ整合性チェック CRC は一時停止モードではありません。 1= メモリ アレイ データ整合性チェック CRC は一時停止モードです。 依存性: 該当なし
STR2V[3]	DICRCA	メモリ アレイ データ整合性チェック CRC 中止ステータスフラグ	V->R	0	説明: DICRCA ビットはメモリ アレイ データ整合性チェック CRC 計算動作が中止されたことを示します。中止条件は終了アドレス (ENDADD) と開始アドレス (STRADD) の関係に基づきます。[ENDADD<STRADD+3] の場合、DICRCA はセットされ、デバイスはスタンバイ状態に戻ります。[ENDADD≥STRADD+3] の場合、DICRCA フラグは次のデータ整合性 CRC 計算動作でクリアされます。 選択オプション: 0= メモリ アレイ データ整合性チェック CRC 計算は中止されていません。 1= メモリ アレイ データ整合性チェック CRC 計算は中止されました。 依存性: 該当なし
STR2V[2]	SESTAT	セクタ消去成功 / 失敗ステータスフラグ	V->R	0	説明: SESTAT ビットはセクタでの消去動作が正常に完了したかどうかを示します。消去ステータス判断トランザクション (EVERS_4_0) はセクタアドレスを指定する SESTAT ビットを読み出す前に実行する必要があります。 選択オプション: 1= アドレス指定されたセクタ (EVERS_4_0) は正常に消去されました。 0= アドレス指定されたセクタ (EVERS_4_0) は正常に消去されていません。 依存性: 該当なし
STR2V[1]	ERASES	消去動作一時停止ステータスフラグ	V->R	0	説明: ERASES ビットは消去動作が一時停止されているかどうかを示すために使用されます。 選択オプション: 0= 消去動作は一時停止モードではありません。 1= 消去動作は一時停止モードです。 依存性: 該当なし
STR2V[0]	PROGMS	プログラム動作一時停止ステータスフラグ	V->R	0	説明: PROGMS ビットはプログラム動作が一時停止されているかどうかを示すために使用されます。 選択オプション: 0= プログラム動作は一時停止モードではありません。 1= プログラム動作は一時停止モードです。 依存性: 該当なし

注  
28. POR/ ハードウェアリセット / ソフトウェアリセット / DPD 終了 / CS# シグナリングリセット中の STR2x の値は無効です。STR2x ビットは SRT1V[0]/RDYBSY=0 のときのみに有効です。

レジスタ

### 5.3.3 コンフィギュレーションレジスタ 1 (CFR1x) (x1)

コンフィギュレーションレジスタ 1 はインターフェースとデータ保護機能を制御します。

Table 93 コンフィギュレーションレジスタ 1 (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
CFR1N[7] CFR1V[7]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR1N[6] CFR1V[6]	SP4KBS	最上位と最下位のアドレス空間の間での 4KB セクタの分割	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: SP4KBS ビットは 4KB セクタがグループ化されるか、または上位と下位のアドレス範囲の間で均等に分割されるかを選択します。  選択オプション: 0=4KB セクタは一緒にグループ化されます。 1=4KB セクタは上位アドレスと下位アドレスの間で分割されます。  依存性: TB4KBS (CFR1N[2])
CFR1N[5] CFR1V[5]	TBPROT	パスワード読み出し保護モード用の上位と下位アドレスの選択	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: TBPROT ビットは、パスワード入力正常に完了する前にもパスワード読み出し保護モードで読み出し可能な状態を維持するメモリアドレス範囲 (最下位または最上位) を選択します。  選択オプション: 0= アドレス空間の上部 1= アドレス空間の下部  依存性: 該当なし
CFR1N[4] CFR1V[4]	PLPROT	4KB セクタアーキテクチャの恒久的ロック選択	N->R/1 V->R	0	説明: PLPROT ビットは 4KB セクタ位置を恒久的に保護します。 注: PLPROT は、SP4KBS、TBPROT、TB4KBS のビットをプログラムおよび消去から保護し、PLPROT ビットを設定する前にこれらのビットを設定することを推奨します。  選択オプション: 0=4KB セクタ位置は保護されません。 1=4KB セクタ位置は保護されます。  依存性: 該当なし
CFR1N[3] CFR1V[3]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR1N[2] CFR1V[2]	TB4KBS	4KB セクタブロック用の上位または下位アドレス範囲の選択	PLPROT=0 の場合 N->R/W V->R PLPROT=1 の場合 N->R V->R	0	説明: TB4KBS ビットは 4KB セクタブロックの論理アドレス位置を定義します。4KB セクタブロックは最上位または最下位アドレスセクタの該当部分を置き換えます。  選択オプション: 0=4KB セクタブロックはメモリアドレス空間の最下部にあります。 1=4KB セクタブロックはメモリアドレス空間の最上部にあります。  依存性: SP4KBS (CFR1x[6])
CFR1N[1] CFR1V[1]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR1N[0] CFR1V[0]	TLPROT	レガシーブロック保護とセクタアーキテクチャの一時的ロック選択	N->R V->R/W	0	説明: TLPROT ビットは一時的にセクタアーキテクチャを変更から保護します。 注: TLPROT は SP4KBS、TBPROT および TB4KBS ビットをプログラムと消去から保護します。  選択オプション: 0=4KB セクタ位置は保護されません。 1=4KB セクタ位置は一時的に保護されます。  依存性: 該当なし

レジスタ

**Table 94 4KB パラメーター セクタ位置の選択**

SP4KBS	TB4KBS	4KB 位置
0	0	4KB 物理セクタは最下部 ( 下位アドレス ) にあります。
0	1	4KB 物理セクタは最上部 ( 上位アドレス ) にあります。
1	X	4KB パラメーター セクタは最上部 ( 上位アドレス ) と最下部 ( 下位アドレス ) の間で分割されます。

**Table 95 PLPROT と TLPROT 保護**

PLPROT	TLPROT	アレイ保護と 4K セクタ
0	0	非保護 ( ロック解除 )
1	X	TBPROT、SP4KBS、TB4KBS は恒久的に保護 ( ロック ) されます。
0	1	TBPROT、SP4KBS、TB4KBS は次の電源切断まで保護 ( ロック ) されます。

### 5.3.4 コンフィギュレーションレジスタ 2 (CFR2x) (x1)

コンフィギュレーションレジスタ 2 はメモリ読み出しレイテンシ選択を制御します。

**Table 96 コンフィギュレーションレジスタ 2 (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
CFR2N[7] CFR2V[7]	ADRBYT	命令用の 3 または 4 バイトのアドレス バイト長の選択	N->R/W V->R/W	0	説明: ADRBYT ビットはアドレスを必要とするすべての命令のアドレス長を制御し、3 または 4 バイトのどちらかを選択できます。  選択オプション: 0= 命令は 3 バイト アドレスを使用します。 1= 命令は 4 バイト アドレスを使用します。  依存性: 該当なし
CFR2N[6:4] CFR2V[6:4]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	000	これらのビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
CFR2N[3:0] CFR2V[3:0]	MEMLAT[3:0]	メモリアレイ読み出しレイテンシの選択 - 初期データ アクセスに必要なダミー サイクル	N->R/W V->R/W	1000	説明: MEMLAT[3:0] ビットはすべての可変レイテンシメモリ アレイおよび不揮発性レジスタ読み出しトランザクションでの読み出しレイテンシ (ダミー サイクル) を制御します。MEMLAT の選択は、ユーザーが異なる動作周波数に基づいて通常動作での読み出しレイテンシを調整することを可能にします。  選択オプション: 0000= トランザクション オペコードに基づいて 0 レイテンシ サイクルを選択します。 ..... 1111= トランザクション オペコードに基づいて 15 レイテンシ サイクルを選択します。  依存性: 該当なし

レジスタ

Table 97 レイテンシコード (サイクル) と周波数 [29, 30, 32]

レイテンシコード CR	サイクル数	SDR SPI 読み出しトランザクション (MHz) (1S-1S-1S)
		RDAY2_C_0 RDSSR_4_0 RDARG_4_0 <sup>[31]</sup> RDECC_4_0 RDPPB_4_0
0000	0	50
0001	1	68
0010	2	81
0011	3	93
0100	4	106
0101	5	118
0110	6	131
0111	7	143
1000	8	156
1001	9	166
1010	10	166
1011	11	166
1100	12	166
1101	13	166
1110	14	166
1111	15	166

- 注**
- 29. ECC エラー レポート メカニズムを使用する場合、正しい ECC レポートのために出力読み出しデータは少なくとも 2 バイトである必要があります。
  - 30. SCK 周波数が 200 MHz より大きい SDR または 200 MHz より大きい DDR は HS-T デバイス ファミリでサポートされません。SCK 周波数が 166 MHz より大きい SDR または 166 MHz より大きい DDR は HL-T デバイス ファミリでサポートされません。
  - 31. RDARG\_4\_0 は不揮発性レジスタ読み出しのためにレイテンシ サイクルを使用します。
  - 32. RSFDP\_3\_0 は常に 8 ダミー サイクルおよび 8 ダミー サイクルに関する異なるインターフェースの最大周波数を有します。

レジスタ

### 5.3.5 コンフィギュレーションレジスタ 3 (CFR3x) (x1)

コンフィギュレーションレジスタ 3 はトランザクション動作を制御します。

**Table 98** コンフィギュレーションレジスタ 3 (x1) (1/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
CFR3N[7:6] CFR3V[7:6]	VRGLAT[1:0]	揮発性レジスタ読み出しレイテンシ選択 - 初期データ アクセスに必要なタミーサイクル	N->R/W V->R/W	00	<p>説明: VRGLAT[1:0] ビットは、すべての可変レイテンシレジスタ読み出しトランザクションで、読み出しレイテンシ (タミー サイクル) を制御します。VRGLAT[1:0] の選択により、異なる動作周波数に基づく通常動作での読み出しレイテンシの調整が可能になります。</p> <p>Table 99 を参照してください。</p> <p>選択オプション: トランザクションオペコードに基づいて 00, 01, 10, 11 レイテンシサイクルを選択します。</p> <p>依存性: 該当なし</p>
CFR3N[5] CFR3V[5]	BLKCHK	耐久性を向上させるための消去動作中のブランク チェック選択	N->R/W V->R/W	0	<p>説明: BLKCHK ビットは消去動作を発行する前にセクタをチェックするかどうかを選択します。この機能を有効にすると、消去トランザクションは最初にセクタの消去状態を判断します。セクタが消去された場合、消去動作は中止されます。言い換えると、消去動作は、プログラムされたビットがセクタで検出された場合のみ、実行されます。BLKCHK が無効の場合、消去動作が無条件に実行されます。</p> <p>選択オプション: 0= ブランク チェックは消去動作前に無効にされます。 1= ブランク チェックの判定は消去動作実行前に有効にされます。</p> <p>依存性: 該当なし</p>
CFR3N[4] CFR3V[4]	PGMBUF	プログラム バッファサイズ選択	N->R/W V->R/W	0	<p>説明: PGMBUF ビットはページプログラミングに使用されるプログラム バッファサイズを選択します。プログラム バッファサイズはデバイスプログラム時間に影響します。</p> <p>注: プログラム データがプログラム バッファサイズを越えると、データはラップされます。</p> <p>選択オプション: 0=256 バイト書き込みバッファサイズ 1=512 バイト書き込みバッファサイズ</p> <p>依存性: 該当なし</p>
CFR3N[3] CFR3V[3]	UNHYSA	ユニフォーム / ハイブリッドセクタのアーキテクチャ選択	N->R/W V->R	1	<p>説明: UNHYSA ビットはユニフォーム (全セクタが 256KB) またはハイブリッド (4KB セクタと 256KB セクタの組合せ) セクタアーキテクチャのどちらかを選択します。ハイブリッドセクタアーキテクチャが選択された場合、4KB セクタブロックはメインフラッシュアレイアドレスマップの一部になります。4KB セクタブロックはデバイスの最上位または最下位のアドレス範囲のいずれかを重ねられます。ユニフォームセクタアーキテクチャが選択された場合、4KB セクタブロックはアドレスマップから削除され、すべてのセクタはユニフォームサイズになります。</p> <p>注: ハイブリッドセクタアーキテクチャは 4KB セクタ消去トランザクション (20h) も有効にします。そうでない場合、4KB セクタ消去トランザクションが発行された場合、デバイスによって無視されます。</p> <p>選択オプション: 0= ハイブリッドセクタアーキテクチャ (4K セクタと 256KB セクタの組合せ) 1= ユニフォームセクタアーキテクチャ (すべては 256KB セクタ)</p> <p>依存性: SP4KBS (CFR1N[6]), TB4KBS (CFR1N[2])</p>
CFR3N[2] CFR3V[2]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	<p>このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。</p>

レジスタ

Table 98 コンフィギュレーションレジスタ 3 (x1) (2/2)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
CFR3N[1] CFR3V[1]	INTFTP	HYPERBUS™ またはレガシー (x1) SPI のインターフェースタイプの選択	N->R/W V->R/W	0	INTFTP ビットは HYPERBUS™ とレガシー (x1) SPI のどちらかをデバイスのインターフェースに選択します。 選択オプション: 1=HYPERBUS™ インターフェース 0=レガシー (x1) SPI 依存性: 該当なし
CFR3N[0] CFR3V[0]	RESRVD	将来使用するために予約済み	N->R/W V->R/W	0	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。

Table 99 レジスタレイテンシコード (サイクル) と周波数

レイテンシコード	SDR SPI レジスタ トランザクションレイテンシ ダミー サイクル (1S-1S-1S) <sup>[34, 36]</sup>		
	周波数 <sup>[33]</sup>	RDARG_4_0 <sup>[35]</sup> RDDYB_4_0	RDPLB_0_0 RDIDN_0_0 RDSR1_0_0 RDSR2_0_0
00	50 MHz	0	0
01	133 MHz	1	0
10	133 MHz	1	1
11	166 MHz	2	2

注  
 33. SCK 周波数が 166 MHz より高い SDR はサポートされません。  
 34. RDUID\_4\_0 および RDUID\_0\_0 には常に 32 サイクルのレイテンシがあります。最大周波数は、SDR SPI では 166 MHz、HS-T SDR/DDR オクタルでは 200 MHz、HL-T SDR/DDR オクタルでは 166MHz です。  
 35. RDARG\_4\_0 は揮発性レジスタ読み出しのためにダミーサイクルを使用します。  
 36. RDCRC\_4\_0 は常に 8 レイテンシサイクルがあります。最大周波数は、SDR SPI では 166 MHz、HS-T SDR/DDR オクタルでは 200 MHz、HL-T SDR/DDR オクタルでは 166 MHz です。

レジスタ

### 5.3.6 コンフィギュレーションレジスタ 4 (CFR4x) (x1)

コンフィギュレーションレジスタ 4 はメインフラッシュアレイの読み出しトランザクションのバーストラップトランザクションおよび出力ドライバインピーダンスを制御します。

Table 100 コンフィギュレーションレジスタ 4 (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
CFR4N[7:5] CFR4V[7:5]	IOIMPD[2:0]	I/O ドライバ出力インピーダンス選択	N->R/W V->R/W	101	<p>説明: IOIMPD[2:0] ビットは I/O ドライバ出力インピーダンス (駆動強度) を選択します。出力インピーダンスコンフィギュレーションビットは、システム信号の整合性要件を満たすために、通常のデバイス動作中の駆動強度を調整します。</p> <p>選択オプション: 000=45Ω 001=120Ω 010=90Ω 011=60Ω 100=45Ω 101=30Ω (工場出荷時設定) 110=20Ω 111=15Ω</p> <p>依存性: 該当なし</p>
CFR4N[4] CFR4V[4]	RBSTWP	バーストラップ読み出しイネーブル選択	N->R/W V->R/W	0	<p>説明: RBSTWP ビットはバーストラップ読み出し機能を選択します。これにより、デバイスは通常動作中にバーストラップ読み出しモードになるかまたは終了することが可能になります。ラップ長は RBSTWL[1:0] ビットにより選択されます。</p> <p>選択オプション: 0= バーストラップ読み出しは無効です。 1= バーストラップ読み出しは有効です。</p> <p>依存性: RBSTWL[1:0] (CFR4x[1:0])</p>
CFR4N[3] CFR4V[3]	ECC12S	エラー訂正コード (ECC) の 1 ビットまたは 1 ビット / 2 ビットエラー訂正の選択	N->R/W V->R/W	1	<p>説明: ECC12S ビットは 1 ビット ECC エラー検出 / 訂正、または 1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出の両方を選択します。このコンフィギュレーションオプションは、アドレスラップレジスタと ECC カウントレジスタの機能に影響します。ホストは、ECC コンフィギュレーションの変更により (1 ビット訂正から 1 ビット訂正および 2 ビット検出、またはその逆)、SEMPER™ フラッシュメモリのデータを消去および再プログラムする必要があります。</p> <p>選択オプション: 0=1 ビット ECC エラー検出 / 訂正 1=1 ビット ECC エラー検出 / 訂正と 2 ビット ECC エラー検出</p> <p>依存性: 該当なし</p>
CFR4N[2] CFR4V[2]	DPDPOR	POR 時のディープパワーダウン電力節約モード開始選択	N->R/W V->R	0	<p>説明: DPDPOR ビットは、デバイスが POR 完了後にディープパワーダウン (DPD) モードまたはスタンバイモードになるかどうかを選択します。有効の場合、DPDPOR はデバイスが DPD モードで開始するように設定し、デバイス動作が必要となるまで消費電流を減らします。デバイスが DPD モードにある場合、CS# パルスまたはハードウェアリセットはデバイスをスタンバイモードに戻します。</p> <p>選択オプション: 0=POR 完了時にスタンバイモードに入ります。 1=POR 完了時にディープパワーダウン電力モードに入ります。</p> <p>依存性: 該当なし</p>
CFR4N[1:0] CFR4V[1:0]	RBSTWL[1:0]	バーストラップ読み出し長の選択	N->R/W V->R/W	00	<p>説明: RBSTWL[1:0] ビットは、通常動作中のバーストラップ読み出しの長さのアライメントを選択します。これは 8、16、32 または 64 バイトの固定された長さ / アライメントされたグループを選択します。</p> <p>選択オプション: 00=8 バイトラップ長 01=16 バイトラップ長 10=32 バイトラップ長 11=64 バイトラップ長</p> <p>依存性: RBSTWP (CFR4x[4])</p>

レジスタ

**Table 101 出力データ ラップシーケンス**

ラップ境界 (バイト)	開始アドレス (16 進)	アドレス シーケンス (16 進)
シーケンシャル	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18
8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02
8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01
16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03
16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E
32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F
32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00
64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02
64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D

### 5.3.7 インターフェース CRC イネーブルレジスタ (ICEV) (x1)

インターフェース CRC イネーブルレジスタはインターフェース CRC 機能の有効化/無効化を制御します。

**Table 102 インターフェース CRC イネーブルレジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ICEV[7:1]	RESVRD	将来使用するために予約済み	V->R	0000000	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ICEV[0]	ITCRCE	インターフェース CRC 選択	V->R/W	0	説明: ITCRCE ビットはインターフェース CRC 機能の有効化 / 無効化を制御します。 選択オプション: 0= インターフェース CRC は有効です。 1= インターフェース CRC は無効です。 依存性: 該当なし

### 5.3.8 インターフェース CRC チェック値レジスタ (ICRV) (x1)

インターフェース CRC チェック値レジスタ (ICRV) は、保護のためにインターフェース経由のコマンドとデータ内容に対する CRC 計算の結果を格納します。

**Table 103 インターフェース CRC チェック値レジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16 進)	説明
ICRV[31:0]	ITCRCV[31:0]	インターフェース CRC チェックサム値	V->R	0xFFFFFFFF	説明: ITCRCV[31:0] ビットは、開始アドレスと終了アドレスの間に格納されたメモリ アレイデータに対する CRC プロセスのチェック値を格納します。 選択オプション: チェックサム値 依存性: 該当なし



レジスタ

### 5.3.9 メモリアレイデータ整合性チェック CRC レジスタ (DCRV) (x1)

メモリアレイデータ整合性チェック CRC レジスタ (DCRV) は、指定された開始アドレスと終了アドレスの間に格納されたデータに対する CRC 計算の結果を格納します。

**Table 104** メモリアレイデータ整合性チェック CRC レジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16 進)	説明
DCRV[31:0]	DTCRCV[31:0]	メモリアレイデータ整合性チェック CRC チェックサム値	V->R	0x00000000	説明: DTCRCV[31:0] ビットは、開始アドレスと終了アドレスの間に格納されたメモリアレイデータに対する CRC プロセスのチェックサム値を格納します。 選択オプション: チェックサム値 依存性: 該当なし

### 5.3.10 ECC ステータス レジスタ (ESCV) (x1)

ECC ステータス レジスタ (ESCV) は、バイトが最後の読み出し中にアドレス指定されたユニット データに対するエラー訂正の状態を格納します。

注: ユニット データは ECC が計算されるバイト数として定義されます。HL-T/HS-T ファミリには、16 バイト (128 ビット) のユニット データがあります。

**Table 105** ECC ステータス レジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ESCV[7:5]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ESCV[4]	ECC2BT	2 ビット ECC エラー検出フラグ	V->R	0	説明: ECC2BT ビットは 2 ビット ECC エラーがデータユニット (16 バイト) で検出されたかどうかを示します。ECC ステータスレジスタクリアトランザクション (CLECC_0_0) は ECC2BT をリセットします。 注: 任意のメモリ アドレスが読み出されるたびに ECC2BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC2BT ステータスは ECC ステータスレジスタクリアトランザクション (CLECC_0_0) が実行されるまで維持されます。 注: ECC2BT ステータスフラグがセットされている場合、ECC1BT は無効です。 選択オプション: 0=2 ビット ECC エラーがデータユニット (16 バイト) で検出されていません。 1=2 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: CFR4x[3]
ESCV[3]	ECC1BT	1 ビット ECC エラー検出と訂正フラグ	V->R	0	説明: ECC1BT ビットは 1 ビット ECC エラーがデータユニット (16 バイト) で検出されて訂正されたかどうかを示します。ECC ステータスレジスタクリアトランザクション (CLECC_0_0) は ECC1BT をリセットします。 注: 任意のメモリ アドレスが読み出されるたびに ECC1BT は更新され、保持されます。すなわち、セットされると、セットされたままになります。ECC1BT ステータスは ECC ステータスレジスタクリアトランザクション (CLECC_0_0) が実行されるまで維持されます。 選択オプション: 0=1 ビット ECC エラーがデータユニット (16 バイト) で検出されませんでした。 1=1 ビット ECC エラーがデータユニット (16 バイト) で検出されました。 依存性: 該当なし
ESCV[2:0]	RESRVD	将来使用するために予約済み	V->R	000	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。

レジスタ

### 5.3.11 ECC アドレストラップレジスタ (EATV) (x1)

ECC アドレストラップレジスタ (EATV) は、読み出し動作中に 1 ビット /2 ビット エラーまたは 1 ビット エラーのみが発生した ECC ユニット データのアドレスを格納します。前回の ECC クリアトランザクション (CLECC\_0\_0) 以降のメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニット アドレスを格納します。

**Table 106** ECC アドレストラップレジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16 進)	説明
EATV[31:0]	ECCATP[31:0]	ECC 1 ビットと 2 ビットエラー アドレストラップレジスタ	V->R	0x00000000	<p>説明: アドレストラップレジスタ (ECCATP[31:0]) は、読み出し動作中に 1 ビット /2 ビット エラーが発生した ECC ユニット データ アドレスを格納します。ECCATP[31:0] は、前回の ECC ステータスレジスタクリアトランザクション (CLECC_0_0) 以降にメモリ読み出し動作中にキャプチャされた最初の ECC エラーの ECC ユニット アドレスを格納します。</p> <p>注: ECCATP[31:0] は読み出し命令中のみ更新されます。</p> <p>注: ECC ステータスレジスタクリアトランザクション (CLECC_0_0)、POR またはハードウェア / ソフトウェアリセットは EATV[31:0] を 0x00000000 にクリアします。</p> <p>選択オプション: ECC エラー データ ユニット アドレス</p> <p>依存性: 該当なし</p>

### 5.3.12 ECC エラー検出カウントレジスタ (ECTV) (x1)

ECC エラー検出カウントレジスタ (ECTV) は、最後の POR またはハードウェア / ソフトウェアリセット後に読み出し動作中に発生した 1 ビット /2 ビットまたは 1 ビットのみ ECC エラーの数を格納します。

**Table 107** ECC カウントレジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16 進)	説明
ECTV[15:0]	ECCCNT[15:0]	ECC 1 ビットと 2 ビットエラー カウントレジスタ	V->R	0x0000	<p>説明: ECCCNT[15:0] は、最後の POR またはハードウェア / ソフトウェアリセット以降の読み出し動作中に発生した 1 ビット /2 ビット ECC エラーの数を格納します。</p> <p>注: ECCCNT[15:0] は、読み出し命令中のみ更新されます。</p> <p>注: データ ユニットごとに 1 つの ECC エラーのみがカウントされます。もし複数の読み出しトランザクションが ECC エラーのある同じデータユニットにアクセスした場合は、ECCCNT[15:0] はデータユニットが読み出されるたびにインクリメントします。</p> <p>注: カウントが 0xFFFF に達すると、ECCCNT[15:0] はインクリメントを停止します。</p> <p>注: POR またはハードウェア / ソフトウェアリセットは、ECCCNT[15:0] を 0x0000 にクリアします。</p> <p>選択オプション: ECC エラー カウント</p> <p>依存性: 該当なし</p>

レジスタ

### 5.3.13 高度セクタ保護レジスタ (ASPO) (x1)

ASP レジスタ (ASPO) は高度セクタ保護スキームの動作を設定します。

**Table 108 高度セクタ保護レジスタ (x1) (1/2)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
ASPO[15:6]	RESRVD	将来使用するために予約済み	N=>R/1	1111111111	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
ASPO[5]	ASPRDP	パスワード読み出しベース保護の選択	N=>R/1	1	<p>説明: ASPRDP ビットはパスワード読み出し保護モードを選択します。パスワード読み出し保護モードは、すべてのセクタを読み出し / 消去 / プログラムから保護するために、パスワード保護モードと連携して動作します。TBPROT コンフィギュレーションビット (CFR1x[5]) に基づき、最上位または最下位のどちらかのセクタが読み出せます。</p> <p>選択オプション:                      0= パスワード読み出し保護モードは有効です。                      1= パスワード読み出し保護モードは無効です。</p> <p>依存性: TBPROT (CFR1x[5])</p>
ASPO[4]	ASPDYB	電源投入時の全セクタに対するダイナミック保護 (DYB) の選択	N=>R/1	1	<p>説明: ASPDYB ビットは、電源投入時またはハードウェアリセット後、すべての DYB ビット (セクタ) が保護状態にあるかどうかを選択します。DYB ビットはセクタ保護を変更するために、個別にリセットされる必要があります。</p> <p>選択オプション:                      0= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が有効になります。                      1= 電源投入またはハードウェアリセットで、DYB ベースのセクタ保護が無効になります。</p> <p>依存性: 該当なし</p>
ASPO[3]	ASPPPB	全セクタ プログラムビリティに対する恒久的保護 (PPB) の選択	N=>R/1	1	<p>説明: ASPPPB ビットはすべての PPB ビットが OTP である (PPB セクタ保護を恒久的にする) かどうかを選択します。  <b>注:</b> ASPPPB は PPB 消去トランザクション (ERPPB_0_0) を無効にします。</p> <p>選択オプション:                      0= PPB ビットは OTP です。                      1= PPB ビットは必要に応じて消去 / プログラムできます。</p> <p>依存性: 該当なし</p>
ASPO[2]	ASPPWD	パスワードベース保護の選択	N=>R/1	1	<p>説明: ASPPWD ビットはパスワード保護モードを選択します。パスワード保護モードは、正しいパスワードが入力されるまで、すべての PPB ビットを保護するモードです。ASPPWD は、すべてのレジスタとすべてのメモリを消去 / プログラムから保護するため、および正しいパスワードが提供されるまでセクタを読み出しから保護するために、ASPRDP と合わせて使用できます。ただし TBPROT コンフィギュレーションビット (CFR1x[5]) に基づき、最上位または最下位のどちらかのセクタは読み出せます。  <b>注:</b> ASPPWD が選択されている場合、ASPO[15:0]、CFR1N[7:2]、PWDO[63:0] は書き込み動作から保護されません。</p> <p>選択オプション:                      0= パスワード保護モードは有効です。                      1= パスワード保護モードは無効です。</p> <p>依存性: 該当なし</p>

レジスタ

**Table 108 高度セクタ保護レジスタ (x1) (2/2)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
ASPO[1]	ASPPER	持続的保護の選択 (レジスタ保護の選択)	N=>R/1	1	説明: ASPPER ビットは持続的保護モードを選択します。持続的保護モード (ASPPER) は、ASPO[15:0]、CFR1x[6, 5, 4, 2] および CFR3x[3] レジスタを消去またはプログラムから保護します。 選択オプション: 0= 持続的保護モードは有効です。 1= 持続的保護モードは無効です。 依存性: 該当なし
ASPO[0]	ASPPRM	恒久的保護選択	N=>R/1	1	説明: ASPPRM ビットは恒久的保護モードを選択します。恒久的保護モード (ASPPRM) は恒久的に PPB ビットを消去またはプログラムから保護します。ASPPRM ビットはすべての PPB ベースのセクタ保護が確定した後にプログラムする必要があります。 注: 恒久的保護は PPBLOCK ビットとは独立しています。 選択オプション: 0= 恒久的保護モードは有効です。 1= 恒久的保護モードは無効です。 依存性: 該当なし

### 5.3.14 ASP パスワード レジスタ (PWDO) (x1)

ASP パスワード レジスタ (PWDO) はパスワードを恒久的に定義するために使用されます。

**Table 109 パスワード レジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16進)	説明
PWDO[63:0]	PASWRD[63:0]	パスワード レジスタ	N=>R/1	0xFFFFFFFF FFFFFFFF	説明: PASWRD[63:0] は、パスワード保護動作モードで使用されるパスワードを恒久的に保持します。パスワード保護モードが有効の場合、このレジスタはパスワード読み出し要求のときに未定義のデータを出力します。 選択オプション: パスワード 依存性: 該当なし

### 5.3.15 ASP PPB ロック レジスタ (PPLV) (x1)

ASP PPB ロック レジスタ (PPLV) の PPBLCK ビットは PPB ビットを保護するために使用されます。

**Table 110 ASP PPB ロック レジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
PPLV[7:1]	RESVRD	将来使用するために予約済み	V->R	0000000	このビットは将来使用するために予約されています。常にデフォルトの状態に書き込む / ロードする必要があります。
PPLV[0]	PPBLCK	PPB の一時的保護選択	V->R/W	1, ASPO[2:1]	説明: PPBLCK ビットは、すべての PPB ビットを一時的保護するために使用されます。 選択オプション: 1=PPB ビットは消去またはプログラムできます。 0=PPB ビットは、次の POR またはハードウェアリセットまで消去 / プログラムから保護されます。 依存性: 該当なし

レジスタ

### 5.3.16 ASP PPB アクセス レジスタ (PPAV) (x1)

ASP PPB アクセス レジスタ (PPAV) は各セクタの PPB 保護ビットの状態を提供するために使用されます。

**Table 111 ASP PPB アクセス レジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
PPAV[7:0]	PPBACS[7:0]	セクタベース PPB 保護ステータス	N->W/R	11111111	<p>説明: PPBACS[7:0] ビットは、個別セクタの PPB ビットの状態を提供するために使用されます。</p> <p>選択オプション: FF=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「1」であり、セクタをプログラム / 消去動作から保護しません。 00=PPB 読み出しトランザクション (RDPPB_4_0) によってアドレス指定されたセクタの PPB は「0」であり、セクタをプログラム / 消去動作から保護します。</p> <p>依存性: 該当なし</p>

### 5.3.17 ASP ダイナミックブロック アクセス レジスタ (DYAV) (x1)

ASP DYB アクセス レジスタ (DYAV) は各セクタの DYB 保護ビットの状態を提供するために使用されます。

**Table 112 ASP DYB アクセス レジスタ (x1)**

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2進)	説明
DYAV[7:0]	DYBACS[7:0]	セクタベース DYB 保護ステータス	V->R/W	11111111	<p>説明: DYBACS[7:0] ビットは個別セクタの DYB ビットの状態を提供するために使用されます。</p> <p>選択オプション: FF=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「1」であり、セクタをプログラム / 消去動作から保護しません。 00=DYB 読み出しトランザクション (RDDYB_4_0) によってアドレス指定されたセクタの DYB は「0」であり、セクタをプログラム / 消去動作から保護します。</p> <p>依存性: 該当なし</p>

レジスタ

### 5.3.18 オートブート レジスタ (ATBN) (x1)

オートブート レジスタ (ATBN) は、パワーオンリセットまたはハードウェアリセット プロセスの一部として、ブートコードを自動的に読み出す方法を提供します。

**Table 113** オートブート レジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (2 進)	説明
ATBN[31:9]	STADR[22:0]	オートブートがデータ読み出しを始める開始アドレスの選択	N->R/W	0000000000 0000000000 000	説明: STADR[22:0] ビットは、デバイスが読み出しデータを出力する開始アドレスを設定します。 選択オプション: アドレスビット 依存性: 該当なし
ATBN[8:1]	STDLY[7:0]	オートブート読み出し初期遅延の選択	N->R/W	00000000	説明: STDLY[7:0] ビットは、ホストがデータを受け入れる前に必要な初期遅延 (クロック サイクル) を指定します。 注: STDLY[7:0]=0x00 は最大 50 MHz の SPI に対応します。STDLY[7:0]=0x01 以上は最大 166 MHz の SPI/DPI/QPI に対応します。STDLY[7:0]=0x05 以上は最大 166 MHz の HL-T オクタルに、最大 200 MHz の HS-T オクタルに対応します。 選択オプション: アドレスビット 依存性: 該当なし
ATBN[0]	ATBTEN	オートブート機能の選択	N->R/W	0	説明: ATBTEN ビットはオートブート機能を有効 / 無効にします。 選択オプション: 0= オートブート機能は無効です。 1= オートブート機能は有効です。 依存性: 該当なし

### 5.3.19 セクタ消去カウント レジスタ (SECV) (x1)

セクタ消去カウント レジスタ (SECV) はアドレス セクタが消去された回数を格納します。

**Table 114** セクタ消去カウント レジスタ (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時 設定 (16 進)	説明
SECV[23]	SECCPT	セクタ消去カウント破損ステータス フラグ	V->R	0x0	説明: SECCPT ビットは、報告されたセクタ消去カウントが破損してリセットされたかを判定するために使用されます。 注: SECCPT がカウント破損でセットされた場合、選択されたセクタに対する次の消去動作が正常に終了すると「0」にリセットされます。 選択オプション: 0= セクタ消去カウントは破損せず、有効です。 1= セクタ消去カウントは破損し、無効です。 依存性: 該当なし
SECV[22:0]	SECV[22:0]	セクタ消去カウント値	V->R	0x000000	説明: SECV[22:0] ビットはセクタが消去された回数を格納します。 選択オプション: 値 依存性: 該当なし

レジスタ

### 5.3.20 インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) (x1)

インフィニオン Endurance Flex アーキテクチャ選択レジスタ (EFXx) は、4 ポインタ アーキテクチャに基づいて長期データ保持または高耐久性領域を定義します。

**Table 115** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 4) (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX40[10:2]	EPTAD4[8:0]	EnduraFlex ポインタ 4 アドレス選択	N=>R/1	111111111	説明: EPTAD4[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタアドレス 依存性: 該当なし
EFX40[1]	ERGNT4	EnduraFlex ポインタ 4 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT4 ビットは領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX40[0]	EPTEB4	EnduraFlex ポインタ 4 イネーブル選択	N=>R/1	1	説明: EPTEN4 ビットはウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

**Table 116** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 3) (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX30[10:2]	EPTAD3[8:0]	EnduraFlex ポインタ 3 アドレス選択	N=>R/1	111111111	説明: EPTAD3[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビットアドレスを定義します。 選択オプション: ポインタアドレス 依存性: 該当なし
EFX30[1]	ERGNT3	EnduraFlex ポインタ 3 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT3 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX30[0]	EPTEB3	EnduraFlex ポインタ 3 イネーブル選択	N=>R/1	1	説明: EPTEN3 ビットは、ウェア レベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

レジスタ

**Table 117** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 2) (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX20[10:2]	EPTAD2[8:0]	EnduraFlex ポインタ 2 アドレス選択	N=>R/1	111111111	説明: EPTAD2[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX20[1]	ERGNT2	EnduraFlex ポインタ 2 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT2 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX20[0]	EPTEB2	EnduraFlex ポインタ 2 イネーブル選択	N=>R/1	1	説明: EPTEB2 ビットは、ウェアレベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし

**Table 118** インフィニオン Endurance Flex アーキテクチャ選択レジスタ (ポインタ 1) (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2進)	説明
EFX10[10:2]	EPTAD1[8:0]	EnduraFlex ポインタ 1 アドレス選択	N=>R/1	111111111	説明: EPTAD1[8:0] ビットは、長期データ保持 / 高耐久性領域が定義される開始セクタの 9 ビット アドレスを定義します。 選択オプション: ポインタ アドレス 依存性: 該当なし
EFX10[1]	ERGNT1	EnduraFlex ポインタ 1 ベースの領域タイプ選択	N=>R/1	1	説明: ERGNT1 ビットは、領域が長期データ保持であるか高耐久性であるかを定義します。 選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ 依存性: 該当なし
EFX10[0]	EPTEB1	EnduraFlex ポインタ 1 イネーブル選択	N=>R/1	1	説明: EPTEB1 ビットは、ウェアレベリング ポインタが有効 / 無効を定義します。 選択オプション: 0= ポインタ アドレスは有効です。 1= ポインタ アドレスは無効です。 依存性: 該当なし



レジスタ

Table 119 インフィニオン Endurance Flex アーキテクチャ選択レジスタ ( ポインタ 0) (x1)

ビット番号	名称	機能	読み出し / 書き込み (R/W) N= 不揮発性 V= 揮発性	工場出荷時設定 (2 進)	説明
EFX00[1]	GBLSEL	全セクタ ベースの領域タイプ選択	N=>R/1	1	説明: GBLSEL ビットは、すべてのセクタが長期データ保持領域であるか高耐久性領域であるかを定義します。 注: 他のすべてのポインタレジスタが無効の場合、このビットはメモリ空間全体の動作を定義し、セクタ 0 から始まるように固定されます。  選択オプション: 0= 長期データ保持セクタ 1= 高耐久性セクタ  依存性: 該当なし
EFX00[0]	WRLVEN	ウェアレベリングゲイネーブル選択	N=>R/1	1	説明: WRLVEN ビットはウェアレベリング機能を有効 / 無効にします。  選択オプション: 0= ウェアレベリングは無効です。 1= ウェアレベリングは有効です。  依存性: 該当なし

## 6 トランザクション テーブル

### 6.1 HYPERBUS™ トランザクション テーブル

Table 120 HYPERBUS™ トランザクション説明 (1/5)

トランザクション名	説明	サイクル
RDMARY_1_0	読み出しトランザクションはメモリ アレイ データを特定のアドレスで読み出し、DQ[7:0] にデータを配置します。	1
ENSPIM_3_0	SPI 開始トランザクションはデバイス インターフェースを HYPERBUS™ からレガシー (x1) SPI に変更します。	3
SRASOE_1_0	ソフトウェアリセット /ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。また、デバイスがビジーでないとき、またはトランザクションシーケンス中、または ASO に入っているときに SR0[5, 4, 3, 1, 0] をクリアします。	1
ENTDPD_3_0	ディープ パワー ダウン モード開始トランザクションはデバイスを最低消費電力モードに移行させます。	3
RDVSTR_2_0	ステータス レジスタ読み出しトランザクションはステータス レジスタ内容を読み出し、DQ[7:0] にデータを配置します。	2
CLVSTR_1_0	ステータス レジスタ失敗フラグクリア トランザクションは報告中の失敗フラグをすべてリセットします。	1
PRNPOR_4_0	不揮発性 POR タイマー レジスタ プログラム トランザクションは、tPOR_CK (25 ~ 42μs) の倍数である値を 16 ビット POR タイマー レジスタにプログラムし、tVCS が経過した後の RSTO# パルスの拡張長さを定義し、DQ[7:0] にデータを配置します。	4
RDNPOR_4_0	不揮発性 POR タイマー レジスタ読み出し トランザクションは 16 ビット POR タイマー レジスタの内容を読み出し、DQ[7:0] にデータを配置します。	4
PGVINC_4_0	揮発性割り込みコンフィギュレーションレジスタ プログラム トランザクションは、DQ[7:0] に配置されたデータで 16 ビット割り込みコンフィギュレーションレジスタをプログラムします。	4
RDVINC_4_0	揮発性割り込みコンフィギュレーションレジスタ読み出し トランザクションは 16 ビット割り込みコンフィギュレーションレジスタの内容を読み出し、DQ[7:0] にデータを配置します。	4
PGVINS_4_0	揮発性割り込みステータスレジスタ プログラム トランザクションは、DQ[7:0] に配置されたデータで 16 ビット割り込みステータスレジスタをプログラムします。	4
RDVINS_4_0	揮発性割り込みステータスレジスタ読み出し トランザクションは 16 ビット割り込みステータスレジスタの内容を読み出し、DQ[7:0] にデータを配置します。	4
PGVCR1_4_0	揮発性コンフィギュレーションレジスタ プログラム 1 トランザクションは、DQ[7:0] に配置されたデータで 16 ビット揮発性コンフィギュレーションレジスタ 0 をプログラムします。	4
PGVCR2_4_0	揮発性コンフィギュレーションレジスタ プログラム 2 トランザクションは、DQ[7:0] に配置されたデータで 16 ビット揮発性コンフィギュレーションレジスタ 1 をプログラムします。	4
RDVCR1_4_0	揮発性コンフィギュレーションレジスタ読み出し 1 トランザクションは 16 ビット揮発性コンフィギュレーションレジスタ 0 の内容を読み出し、DQ[7:0] にデータを配置します。	4
RDVCR2_4_0	揮発性コンフィギュレーションレジスタ読み出し 2 トランザクションは 16 ビット揮発性コンフィギュレーションレジスタ 1 の内容を読み出し、DQ[7:0] にデータを配置します。	4
PGNCR1_4_0	不揮発性コンフィギュレーションレジスタ プログラム 1 トランザクションは、DQ[7:0] に配置されたデータで 16 ビット不揮発性コンフィギュレーションレジスタ 0 をプログラムします。	4
PGNCR2_4_0	不揮発性コンフィギュレーションレジスタ プログラム 2 トランザクションは、DQ[7:0] に配置されたデータで 16 ビット不揮発性コンフィギュレーションレジスタ 1 をプログラムします。	4
ERNCR12_3_0	不揮発性コンフィギュレーションレジスタ消去 1 と 2 トランザクションは 2 つの 16 ビット不揮発性コンフィギュレーションレジスタ (0, 1) の内容を消去します。	3
RDNCR1_4_0	不揮発性コンフィギュレーションレジスタ読み出し 1 トランザクションは 16 ビット不揮発性コンフィギュレーションレジスタ 0 の内容を読み出し、DQ[7:0] にデータを配置します。	4
RDNCR2_4_0	不揮発性コンフィギュレーションレジスタ読み出し 2 トランザクションは 16 ビット不揮発性コンフィギュレーションレジスタ 1 の内容を読み出し、DQ[7:0] にデータを配置します。	4
PGWORD_4_0	ワード プログラム トランザクションはアドレス指定されたメモリ アレイに DQ[7:0] で供給されたデータワード (全ビットが 0) をプログラムします。	4
LDBUFR_6_0	書き込みバッファロード トランザクションは書き込みバッファに DQ[7:0] で供給された最大 256 / 512 データ バイト (全 0) をロードします。	6
PGBFCM_1_0	書き込みバッファ プログラム確認 トランザクションはデバイスに、書き込みバッファにロードされたデータをアドレス指定されたメモリ アレイにプログラムします。	1
RSTWBA_3_0	バッファ書き込み中止リセット トランザクションはステータス レジスタのバッファ書き込み中止ステータス フラグ (WRBFAB - STRV[3]) とプログラム エラー ステータス フラグ (PRGERR - STRV[4]) をリセットします。	3
ERCHIP_6_0	チップ消去 トランザクションはフラッシュ メモリ アレイ全体のすべてのビットを「1」にセットします (全バイトは FFh)。	6
ERSCTR_6_0	セクタ消去 トランザクションはアドレス指定された 256KB セクタまたは 4KB セクタのすべてのビットを「1」にセットします (全バイトは FFh)。	6

## トランザクション テーブル

Table 120 HYPERBUS™ トランザクション説明 (2/5)

トランザクション名	説明	サイクル	
BLKCHK_1_0	<b>ブランクチェック</b> トランザクションは選択されたフラッシュメモリ アレイ セクタが完全に消去されたかどうかを確認します。ERSERR (STRV[5] - ステータスレジスタのビット 5) が、セクタが消去された場合は「0」にクリアされ、セクタが消去されていない場合は「1」にセットされます。	1	
EVERST_1_0	<b>消去ステータス判定</b> トランザクションはアドレス指定されたセクタに対する前回の消去動作が正常に完了したかどうかを確認します。選択されたセクタが正常に消去された場合、SESTAT (STRV[5] - ステータスレジスタのビット 0) が「1」にセットされます。	1	
SPERSE_1_0	<b>消去一時停止</b> トランザクションはシステムに消去動作を中断させます。	1	
RSERSE_1_0	<b>消去再開</b> トランザクションはシステムに消去動作を再開させます。	1	
SPPROG_1_0	<b>プログラム一時停止</b> トランザクションはシステムにプログラム動作を中断させます。	1	
RSPPROG_1_0	<b>プログラム再開</b> トランザクションはシステムにプログラム動作を再開させます。	1	
IDSFE1_3_1	ASO デバイス ID 固有 ID SFDP	<b>ID/ 固有 ID/SFDP ASO 開始 1</b> トランザクションはデバイス ID、固有 ID および SFDP パラメータを読み出します。この開始トランザクションはコマンド内のセクタ アドレス (SA) を使用し、どのセクタがオーバーレイされるかを確認します。	3
IDSFE2_1_1		<b>ID/ 固有 ID/SFDP ASO 開始 2</b> トランザクションはデバイス ID、固有 ID および SFDP パラメータを読み出します。この開始トランザクションはコマンド内のセクタ アドレス (SA) を使用し、どのセクタがオーバーレイされるかを確認します。	1
RDIDSF_1_1		<b>ID/ 固有 ID/SFDP 読み出し</b> トランザクションは特定のアドレスでデバイス ID、固有 ID および SFDP パラメータを読み出し、DQ[7:0] にデータを配置します。	1
ASOEXT_1_1		<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
SSRENT_3_1	ASO SSR	<b>SSR ASO 開始</b> トランザクションは SSR へのアクセスを許可します。この開始トランザクションはコマンド内のセクタ アドレス (SA) を使用し、どのセクタがオーバーレイされるかを確認します。	3
RD_SSR_1_1		<b>SSR 読み出し</b> トランザクションは特定のアドレスで SSR データを読み出し、DQ[7:0] にデータを配置します。	1
PG_SSR_4_1		<b>SSR ワード プログラム</b> トランザクションはアドレス指定された SSR に DQ[7:0] で供給されたデータワード (全 0) をプログラムします。	4
LDBSSR_5_1		<b>SSR バッファ ロード</b> トランザクションは書き込みバッファに DQ[7:0] で供給された最大 256/512 データバイト (全 0) をロードします。	5
PGCSSR_1_1		<b>SSR バッファ プログラム確認</b> トランザクションはデバイスに、書き込みバッファにロードされたデータをアドレス指定された SSR にプログラムします。	1
RSWSSR_3_1		<b>バッファ書き込み中止リセット</b> トランザクションはステータスレジスタのバッファ書き込み中止ステータスフラグ (WRBFAB - STRV[3]) をリセットします。	3
ASOEXT_1_1		<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
ASPENT_3_1	ASO 高度セクタ保護	<b>高度セクタ保護 ASO 開始</b> トランザクションは高度セクタ保護コンフィギュレーションレジスタへのアクセスを許可します。この開始トランザクションはオーバーレイするために開始トランザクションからのセクタアドレスを使用しません。ASP コンフィギュレーションレジスタはデバイスアドレス空間のワード位置 0 に現れます。	3
PGOASP_2_1		<b>ワンタイム プログラマブル高度セクタ保護レジスタ プログラム</b> トランザクションは、DQ[7:0] に配置されたデータで 16 ビット OTP ASP コンフィギュレーションレジスタをプログラムします。	2
RDOASP_1_1		<b>ワンタイム プログラマブル高度セクタ保護レジスタ読み出し</b> トランザクションはデバイスアドレス 0 での 16 ビット OTP ASP コンフィギュレーションレジスタの内容を読み出し、DQ[7:0] にデータを配置します。	1
ASOEXT_1_1		<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1

## トランザクション テーブル

Table 120 HYPERBUS™ トランザクション説明 (3/5)

トランザクション名	説明	サイクル
PWDENT_3_1	パスワード ASO 開始トランザクションは 64 ビットパスワードへのアクセスを許可します。この開始トランザクションはオーバーレイするために開始トランザクションからのセクタアドレスを使用しません。パスワードはデバイスアドレス空間のワード位置 0 ~ 3 に現れます。	3
PGNPWD_2_1	不揮発性パスワードプログラム トランザクションは、DQ[7:0] に配置されたデータで 64 ビットパスワードをプログラムします。	2
RDNPWD_1_1	不揮発性パスワード読み出し トランザクションはデバイスアドレス 0 ~ 3 での 64 ビットパスワードの内容を読み出し、DQ[7:0] にデータを配置します。	1
ULNPWD_7_1	不揮発性パスワードロック解除 トランザクションは、デバイスアクセスをロック解除するために DQ[7:0] での 64 ビットパスワードを入力します。	7
ASOEXT_1_1	ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
PPBENT_3_1	持続的保護ビット ASO 開始トランザクションはセクタに対応する持続的保護ビット (PPB) へのアクセスを許可します。この開始トランザクションはオーバーレイするために開始トランザクションからのセクタアドレスを使用しません。セクタの PPB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	3
PGNPPB_2_1	不揮発性持続的保護ビットプログラム トランザクションは、DQ[7:0] に配置されたデータでセクタに対応する PPB ビットをプログラムします。セクタの PPB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	2
ERNPPB_2_1	不揮発性持続的保護ビット消去 トランザクションはすべての PPB ビットを消去します。	2
RSWPPB_3_1	バッファ書き込み中止リセット トランザクションは、PPB プログラム失敗に起因したステータスレジスタのバッファ書き込み中止ステータス フラグ (WRBFAB - STRV[3]) をリセットします。	3
RDNPPB_1_1	不揮発性持続的保護ビット読み出し トランザクションはセクタに対応する PPB ビットを読み出し、DQ[7:0] にデータを配置します。セクタの PPB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	1
PRTSTS_2_1	セクタ保護ステータス トランザクションはアドレス指定されたセクタの保護ステータスを提供します。SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されるかどうかを示します。ビット 0: 指定されたセクタが保護されるかどうかを示します (0= 保護、1= 非保護)。ビット 1: セクタの DYB ビットにより保護 (0= 保護、1= 非保護)。ビット 2: セクタの PPB ビットにより保護 (0= 保護、1= 非保護)。ビット 3 ~ 15 はすべて 1 です。	2
ASOEXT_1_1	ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
PPLENT_3_1	持続的保護ロック ASO 開始トランザクションはグローバルな持続的保護ロックビットへのアクセスを許可します。この開始トランザクションはオーバーレイするために開始トランザクションからのセクタアドレスを使用しません。グローバルな持続的保護ロックビットはデバイスのすべてのワード位置のビット 0 に現れます。	3
CLVPPPL_2_1	揮発性持続的保護ロッククリア トランザクションはグローバルな持続的保護ロックビットをクリアします。	2
RDVPPPL_1_1	揮発性持続的保護ロック読み出し トランザクションはグローバルな持続的保護ロックビットを読み出し、DQ[7:0] にデータを配置します。PPL ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	1
ASOEXT_1_1	ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1

## トランザクション テーブル

Table 120 HYPERBUS™ トランザクション説明 (4/5)

トランザクション名	説明	サイクル
DYBENT_3_1	<b>ダイナミック保護ビット ASO 開始</b> トランザクションはセクタに対応するダイナミック保護ビット (DYB) へのアクセスを許可します。この開始トランザクションはオーバーレイするために開始トランザクションからのセクタアドレスを使用しません。セクタの DYBB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	3
STVDYB_2_1	<b>揮発性ダイナミック保護ビット セット</b> トランザクションは DQ[7:0] に配置されたデータでセクタに対応する DYB ビットをセットします。セクタの DYB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	2
CLVDYB_2_1	<b>揮発性ダイナミック保護ビット クリア</b> トランザクションは DQ[7:0] に配置されたデータでセクタに対応する DYB ビットをクリアします。セクタの DYB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	2
RDVDYB_1_1	<b>揮発性ダイナミック保護ビット 読み出し</b> トランザクションはセクタに対応する DYB ビットを読み出し、DQ[7:0] にデータを配置します。セクタの DYB ビットはセクタ内のすべてのワード位置のビット 0 に現れます。	1
PRTSTS_2_1	<b>セクタ保護ステータス</b> トランザクションはアドレス指定されたセクタの保護ステータスを提供します。SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0~2 で保護されるかどうかを示します。ビット 0: 指定されたセクタが保護されるかどうかを示します (0= 保護、1= 非保護)。 ビット 1: セクタの DYB ビットにより保護 (0= 保護、1= 非保護) ビット 2: セクタの PPB ビットにより保護 (0= 保護、1= 非保護) ビット 3~15 はすべて 1 です。	2
ASOEXT_1_1	<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
ECCENT_3_1	<b>エラー訂正 (ECC) ASO 開始</b> トランザクションはフラッシュ メモリ アレイの任意のハーフページのエラー訂正アクション (ECC ステータス) へのアクセスを許可します。	3
RDECST_1_1	<b>エラー訂正 (ECC) ステータス読み出し</b> トランザクションはアドレス指定されたハーフページの ECC ステータス値を DQ[7:0] に提供します。ステータスの単一ワードはハーフページ内の任意のワード位置に現れます。	1
RDADTL_2_1	<b>アドレストラップレジスタ下位ワード読み出し</b> トランザクションは、DQ[7:0] でのアドレストラップレジスタ (32 ビット) に格納されたエラー訂正アクション (ECC) 関連のアドレス値の下位 16 ビットを提供します。	2
RDADTU_2_1	<b>アドレストラップレジスタ上位ワード読み出し</b> トランザクションは、DQ[7:0] でのアドレストラップレジスタ (32 ビット) に格納されたエラー訂正アクション (ECC) 関連のアドレス値の上位 16 ビットを提供します。	2
RDCONT_2_1	<b>ECC カウント値レジスタ読み出し</b> トランザクションはエラー訂正アクションの数の ECC カウントを DQ[7:0] に提供します。	2
CLRECC_1_1	<b>ECC エラー ステータス失敗フラグ クリア</b> トランザクションは報告中の失敗フラグと割込みをすべてリセットします。	1
ASOEXT_1_1	<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
ICRCEN_3_1	<b>インターフェース CRC レジスタ ASO 開始</b> トランザクションはインターフェース CRC レジスタの内容へのアクセスを許可します。インターフェース CRC レジスタ ASO を終了すると、インターフェース CRC レジスタはクリアされます。	3
RDICRC_1_1	<b>揮発性インターフェース CRC レジスタ読み出し</b> トランザクションはインターフェース CRC レジスタの内容を DQ[7:0] に提供します。アドレス 0x00 と 0x01 は下位と上位の 16 ビットインターフェース CRC レジスタ値を定義します。	1
ASOEXT_1_1	<b>ASO 終了</b> トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1

## トランザクション テーブル

Table 120 HYPERBUS™ トランザクション説明 (5/5)

トランザクション名		説明	サイクル
DICREN_3_1	ASO データ整合性 CRC	データ整合性 CRC レジスタ ASO 開始トランザクションはデータ整合性 CRC チェック値へのアクセスを許可します。データ整合性 CRC 計算が一時停止されない間に、データ整合性 CRC ASO はフラッシュ メモリ アレイ全体をオーバーレイします。CRC 計算が一時停止された時、フラッシュ メモリ アレイは読み出し用に見えます。	3
LDSTAD_1_1		開始アドレス ロード トランザクションはデータ整合性 CRC の開始アドレス位置をロードします。	1
LDENAD_1_1		終了アドレス ロード トランザクションはデータ整合性 CRC の終了アドレス位置をロードします。	1
SP_DIC_1_1		データ整合性 CRC 一時停止 トランザクションはシステムにデータ整合性 CRC 計算動作を中断させます。	1
RDCMRY_1_1		データ整合性 CRC 一時停止中のメモリ アレイ読み出し トランザクションはメモリ アレイ データを特定のアドレスで読み出し、DQ[7:0] にデータを配置します。	1
RS_DIC_1_1		データ整合性 CRC 再開 トランザクションはシステムに一時停止中のデータ整合性 CRC 計算動作を再開させます。	1
RDDICL_2_1		データ整合性 CRC レジスタ下位ワード読み出し トランザクションはデータ整合性 CRC チェック値の下位 16 ビットを DQ[7:0] に提供します。	2
RDDICU_2_1		データ整合性 CRC レジスタ上位ワード読み出し トランザクションはデータ整合性 CRC チェック値の上位 16 ビットを DQ[7:0] に提供します。	2
ASOEXT_1_1		ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
ATBNEN_3_1		ASO オートブート	不揮発性 オートブート レジスタ ASO 開始 トランザクションはオートブート レジスタへのアクセスを許可します。この開始トランザクションは開始トランザクションからのセクタ アドレスを使用しません。
PGNATB_2_1	不揮発性 オートブート レジスタ プログラム トランザクションは、DQ[7:0] に配置されたデータで 16 ビット不揮発性 オートブート レジスタをプログラムします。		2
RDATBN_1_0	不揮発性 オートブート レジスタ読み出し トランザクションは 32 ビット不揮発性 オートブート レジスタの内容を読み出し、DQ[7:0] にデータを配置します。アドレス 0x00 と 0x01 は下位と上位の 16 ビット オートブート レジスタ値を定義します。		1
ASOEXT_1_1	ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。		1
SECTEN_3_1	セクタ消去カウント揮発性レジスタ ASO 開始 トランザクションはセクタ消去カウントレジスタへのアクセスを許可します。この開始トランザクションは開始トランザクションからのセクタ アドレスを使用しません。		3
LDSRAD_2_1	ASO セクタ消去カウント	セクタ アドレス ロード トランザクションは消去カウントの対象となるセクタ アドレスをロードします。	2
RDSECV_1_0		揮発性セクタ消去カウントレジスタ読み出し トランザクションは 16 ビット揮発性セクタ消去カウントレジスタの内容を読み出し、DQ[7:0] にデータを配置します。	1
ASOEXT_1_1		ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。	1
ENX_EN_3_1		ASO EnduraFlex	EnduraFlex ポインタ選択 (パーティション) ワンタイム プログラマブル レジスタ ASO 開始 トランザクションは EnduraFlex ポインタ レジスタへのアクセスを許可します。この開始トランザクションは開始トランザクションからのセクタ アドレスを使用しません。
PGOENX_2_1	ワンタイム プログラマブル EnduraFlex レジスタ [4:0] プログラム トランザクションは DQ[7:0] に配置されたデータでワンタイム プログラマブル EnduraFlex レジスタ [3:0] をプログラムします。アドレス 0x00、0x01、0x02、0x03、0x04 は 4 つの EnduraFlex レジスタ値を定義します。		2
RDOENX_1_1	ワンタイム プログラマブル EnduraFlex レジスタ [4:0] 読み出し トランザクションはワンタイム プログラマブル EnduraFlex レジスタ [3:0] を読み出し、DQ[7:0] にデータを配置します。アドレス 0x00、0x01、0x02、0x03、0x04 は 4 つの EnduraFlex レジスタ値を定義します。		1
ASOEXT_1_1	ASO 終了トランザクションはデバイスが ASO に入ったときにデバイスをメモリ アレイ データ読み出しモードに戻します。いずれかの ASO 開始コマンドが発行されると、ASO 終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。		1

Table 121 HYPERBUS™ トランザクションサイクル (1/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 番目			2 番目			3 回目			4 回目			5 回目			6 回目			7 番目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RDMARY_1_0	101b	DA[1:0]    RDA[AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENSPIM_3_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	F5h	-	-	-	-	-	-	-	-	-	-	-	-
SRASOE_1_0	001b	DA[1:0]    {[AMAX:0] 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENTDPD_3_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:0] 'bX'}	B9h	-	-	-	-	-	-	-	-	-	-	-	-
RDVSTR_2_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	70h	101b	DA[1:0]    {[AMAX:0] 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLVSTR_1_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	71h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRNPOR_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	34h	001b	DA[1:0]    {[AMAX:0] 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
RDNPOR_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	3Ch	101b	DA[1:0]    {[AMAX:0] 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVINC_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	36h	001b	DA[1:0]    {[AMAX:0] 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
RDVINC_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	C4h	101b	DA[1:0]    {[AMAX:0] 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVINS_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	37h	001b	DA[1:0]    {[AMAX:0] 'bX'}	FFFFh	-	-	-	-	-	-	-	-	-
RDVINS_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	C5h	101b	DA[1:0]    {[AMAX:0] 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGVCR1_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	38h	001b	DA[1:0]    {[AMAX:0] 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
PGVCR2_4_0	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	AAh	001b	DA[1:0]    {[AMAX:12] 'bX'}    2AAh	55h	001b	DA[1:0]    {[AMAX:12] 'bX'}    555h	3Ah	001b	DA[1:0]    {[AMAX:0] 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-



Table 121 HYPERBUS™ トランザクションサイクル (2/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RDVCR1_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	C7h	101b	DA[1:0]    {{AMAX:0} 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
RDVCR2_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	C9h	101b	DA[1:0]    {{AMAX:0} 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGNCR1_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	39h	001b	DA[1:0]    {{AMAX:0} 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
PGNCR2_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	3Bh	001b	DA[1:0]    {{AMAX:0} 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
ERNCR12_3_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	C8h	-	-	-	-	-	-	-	-	-	-	-	-
RDNCR1_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	C6h	101b	DA[1:0]    {{AMAX:0} 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
RDNCR2_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	CAh	101b	DA[1:0]    {{AMAX:0} 'bX'}	Rd_data [15:0]	-	-	-	-	-	-	-	-	-
PGWORD_4_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	A0h	001b	DA[1:0]    Pr_addr[AMAX:0]	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
LDBUFR_6_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    Sec_addr[AMAX:AMIN]	25h	001b	DA[1:0]    Sec_addr[AMAX:AMIN]	Wd_cnt	001b	DA[1:0]    WBL[AMAX:0]	Pr_data [15:0]	001b	DA[1:0]    WBL[AMAX:0]	Pr_data [15:0]	-	-	-
PGBFCM_1_0	001b	DA[1:0]    Sec_addr[AMAX:AMIN]	29h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSTWBA_3_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:0} 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
ERCHIP_6_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	80h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	10h	-	-	-
ERSCTR_6_0	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	80h	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001b	DA[1:0]    Sec_addr[AMAX:AMIN]	30h	-	-	-
BLKCHK_1_0	001b	DA[1:0]    Sec_addr[AMAX:AMIN]    555h	33h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-





Table 121 HYPERBUS™ トランザクションサイクル (3/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
EVERST_1_0	001b	DA[1:0]    Sec_addr[A MAX:AMIN]    555h	D0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SPERSE_1_0	001b	DA[1:0]    {[AMAX:0] 'bx}	B0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSERSE_1_0	001b	DA[1:0]    {[AMAX:0] 'bx}	30h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SPPROG_1_0	001b	DA[1:0]    {[AMAX:0] 'bx}	51h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RSPROG_1_0	001b	DA[1:0]    {[AMAX:0] 'bx}	50h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
IDSFE1_3_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    {[AMAX:12] 'bx}    555h	90h	-	-	-	-	-	-	-	-	-	-	-	-
IDSFE2_1_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	98h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDIDSF_1_1	101b	DA[1:0]    RDA[AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SSRENT_3_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    Sec_addr[A MAX:AMIN]    555h	88h	-	-	-	-	-	-	-	-	-	-	-	-
RD_SSR_1_1	101b	DA[1:0]    RDA[AMAX:0]	Rd_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PG_SSR_4_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    {[AMAX:12] 'bx}    555h	A0h	001 b	DA[1:0]    Pr_addr[AMAX:0]	Pr_data [15:0]	-	-	-	-	-	-	-	-	-
LDBSSR_5_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    Sec_addr[A MAX:AMIN]	25h	001 b	DA[1:0]    Sec_addr[A MAX:AMIN]	Wd_cnt	001 b	DA[1:0]    WBL[AMAX:0]	Pr_data [15:0]	001 b	DA[1:0]    WBL[AMAX:0]	Pr_data [15:0]	-	-	-
PGCSSR_1_1	001b	DA[1:0]    Sec_addr[A MAX:AMIN]	29h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Table 121 HYPERBUS™ トランザクションサイクル (4/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル		
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RSWSSR_3_1	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001 b	DA[1:0]    {{AMAX:0} 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASPENT_3_1	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX'}    555h	40h	-	-	-	-	-	-	-	-	-	-	-	-
PGOASP_2_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	A0h	001 b	DA[1:0]    {{AMAX:0} 'bX'}	Pr_data [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDOASP_1_1	101b	DA[1:0]    {{AMAX:0} 'bX'}	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PWDENT_3_1	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX'}    555h	60h	-	-	-	-	-	-	-	-	-	-	-	-
PGNPWD_2_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	A0h	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {PSWD Addr[1:0]}	P_PWD X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDNPWD_1_1	101b	DA[1:0]    {{AMAX:2} 'bX'}    {PSWD Addr[1:0]}	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ULNPWD_7_1	001b	DA[1:0]    {{AMAX:2} 'bX'}    {0h}	25h	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {0h}	03h	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {0h}	PWD0 [15:0]	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {1h}	PWD1 [31:16]	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {2h}	PWD2 [47:32]	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {3h}	PWD3 [63:48]	001 b	DA[1:0]    {{AMAX:2} 'bX'}    {0h}	29h
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PPBENT_3_1	001b	DA[1:0]    {{AMAX:12} 'bX'}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX'}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX'}    555h	C0h	-	-	-	-	-	-	-	-	-	-	-	-
PGNPPB_2_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	A0h	001 b	DA[1:0]    Sec_addr[A MAX:AMIN]	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ERNPPB_2_1	001b	DA[1:0]    {{AMAX:0} 'bX'}	80h	001 b	DA[1:0]    {{AMAX:12} 'bX'}    000h	30h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Table 121 HYPERBUS™ トランザクションサイクル (5/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RSWPPB_3_1	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	AAh	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    2AAh	55h	001b	DA[1:0]    {{[AMAX:0] 'bx}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-
RDNPPB_1_1	101b	DA[1:0]    Sec_addr[A MAX:AMIN]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRTSTS_2_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	60h	101b	DA[1:0]    Sec_addr[A MAX:AMIN]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PPLENT_3_1	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	AAh	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    2AAh	55h	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	50h	-	-	-	-	-	-	-	-	-	-	-	-
CLVPPL_2_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	A0h	001b	DA[1:0]    {{[AMAX:0] 'bx}}	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDPVPL_1_1	101b	DA[1:0]    {{[AMAX:0] 'bx}}	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DYBENT_3_1	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	AAh	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    2AAh	55h	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	E0h	-	-	-	-	-	-	-	-	-	-	-	-
STVDYB_2_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	A0h	001b	DA[1:0]    Sec_addr[A MAX:AMIN]	00h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLVDYB_2_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	A0h	001b	DA[1:0]    Sec_addr[A MAX:AMIN]	01h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDPDYB_1_1	101b	DA[1:0]    Sec_addr[A MAX:AMIN]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
PRTSTS_2_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	60h	101b	DA[1:0]    Sec_addr[A MAX:AMIN]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{[AMAX:0] 'bx}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ECCENT_3_1	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	AAh	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    2AAh	55h	001b	DA[1:0]    {{[AMAX:12] 'bx'}}    555h	75h	-	-	-	-	-	-	-	-	-	-	-	-

Table 121 HYPERBUS™ トランザクションサイクル (6/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RDECST_1_1	101b	DA[1:0]    RDA[AMAX:0]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDADTL_2_1	001b	DA[1:0]    {[AMAX:0] 'bx}	60h	101 b	DA[1:0]    {[AMAX:2] 'bx}    {00b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDADTU_2_1	001b	DA[1:0]    {[AMAX:0] 'bx}	60h	101 b	DA[1:0]    {[AMAX:2] 'bx}    {01b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDCONT_2_1	001b	DA[1:0]    {[AMAX:0] 'bx}	60h	101 b	DA[1:0]    {[AMAX:2] 'bx}    {10b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CLRECC_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	50h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ICRCEN_3_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    {[AMAX:12] 'bx}    555h	76h	-	-	-	-	-	-	-	-	-	-	-	-
RDICRC_1_1	101b	DA[1:0]    {[AMAX:2] 'bx}    {00b}	Rd_dat a0 [15:0]	101 b	DA[1:0]    {[AMAX:2] 'bx}    {01b}	Rd_dat a1 [31:16]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
DICREN_3_1	001b	DA[1:0]    {[AMAX:12] 'bx}    555h	AAh	001 b	DA[1:0]    {[AMAX:12] 'bx}    2AAh	55h	001 b	DA[1:0]    {[AMAX:12] 'bx}    555h	78h	-	-	-	-	-	-	-	-	-	-	-	-
LDSTAD_1_1	001b	DA[1:0]    Sec_addr[A MAX:AMIN]	C3h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
LDENAD_1_1	001b	DA[1:0]    Sec_addr[A MAX:AMIN]	3Ch	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SP_DIC_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	C0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDCMRY_1_1	101b	DA[1:0]    RDA[AMAX:0]	Rd_dat a [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RS_DIC_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	C1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-



Table 121 HYPERBUS™ トランザクションサイクル (7/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RDDICL_2_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	60h	101 b	DA[1:0]    {{AMAX:2} 'bX}    {00b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDDICU_2_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	60h	101 b	DA[1:0]    {{AMAX:2} 'bX}    {01b}	Rd_dat a0 [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ATBEN_3_1	001b	DA[1:0]    {{AMAX:12} 'bX}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX}    555h	14h	-	-	-	-	-	-	-	-	-	-	-	-
PGNATB_2_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	A0h	001 b	DA[1:0]    {{AMAX:1} 'bX}    {AUTOBOO T Addr[0]}	P_AUT OBOOT X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDATBN_1_0	101b	DA[1:0]    {{AMAX:2} 'bX}    {00b}	Rd_dat a0 [15:0]	101 b	DA[1:0]    {{AMAX:2} 'bX}    {01b}	Rd_dat a1 {31:16}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SECTEN_3_1	001b	DA[1:0]    {{AMAX:12} 'bX}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX}    555h	15h	-	-	-	-	-	-	-	-	-	-	-	-
LDSRAD_2_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	A0h	001 b	DA[1:0]    Sec_addr[A MAX:AMIN]	5Dh	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
RDSECV_1_0	101b	DA[1:0]    {{AMAX:2} 'bX}    {00b}	Rd_dat a0 [15:0]	101 b	DA[1:0]    {{AMAX:2} 'bX}    {01b}	Rd_dat a1 {31:16}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ENX_EN_3_1	001b	DA[1:0]    {{AMAX:12} 'bX}    555h	AAh	001 b	DA[1:0]    {{AMAX:12} 'bX}    2AAh	55h	001 b	DA[1:0]    {{AMAX:12} 'bX}    555h	16h	-	-	-	-	-	-	-	-	-	-	-	-
PGOENX_2_1	001b	DA[1:0]    {{AMAX:0} 'bX}}	A0h	001 b	DA[1:0]    {{AMAX:3} 'b0}    Pointer Addr[2:0]	Pr_data X [15:0]	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

**Table 121** HYPERBUS™ トランザクションサイクル (8/8)

トランザクション名	バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル			バスサイクル					
	1 回目			2 回目			3 回目			4 回目			5 回目			6 回目			7 回目		
	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ	CA[47:45]	CA[44:0] アドレス	DQ[7:0] データ
RDOENX_1_1	101b	DA[1:0]    {[AMAX:3] 'b0}    Pointer Addr[2:0]	Rd_data {15:0}	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
ASOEXT_1_1	001b	DA[1:0]    {[AMAX:0] 'bx}	F0h	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

## トランザクション テーブル

## コマンド定義の凡例

X= ドントケア

RA= 読み出しメモリ アドレス

RD= 読み出し動作中に RA 位置から読み出されるデータ

PA= プログラム対象のメモリ位置のアドレス

PD=PA 位置でプログラムされるデータ

SA= 選択されたセクタのアドレス。256KB セクタのアドレス ビット A<sub>MAX</sub> ~ A17 および 4KB パラメーター セクタの A<sub>MAX</sub> ~ A11 はセクタを一意的に選択します。

WBL= 書き込みバッファ位置。アドレスは同じライン内でなければなりません。

WC= ワード カウント。ロードする書き込みバッファ位置の値 - 1。

PWAX= ワード 0=00h、ワード 1=01h、ワード 2=02h、ワード 3=03h のパスワード アドレス

PWDx= ワード 0、ワード 1、ワード 2、ワード 3 のパスワード データ

EFPRx= インフィニオン Endurance Flex アーキテクチャ ポインタ アドレス レジスタ 0、1、2、3、4

DA= ダイ アドレス (すべてのデバイスで DA[1:0]=00b)

## 注

37. すべての値は 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
38. 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID 読み出し (メーカー ID/ デバイス ID)、インジケータ ビット、SSR 読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
39. データ ビット DQ15 ~ DQ8 は、RD、PD、WC、PWD を除いて、コマンドシーケンスでは「ドントケア」です。
40. アドレス ビット A<sub>MAX</sub> ~ A11 は、SA または PA が必要な場合を除いて、ロック解除およびコマンド サイクルでは「ドントケア」です。(A<sub>MAX</sub> は最上位アドレスピンです。)
41. アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
42. デバイスが ID-SFDP (自動選択) モードのとき、アレイ データの読み出しに戻るにはリセット コマンドが必要です。
43. デバイスがアレイ データを読み出す準備ができたとき、またはデバイスが ID-CFI モードのとき、コマンドが有効になります。
44. 消去一時停止モードのとき、システムは消去対象となっていないセクタを読み出しプログラム / プログラム一時停止したり、ID-SFDP ASO に入れます。消去一時停止コマンドは、セクタ消去動作の間のみ有効です。
45. 消去再開 / プログラム再開コマンドは、消去一時停止 / プログラム一時停止モードの間のみ有効です。
46. デバイスのバッファ書き込み中止状態を検出後に、デバイスを読み出しモードに復帰させるためにこのコマンドシーケンスを実行します。ABORT からリセットする場合は、完全なコマンドシーケンスが必要であることに注意してください。
47. 終了コマンドは、デバイスをアレイの読み出しに戻します。
48. PWDx の場合は、プログラムできるパスワード領域は、A0 コマンド 1 回につき、1 つだけです。パスワード領域は、シーケンシャルに (PWD0 ~ PWD3) プログラムする必要があります。
49. すべての ASP レジスタ ビットは OTP です。プログラム状態 = 0、消去状態 = 1 です。また、持続的保護モード ロック ビットとパスワード保護モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASPR レジスタ ビットのプログラム動作が中止され、デバイスが読み出しモードに戻ります。将来の使用のために予約されている ASP レジスタ ビットは未定義であり、「0」でも「1」でもかまいません。
50. いずれかの開始コマンドが発行されたら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
51. ビット 0=0 は保護状態、ビット 0=1 は非保護状態を示します。ビット 1 ~ 15 は、保護状態では全 0、非保護状態では全 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクタ アドレスは、セクタ内の任意の位置でかまいません。セクタ アドレスの低位 ビットは「ドントケア」です。ビット 1 ~ 15 が全 0 でなければ、PPB プログラム コマンドが中止されることに注意してください。
52. レジスタ読み出しトランザクションのデータ出力は、デバイスが出力する最初のワードでのみ有効です。CS# が LOW のままにある間 CK/CK# がトグルし続けると、後続のデータ値出力は未定義になります。
53. SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0 ~ 2 で保護されるかどうかを示します。  
ビット 0: 指定されたセクタが保護されるかどうかを示します (0= 保護、1= 非保護)。  
ビット 1: セクタの DYB ビットにより保護されます (0= 保護、1= 非保護)。  
ビット 2: セクタの PPB ビットにより保護されます (0= 保護、1= 非保護)。  
ビット 3 ~ 15 は全 1 です。
54. より小さいパラメーターセクタは、消去とプログラム コマンドシーケンスのときに対象のパラメーターセクタを指定するアドレスの一部として、A[16:11] を含む必要があります。
55. リセット /ASO 終了動作。
56. デバイスがビジーでないときまたはコマンドシーケンス中、SR0[5, 4, 3, 1, 0] をクリアします。  
デバイスがビジーでないとき、または ASO に入ったとき、SR0[5, 4, 3, 1, 0] をクリアします。
57. 不正なコマンドシーケンスに入った場合、デバイスは CS# が HIGH になるとスタンバイ モードに戻ります。
58. リセット、ASO 終了、ステータス レジスタ読み出しおよびステータス レジスタクリアのコマンドはグローバルにすべての ASO に適用可能です。
59. オートブートモードでは、メモリアレイからの読み出し時にラップ機能は無効です。
60. パワーオンリセット タイマー レジスタおよび不揮発性コンフィギュレーション レジスタに対するプログラム動作は一時停止してはいけません。もし一時停止したら、不確定な結果となり、スタンバイ モードに戻るにはハードウェアリセットが必要です。
61. HYPERBUS™ インターフェースから SPI インターフェースへの正常な遷移のためには、SPI モード開始コマンドシーケンスの後に続いて、SPI モードで任意レジスタ読み出しコマンド (RDAR) を実行しなければいけません。

## 6.2 レガシー (x1) SPI トランザクションテーブル

Table 122 SPI (1S-1S-1S) トランザクションテーブル (1/3)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1(16進)	バイト 2(16進)	バイト 3(16進)	バイト 4(16進)	バイト 5(16進)	バイト 6(16進)	バイト 7(16進)	バイト 8(16進)	バイト 9(16進)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長	
デバイス ID 読み出し	RDIDN_0_0	メーカーとデバイス ID 読み出しトランザクションは、メーカーとデバイス ID への読み出しアクセスを提供します。	-	9F (CMD)	-	-	-	-	-	-	-	-	Figure 10	166	該当なし	
	RSFDP_3_0	JEDEC シリアルフラッシュ検出可能パラメーター読み出しトランザクションは、シリアルフラッシュ検出パラメーター (SFDP) に順次アクセスします。	-	5A (CMD)	00 (ADDR)	00 (ADDR)	00 (ADDR)	-	-	-	-	-	Figure 11	156	3	
	RDUID_0_0	固有 ID 読み出しはデバイスごとに固有である工場出荷時の 64 ビット番号にアクセスします。	-	4C (CMD)	-	-	-	-	-	-	-	-	Figure 10	166	該当なし	
RDSR1_0_0	ステータスレジスタ 1 読み出しトランザクションはステータスレジスタ 1 の内容を DQ1/SO から読み出します。	-	05 (CMD)	-	-	-	-	-	-	-	-	-	Figure 11		3	
RDSR2_0_0	ステータスレジスタ 2 読み出しトランザクションはステータスレジスタ 2 の内容を DQ1/SO から読み出します。	-	07 (CMD)	-	-	-	-	-	-	-	-	-			4	
RDARG_C_0	任意レジスタ読み出しトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタの読み出し方法を提供します。	-	65 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	-			Figure 11	3
レジスタアクセス	WRENB_0_0	書き込みイネーブルはステータスレジスタ 1 の書き込みイネーブルラッチビットを「1」にセットし、書き込み、プログラムおよび消去のトランザクションを有効にします。	-	06 (CMD)	-	-	-	-	-	-	-	-	Figure 5	166	該当なし	
	WRDIS_0_0	書き込みディセーブルは、ステータスレジスタ 1 の書き込みイネーブルラッチビットを「0」にセットし、書き込み、プログラムおよび消去のトランザクションを無効にします。	-	04 (CMD)	-	-	-	-	-	-	-	-	-		4	
	WRARG_C_1	任意レジスタ書き込みトランザクションは、すべてのアドレス指定された不揮発性と揮発性のデバイスレジスタに書き込む方法を提供します。	WRENB_0_0	71 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ [7:0]	-	-	-	-	-	Figure 8	3	
					ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ [7:0]	-	-	-	-	-	4	
	CLPEF_0_0	プログラムおよび消去失敗フラグクリア トランザクションは STR1V[5] (消去失敗フラグ) および STR1V[6] (プログラム失敗フラグ) をリセットします。	-	82 (CMD)	-	-	-	-	-	-	-	-	-	Figure 5	該当なし	
	EN4BA_0_0	4 バイトアドレスモード開始トランザクションは、アドレス長ビットを設定します。	-	B7 (CMD)	-	-	-	-	-	-	-	-	-	-	166	該当なし
	EX4BA_0_0	4 バイトアドレスモード終了トランザクションは、アドレス長ビットを設定します。	-	B8 (CMD)	-	-	-	-	-	-	-	-	-	-		4
RDECC_4_0	ECC ステータス読み出しは、アドレス指定されたデータユニットの ECC ステータスを決定するために使用されます。	-	19 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 11	4		
ECC	CLECC_0_0	ECC ステータスレジスタクリア トランザクションは、ECC ステータスレジスタビット [4] (2 ビット ECC 検出)、ECC ステータスレジスタビット [3] (1 ビット ECC 訂正)、アドレストラップレジスタおよび ECC 検出カウンターをリセットします。	-	1B (CMD)	-	-	-	-	-	-	-	-	Figure 5	166	該当なし	
	DICLK_4_1	データ整合性チェック トランザクションは、デバイスがユーザー定義アドレス範囲でデータ整合性チェックを実行します。	-	5B (CMD)	開始 ADDR[31:24]	開始 ADDR[23:16]	開始 ADDR[15:8]	開始 ADDR[7:0]	終了 ADDR[31:24]	終了 ADDR[23:16]	終了 ADDR[15:8]	終了 ADDR[7:0]	Figure 7	166	4	





Table 122 SPI (1S-1S-1S) トランザクションテーブル (2/3)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1(16進)	バイト 2(16進)	バイト 3(16進)	バイト 4(16進)	バイト 5(16進)	バイト 6(16進)	バイト 7(16進)	バイト 8(16進)	バイト 9(16進)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
フラッシュアレイ読み出し	RDAY1_C_0	読み出しトランザクションは指定されたアドレスからメモリ内容を読み出します。トランザクションの最大 CK 周波数は 50MHz です。	-	03 (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 12	50	3
	-		ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4				
	RDAY1_4_0	-	13 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 11	166	3	
	-	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4					
RDAY2_C_0	高速読み出しトランザクションは指定された開始アドレスからメモリ内容を読み出します。	-	0B (CMD)	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	-	Figure 11	166	3	
-	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	4						
フラッシュアレイプログラム	PRPGE_4_1	ページプログラムは、1つのトランザクションで 256B または 512B のデータをメモリアレイにプログラムします。	WRENB_0_0	12 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-	Figure 8		4
フラッシュアレイ消去	ER004_4_0	4KB セクタ消去トランザクションは 4KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	21 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 6		4
	ER256_4_0	256KB セクタ消去トランザクションは 256KB セクタのすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	DC (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
	ERCHP_0_0	チップ消去トランザクションは、フラッシュメモリアレイ全体のすべてのビットを「1」にセットします (すべてのバイトは FFh)。	WRENB_0_0	60 または C7 (CMD)	-	-	-	-	-	-	-	-	Figure 5		該当なし
	EVERS_4_0	消去ステータス判断トランザクションは、アドレス指定されたセクタの前の消去動作が正常に完了したかを確認します。	-	D0 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 6		4
	SEERC_4_0	セクタ消去カウントトランザクションは、セクタ消去カウントレジスタから入力されたアドレスのセクタに対する消去回数を出します。	-	5D (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-			
	一時停止 / 再開	SPEPD_0_0	消去 / プログラム / データ整合性チェックの一時停止トランザクションは、システムがプログラム、消去またはデータ整合性チェック動作を中断することを可能にします。	-	B0 (CMD)	-	-	-	-	-	-	-	-	Figure 5	
RSEPD_0_0		消去 / プログラム / データ整合性チェックの再開トランザクションは、システムがプログラム、消去またはデータ整合性チェック動作を再開することを可能にします。	-	7A (CMD)	-	-	-	-	-	-	-	-			
セキュアシリコン領域	PRSSR_4_1	SSR プログラムトランザクションは 1024 バイトの SSR にデータをプログラムします。	WRENB_0_0	42 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-	Figure 8		4
	RDSSR_4_0	SSR 読み出しトランザクションは SSR からデータを読み出します。	-	4B (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 11		

Table 122 SPI (1S-1S-1S) トランザクションテーブル (3/3)

機能	トランザクション名	説明	前提条件トランザクション	バイト 1(16進)	バイト 2(16進)	バイト 3(16進)	バイト 4(16進)	バイト 5(16進)	バイト 6(16進)	バイト 7(16進)	バイト 8(16進)	バイト 9(16進)	トランザクションフォーマット	最大周波数 (MHz)	アドレス長
高度セクタ保護	RDDYB_4_0	ダイナミック保護ビット読み出しトランザクションは、DYB アクセスレジスタの内容を読み出します。	-	E0 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 11	166	4
	WRDYB_4_1	ダイナミック保護ビット書き込みトランザクションは、DYB アクセスレジスタに書き込みます。	WRENB_0_0	E1 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	入力データ 1[7:0]	入力データ 2[7:0]	(続く)	-	Figure 8		
	RDPPB_4_0	持続的保護ビット読み出しトランザクションは、PPB アクセスレジスタの内容を読み出します。	-	E2 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 11		
	PRPPB_4_0	持続的保護ビットプログラムトランザクションは、セクタ保護を有効にするために、PPB レジスタにプログラム/書き込みをします。	WRENB_0_0	E3 (CMD)	ADDR[31:24]	ADDR[23:16]	ADDR[15:8]	ADDR[7:0]	-	-	-	-	Figure 6		
	ERPPB_0_0	持続的保護ビット消去トランザクションはすべての持続的保護ビットを「1」にセットします。	WRENB_0_0	E4 (CMD)	-	-	-	-	-	-	-	-	Figure 5		
	WRPLB_0_0	PPB 保護ロックビット書き込みトランザクションは PPB ロックを「0」にクリアします。	WRENB_0_0	A6 (CMD)	-	-	-	-	-	-	-	-	-		
	RDPLB_0_0	パスワード保護ロックビット読み出しトランザクションは、8 ビット PPB ロックレジスタの内容を MSb からシフトアウトします。	-	A7 (CMD)	-	-	-	-	-	-	-	-	Figure 10		
	PWDUL_0_1	パスワードロック解除トランザクションは、フラッシュデバイスに 64 ビットパスワードを送ります。与えられたパスワードがパスワードレジスタでの隠しパスワードと一致しない場合、デバイスはロックされ、ハードウェアリセットまたは POR でのみデバイスはスタンバイ状態に戻り、PWDUL_0_1 の再実行などの新しいトランザクション用に準備します。パスワードが一致の場合、PPB ロックビットは「1」にセットされます。	-	E9 (CMD)	パスワード [7:0]	パスワード [15:8]	パスワード [23:16]	パスワード [31:24]	パスワード [39:32]	パスワード [47:40]	パスワード [55:48]	パスワード [63:56]	Figure 9		
リセット	SRSTE_0_0	ソフトウェアリセットイネーブル コマンドは、SFRST_0_0 トランザクションの直前に必要です。	-	66 (CMD)	-	-	-	-	-	-	-	-	Figure 5		
	SFRST_0_0	ソフトウェアリセットトランザクションは、不揮発性デフォルト値から揮発性レジスタの再ロードにより、デバイスを初期電源投入状態に戻します。	SRSTE_0_0	99 (CMD)	-	-	-	-	-	-	-	-			
ディープパワーダウン	ENDPD_0_0	ディープパワーダウンモード開始トランザクションは、デバイスを最低消費電力モードに移行させます。	-	B9 (CMD)	-	-	-	-	-	-	-	-			

該当なし

## 電気的特性

## 7 電気的特性

7.1 絶対最大定格<sup>[64]</sup>

プラスチックパッケージの保管温度	-65°C~+150°C
通電時の周囲温度	-65°C~+125°C
V <sub>CC</sub> (HL-T)	-0.5 V~+4.0 V
V <sub>CC</sub> (HS-T)	-0.5 V~+2.5 V
グラウンドを基準にした入力電圧 (V <sub>SS</sub> ) <sup>[62]</sup>	-0.5 V~V <sub>CC</sub> + 0.5 V
出力短絡電流 <sup>[63]</sup>	100 mA

## 7.2 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

## 7.2.1 電源電圧

V <sub>CC</sub> / V <sub>CCQ</sub> (HL-Tデバイス)	2.7 V~3.6 V
V <sub>CC</sub> / V <sub>CCQ</sub> (HS-Tデバイス)	1.7 V~2.0 V

## 7.2.2 温度範囲

Table 123 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T <sub>A</sub>	産業用 / 車載向け AEC-Q100 グレード 3	-40	+85	°C
		産業用プラス / 車載向け AEC-Q100 グレード 2 <sup>[65]</sup>		+105	
		車載向け AEC-Q100 グレード 1 <sup>[65]</sup>		+125	

## 7.3 熱抵抗

Table 124 熱抵抗

パラメーター	説明	テスト条件	デバイス	24 ボール BGA	単位
Theta JA	熱抵抗 (接合部から周囲)	テスト条件は EIA/JESD51 による熱インピーダンスを測定するための標準的なテスト方法と手順に従います。 無風時 (0m/s) の場合	256T	35.3	°C/W
			512T	34.5	
			01GT	37	
Theta JB	熱抵抗 (接合部から基板)		256T	19	
			512T	14.5	
			01GT	9.7	
Theta JC	熱抵抗 (接合部からケース)		256T	11	
			512T	5.4	
			01GT	7.5	

## 注

62. 信号遷移時に許可された最大値は 148 ページの入力信号オーバーシュートを参照してください。
63. 複数の出力を同時にグラウンドに短絡できません。短絡時間は 1 秒を超えてはいけません。
64. 147 ページの絶対最大定格<sup>[64]</sup>に記載されたものをを超えるストレスの印加は、デバイスを完全に破壊する可能性があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えます。
65. 産業用プラス、車載向けグレード 2 および車載向けグレード 1 デバイスの動作および性能パラメーターはデバイス特性評価で決まり、本仕様を示す標準産業用または車載向けグレード 3 温度範囲のデバイスとは異なることがあります。

電気的特性

7.4 静電容量特性

Table 125 静電容量

記号	パラメーター	テスト条件:	Typ	Max	単位
$C_{IN}$	入力容量 (CK, CS#, RESET# に適用)	1 MHz	3.0	7.50	pF
$C_{OUT}$	出力容量 (すべての I/O に適用)		6.50		

7.5 ラッチアップ仕様

Table 126 ラッチアップ仕様<sup>[66]</sup>

説明	Min	Max	単位
すべての入力専用接続での、 $V_{SSQ}$ を基準とした入力電圧	-1.0	$V_{CCQ}+1.0$	V
すべての I/O 接続での、 $V_{SSQ}$ を基準とした入力電圧			
$V_{CCQ}$ 電流	-100	+100	mA

7.6 DC 特性

7.6.1 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は  $V_{SSQ}$  と  $V_{CCQ}$  の電圧範囲内にあることが必要です。電圧変動の間、入力または I/O は最大 20ns の期間で、 $V_{SSQ}$  が -1.0V にオーバーシュートするか、または  $V_{CCQ}+1.0V$  にオーバーシュートする可能性があります。

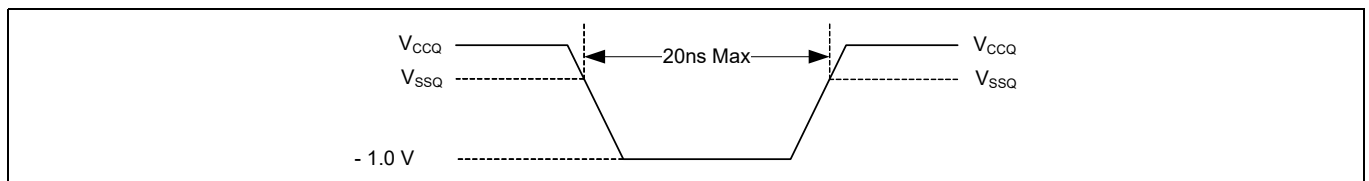


Figure 52 最大負オーバーシュート波形

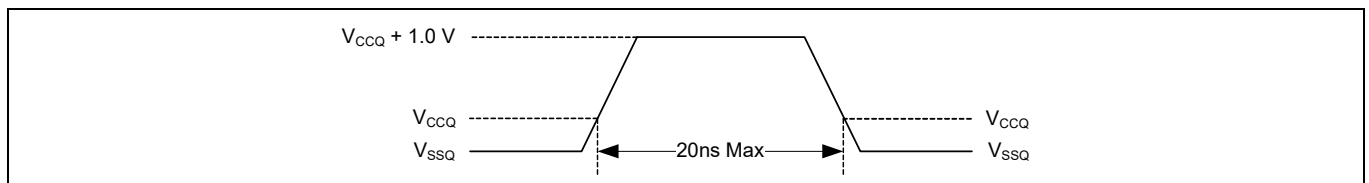


Figure 53 最大正オーバーシュート波形

注  
 66. 電源電圧  $V_{CC}$  を除外します。テスト条件:  $V_{CC}=1.8V/3.0V$ 、一度に 1 つの接続をテストし、テストされていないピンは  $V_{SS}$  に接続します。

電气的特性

7.6.2 DC 特性 ( 全温度範囲 )

Table 127 DC 特性<sup>[67, 68]</sup> (1/2)

記号	パラメーター	テスト条件 :	Min	Typ	Max	単位	参照図
$V_{IL}$	入力 LOW 電圧 ( すべての $V_{CC}$ )	-	$V_{CCQ} \times 0.15$	-	$V_{CCQ} \times 0.35$	V	-
$V_{IH}$	入力 HIGH 電圧 ( すべての $V_{CC}$ )	-	$V_{CCQ} \times 0.65$	-	$V_{CCQ} \times 1.15$		
$V_{OL}$	出力 LOW 電圧 ( すべての $V_{CC}$ )	0.1mA 時		-	0.2		
$V_{OH}$	出力 HIGH 電圧 ( すべての $V_{CC}$ )	-0.1mA 時	$V_{CCQ} - 0.20$	-			
$I_{LI}$	入力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 85°C	-	-	$\pm 2$	$\mu A$	-
		$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 105°C	-	-	$\pm 3$		
		$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 125°C	-	-	$\pm 4$		
$I_{LO}$	出力リーク電流	$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 85°C	-	-	$\pm 2$		
		$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 105°C	-	-	$\pm 3$		
		$V_{CC} = V_{CC} \text{ Max}, V_{IN} = V_{IH}$ または $V_{SS}$ , $CS\# = V_{IH}$ , 125°C	-	-	$\pm 4$		
$I_{CC1}$	アクティブ供給電流 ( 読み出し ) <sup>[69]</sup>	SDR@ 50 MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	14 / 18 10 / 10 18 / 14	25 / 25 21 / 18 25 / 25	mA	-
		SDR@ 166 MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	53 / 53 75 / 75 75 / 80	69 / 72 100 / 100 100 / 100		
		DDR@ 166 MHz (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	75 / 75 75 / 75 75 / 80	130 / 150 130 / 150 130 / 168		
		DDR@ 200 MHz (HS256T) (HS512T) (HS01GT)	-	156 156 156	173 173 198		
$I_{CC2}$	アクティブ供給電流 ( ページ プログラム ) (256T / 512T / 01GT)	$V_{CC} = V_{CC} \text{ Max}, CS\# = V_{IH}$	-	50	58 / 58 / 66		
$I_{CC3}$	アクティブ供給電流 ( 任意レジスタ書き込み ) (256T / 512T / 01GT)	$V_{CC} = V_{CC} \text{ Max}, CS\# = V_{IH}$	-	50	55 / 55 / 66		
$I_{CC4}$	アクティブ供給電流 ( セクタ消去 ) (256T / 512T / 01GT)	$V_{CC} = V_{CC} \text{ Max}, CS\# = V_{IH}$	-	50	55 / 55 / 66		
$I_{CC5}$	アクティブ供給電流 ( チップ消去 ) (256T / 512T / 01GT)	$V_{CC} = V_{CC} \text{ Max}, CS\# = V_{IH}$	-	50	55 / 55 / 66		

注

67. Typ 値は  $T_{AI} = 25^\circ C$  と  $V_{CC} = 1.8V / 3.0V$  のときです。

68. INT# 出力の推奨プルアップ抵抗は 5 k $\Omega$  ~ 10 k $\Omega$  です。

69. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流が含まれていません。

電气的特性

Table 127 DC 特性<sup>[67, 68]</sup> (2/2)

記号	パラメーター	テスト条件:	Min	Typ	Max	単位	参照図
I <sub>SB</sub>	スタンバイ電流 (HS256T/ HS512T/ HS01GT)	RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 85°C	-	11	160 / 113 / 160	μA	
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 105°C	-		320 / 188 / 320		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 125°C	-		650 / 340 / 650		
	スタンバイ電流 (HL256T/ HL512T/ HL01GT)	RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 85°C	-	14	160 / 126 / 160		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 105°C	-		320 / 188 / 320		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 125°C	-		490 / 340 / 490		
I <sub>DPD</sub>	DPD 電流 (HS256T/ HS512T/ HS01GT)	RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 85°C	-	1.3	24 / 18 / 24	μA	-
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 105°C	-		26 / 18 / 26		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 125°C	-		80 / 31 / 80		
	DPD 電流 (HL256T/ HL512T/ HL01GT)	RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 85°C	-	2.2	26 / 18 / 26		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 105°C	-		26 / 18 / 26		
		RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub> , 125°C	-		52 / 31 / 52		
I <sub>POR</sub>	POR 電流	RESET#, CS#=V <sub>CCQ</sub> <sup>o</sup> すべての I/O=V <sub>CCQ</sub> また は V <sub>SSQ</sub>	-	-	80	mA	

電源投入 / 電源切断時の電圧

V <sub>CC</sub> (min)	V <sub>CC</sub> (最小動作電圧, HL-T)	-	2.7	-	-	V	Figure 47 / Figure 48
	V <sub>CC</sub> (最小動作電圧, HS-T)	-	1.7	-	-		
V <sub>CC</sub> (cut-off)	V <sub>CC</sub> (再初期化が必要となる カットオフ電圧, HL-T)	-	2.4	-	-		Figure 48
	V <sub>CC</sub> (再初期化が必要となる カットオフ電圧, HS-T)	-	1.55	-	-		
V <sub>CC</sub> (Low)	V <sub>CC</sub> (初期化が起こる低電圧, HL-T)	-	0.7	-	-		
	V <sub>CC</sub> (初期化が起こる低電圧, HS-T)	-	0.7	-	-		

注

67. Typ 値は T<sub>MI</sub>=25°C と V<sub>CC</sub>=1.8V/3.0V のときです。  
68. INT# 出力の推奨プルアップ抵抗は 5 kΩ ~ 10 kΩ です。  
69. 読み出しデータが返るとき、出力は未接続です。出力スイッチング電流が含まれていません。

電気的特性

## 7.7 AC テスト条件

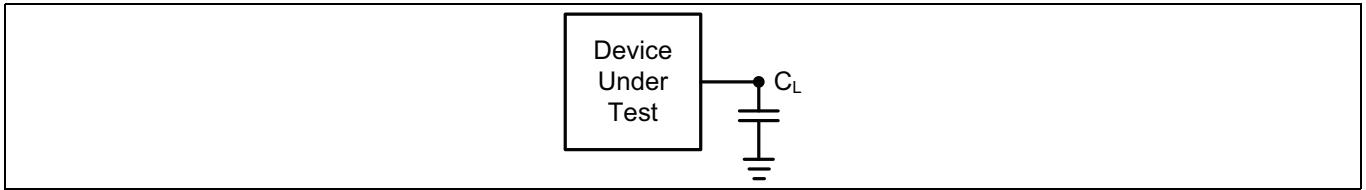


Figure 54 テストセットアップ

Table 128 AC 測定条件<sup>[71]</sup>

パラメーター	Min	Max	単位	参照図
負荷静電容量 (C <sub>L</sub> )	-	15	pF	Figure 54
入力パルス電圧	0	V <sub>CCQ</sub>	V	Figure 56
200 MHz (HS-T) での CK 立ち上り (t <sub>CRT1</sub> ) および立ち下り (t <sub>CFT1</sub> ) スループレート <sup>[70]</sup>	1.13	-	V/ns	Figure 59
166 MHz (HL-T) での CK 立ち上り (t <sub>CRT2</sub> ) および立ち下り (t <sub>CFT2</sub> ) スループレート <sup>[70]</sup>	1.72	-		
200 MHz (HS-T) でのデータ立ち上り (t <sub>DRT1</sub> ) および立ち下り (t <sub>DFT1</sub> ) スループレート <sup>[70]</sup>	1.13	-	V	Figure 56
166 MHz (HL-T) でのデータ立ち上り (t <sub>DRT2</sub> ) および立ち下り (t <sub>DFT2</sub> ) スループレート <sup>[70]</sup>	1.72	-		
V <sub>IL(ac)</sub>	-0.30×V <sub>CCQ</sub>	0.30×V <sub>CCQ</sub>	V	Figure 57 / Figure 58
V <sub>IH(ac)</sub>	0.7×V <sub>CCQ</sub>	1.30×V <sub>CCQ</sub>		
V <sub>OH(ac)</sub>	0.75×V <sub>CCQ</sub>	-		
V <sub>OL(ac)</sub>	-	0.25×V <sub>CCQ</sub>		
入力タイミング参照電圧	0.5 × V <sub>CC</sub>			Figure 56
出力タイミング参照電圧	0.5 × V <sub>CC</sub>			Figure 57 / Figure 58

**注**

70. V<sub>CC max</sub> での入力パルスの最小値~最大値で測定した入力スループレートです。  
 71. AC 特性表ではクロックとデータ信号が同じスループレート (スロープ) を持っていることを想定しています。

タイミング特性

## 8 タイミング特性

Table 129 タイミング特性<sup>[72]</sup> (1/3)

記号	パラメーター	Min	Typ	Max	単位	参照図
<b>HYPERBUS™</b>						
f <sub>CK</sub>	DS (HS-T) を使用する HYPERBUS™ モード トランザクション用の CK クロック周波数	0	-	200	MHz	-
	DS (HL-T) を使用する HYPERBUS™ モード トランザクション用の CK クロック周波数		-	166		
p <sub>CK</sub>	CK クロック周期	1/f <sub>CK</sub>	-	∞	ns	Figure 56
t <sub>CH</sub>	クロック HIGH 時間	p <sub>CK</sub> の 45%	-	55% p <sub>CK</sub>		Figure 59
t <sub>CL</sub>	クロック LOW 時間		-			
t <sub>CS</sub>	CS# HIGH 時間 (読み出しトランザクション)	7.5	-	-		Figure 62
	CS# High 時間 (CRC ASO:ASO 開始および終了の構成レジスタロードプログラムを含む)	50	-	-		
t <sub>CSS</sub>	CS# アクティブセットアップ時間 (CK を基準とする)	4	-	-		
t <sub>CSH0</sub>	CS# アクティブホールド時間 (モード 0 で CK を基準とする)	4	-	-		
t <sub>SU</sub>	HS-T データセットアップ時間 (すべての V <sub>CC</sub> )	0.5	-	-		
	HL-T データセットアップ時間 (すべての V <sub>CC</sub> )	0.6	-	-		
t <sub>HD</sub>	HL-T データホールド時間 (すべての V <sub>CC</sub> )	0.6	-	-		
	HS-T データホールド時間 (すべての V <sub>CC</sub> )	0.5	-	-		
t <sub>V</sub> <sup>[73]</sup>	クロック LOW から出力有効までの時間 (15pF 負荷) (HS-T)	2	-	5.45	Figure 63	
	クロック LOW から出力有効までの時間 (15pF 負荷) (HL-T)		-	7.25		
t <sub>CKDS</sub>	DS 有効時間 (HS-T)	-	-	5.45		
	DS 有効時間 (HL-T)	-	-	7.25		
t <sub>DSS</sub> <sup>[74]</sup>	DS 遷移からデータ有効までの時間	-0.4	-	0.4		
t <sub>DSH</sub> <sup>[74]</sup>	DS 遷移からデータ無効までの時間	-0.4	-	0.4		
t <sub>DIS</sub> <sup>[72]</sup>	CS# 非アクティブから出力ディセーブルまでの時間 (HS-T)	-	-	6.00		Figure 63
	CS# 非アクティブから出力ディセーブルまでの時間 (HL-T)	-	-	7.50		
t <sub>DSZ</sub>	CS# 非アクティブから DS ディセーブルまでの時間 (HS-T)	-	-	6.00		
	CS# 非アクティブから DS ディセーブルまでの時間 (HL-T)	-	-	7.50		
t <sub>IO_SKEW</sub> <sup>[74]</sup>	データスキュー時間 (最初のデータビットから最後のデータビットまでの時間)	-	-	0.4	-	
<b>SPI SDR</b>						
f <sub>CK</sub>	CK クロック周波数	0	-	166	MHz	-
p <sub>CK</sub>	CK クロック周期	1/f <sub>CK</sub>	-	∞	ns	Figure 56
t <sub>CH</sub>	クロック HIGH 時間	p <sub>CK</sub> の 45%	-	55% p <sub>CK</sub>		Figure 59
t <sub>CL</sub>	クロック LOW 時間	p <sub>CK</sub> の 45%	-	55% p <sub>CK</sub>		
t <sub>CS</sub>	CS# High 時間 (読み出しトランザクション)	10	-	-		Figure 60 / Figure 61
	トランザクションどうし間の CS# High 時間 (中止されたコマンド)	20	-	-		
	CS# High 時間 (プログラム / 消去トランザクション)	50	-	-		



タイミング特性

Table 129 タイミング特性<sup>[72]</sup> (2/3)

記号	パラメーター	Min	Typ	Max	単位	参照図	
$t_{CSS}$	CS# アクティブセットアップ時間 (CK を基準とする) ( $f_{CK} \leq 50$ MHz / $f_{CK} > 50$ MHz)	5 / 4	-	-	ns	Figure 60	
$t_{CSH0}$	CS# アクティブホールド時間 (モード 0 で CK を基準とする)	4	-	-			
$t_{CSH3}$	CS# アクティブホールド時間 (モード 3 で CK を基準とする)	6	-	-			
$t_{SU}$	データセットアップ時間 (すべての $V_{CC}$ ) ( $f_{CK} \leq 50$ MHz / $f_{CK} > 50$ MHz)	5 / 2	-	-			Figure 60
$t_{HD}$	データホールド時間 (すべての $V_{CC}$ ) ( $f_{CK} \leq 50$ MHz / $f_{CK} > 50$ MHz)	5 / 2	-	-			
$t_v$	クロック LOW から出力有効までの時間 (15 pF 負荷, 3.0V-3.6V, 30 Ω 出力インピーダンス) (HL-T)	2	-	6.5		Figure 61	
	クロック LOW から出力有効までの時間 (30 pF 負荷) (HS-T)	2	-	8			
	クロック LOW から出力有効までの時間 (30 pF 負荷) (HL-T)	2	-	9			
	クロック LOW から出力有効までの時間 (15 pF 負荷) (HS-T)	2	-	6			
	クロック LOW から出力有効までの時間 (15 pF 負荷) (HL-T)	2	-	8			
$t_{HO}$	出力ホールド時間	1.5	-	-			
$t_{DIS}$	出力ディセーブル時間 (HS-T)	-	-	6			
	出力ディセーブル時間 (HL-T)	-	-	7.50			
<b>電源投入 / 電源切断タイミング</b>							
$t_{PU}$	$V_{CC}(\min)$ から読み出し動作までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	-	550 / 600 450 / 500 500 / 500	μs	Figure 47	
$t_{PD}$	$V_{CC}(\text{LOW})$ 時間	25	-	-			Figure 48
$t_{VR}^{[81]}$	$V_{CC} / V_{CCQ}$ 電源投入時ランプレート	1	-	-	μs/V	Figure 49	
$t_{VF}$	$V_{CC} / V_{CCQ}$ 電源切断時ランプレート	30	-	-		Figure 64	
<b>ディープパワーダウンモードタイミング</b>							
$t_{ENTDPD}^{[81]}$	DPD モード開始までの時間	-	-	3	μs	-	
$t_{EXTDPD}$	DPD モード終了までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	-	520 / 570 380 / 430 430 / 430			Figure 46
$t_{CSDPD}$	DPD を終了するチップセレクトパルス幅	0.02	-	3			
<b>リセットタイミング<sup>[76, 77]</sup></b>							
$t_{RS}$	リセットセットアップ時間 - CS# LOW 前の RESET# HIGH 時間	50	-	-	ns	Figure 39	
$t_{RH}$	リセットパルスホールド時間 - RESET# LOW から CS# LOW までの時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	550 / 600 450 / 500 500 / 500	-	-	μs		
$t_{RP}$	RESET# パルス幅	200	-	-	ns		
$t_{SR}$	ソフトウェアリセット トランザクションから内部デバイスリセットまでの時間 (256T / 512T / 01GT)	-	-	90 / 83 / 83	μs	-	
<b>CS# シグナリングリセットタイミング</b>							
$t_{CSLW}$	チップセレクト LOW 時間	500	-	-	ns	Figure 44	
$t_{CSHG}$	チップセレクト HIGH 時間	500	-	-			
$t_{RESET}$	デバイス内部リセット時間 (HL256T/HS256T/HL512T/HS512T/HL01GT/HS01GT)	-	-	550 / 600 / 450 / 500 / 500 / 500	μs		
$t_{SUJ}$	データ入力セットアップ時間 (CS# に対する)	50	-	-	ns		
$t_{HDJ}$	データ入力ホールド時間 (CS# に対する)	50	-	-			
<b>組込みアルゴリズム (消去, プログラム, データ整合性チェック) 性能<sup>[78, 79, 80, 81]</sup></b>							
$t_w$	不揮発性レジスタ書き込み時間	-	44	357.5	ms	-	
$t_{PP}$	256B ページプログラム (4KB セクタ / 256KB セクタ)	-	430 / 480	2175 / 1700	μs	-	
	512B ページプログラム (4KB セクタ / 256KB セクタ)	-	680 / 570	2175 / 1700			

タイミング特性

Table 129 タイミング特性<sup>[72]</sup> (3/3)

記号	パラメーター	Min	Typ	Max	単位	参照図
t <sub>SE</sub>	セクタ消去時間 (4KB 物理セクタ)	-	42	335	ms	-
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは無効)	-	773	2677		
	セクタ消去時間 (256KB インフィニオン Endurance Flex アーキテクチャは有効)	-	773	5869		
t <sub>BE</sub>	チップ消去時間 (256Mb)	-	101	348	s	-
	チップ消去時間 (512Mb)	-	201	696		
	チップ消去時間 (1Gb)	-	398	1381		
t <sub>EES</sub>	4KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	45	76 / 76 51 / 51 53 / 56	μs	-
	256KB 物理セクタの消去ステータス判定時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-				
t <sub>DIC_SETUP</sub>	データ整合性チェック計算セットアップ時間 (256T / 512T / 01GT)	-	50 / 50 / 17	-	μs	-
t <sub>DIC_RATES</sub>	データ整合性チェック計算レート (大きいデータブロック (>1024 バイト) に対する計算レート) (256T/512T/01GT)	53 / 55 / 56	56 / 65 / 65	-	MBps	-
t <sub>SEC</sub>	セクタ消去カウント時間 (HL256T/HS256T) (HL512T/HS512T) (HL01GT/HS01GT)	-	55	87 / 87 63 / 63 70 / 70	μs	-
t <sub>BEC1</sub>	ブランクチェック (単一 256KB セクタ)	-	13	17	ms	-
t <sub>BEC2</sub>	ブランクチェック (単一 4KB セクタ)	-	1	2		
t <sub>PSWD</sub>	有効な 64 ビットパスワードがデバイスに与えられた後の PPB ロックビットをセットする時間	80	100	120	μs	-
<b>プログラム / 消去 / データ整合性チェックの一時停止 / 再開のタイミング</b>						
t <sub>PEDS</sub>	プログラム / 消去 / データ整合性チェックの一時停止時間	-	-	80	μs	-
t <sub>PEDRS</sub>	プログラム / 消去 / データ整合性チェックの再開から次のプログラム / 消去 / データ整合性チェックの一時停止までの時間 (256T / 512T / 01GT)	250 / - / -	100 / 100 / 100	-		

- 注
72. すべての動作温度オプションに適用可能です。
  73. V<sub>CC</sub> 範囲全体、CL = 15 pF。
  74. 出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。
  75. t<sub>PJ</sub> の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、t<sub>RH</sub> が CS# が LOW になる時点を決めます。
  76. t<sub>RP</sub> と t<sub>RH</sub> の和は t<sub>RPH</sub> 以上でなければなりません。
  77. プログラムと消去時間の Typ 値は次の条件を想定したものです。25°C、V<sub>CC</sub> = 1.8 V と 3.0 V、10,000 サイクル、およびチェッカーボードデータパターン。
  78. 任意の OTP プログラムトランザクションのプログラム時間は t<sub>PP</sub> と同じです。これは PRSSR\_4\_1 を含みます。
  79. PRPPB\_4\_0 トランザクションのプログラム時間は t<sub>PP</sub> と同じです。ERPPB\_0\_0 トランザクションの消去時間は t<sub>SE</sub> と同じです。
  80. 値は特性評価によって保証され、製造時に 100% テストされません。
  81. 設計で保証されています。
  82. JEDEC (半導体技術協会) の JESD22-A117 規格は、認定仕様に基づいた有効な耐久性およびデータ保持テストの実行の手続きの要件を定義します。この手法は、フラッシュデバイスの、故障なしに繰り返しデータ変更を持続させる能力 (すなわち、プログラム / 消去可能回数) および期待される寿命の間データを保持する能力 (すなわち、データ保持期間) を判定するために使用されます。耐久性およびデータ保持の認定仕様は JESD47 に指定されているか、または JESD94 に記載の知識ベース手法を使用して開発することもできます。

タイミング特性

## 8.1 タイミング波形

### 8.1.1 タイミング波形の重要な要素

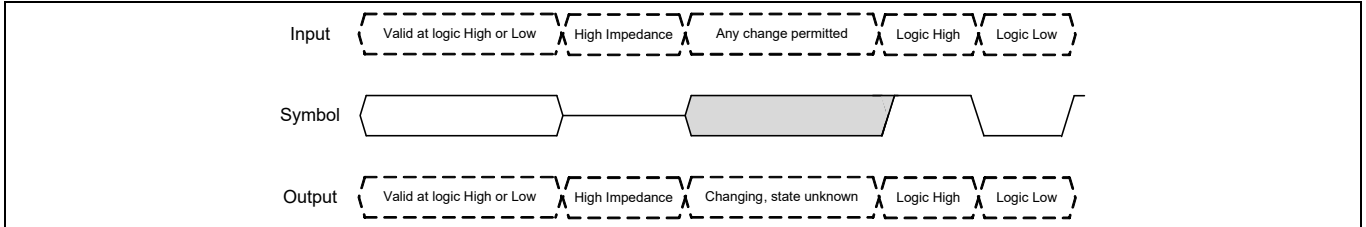


Figure 55 波形要素の意味

### 8.1.2 タイミング参照レベル

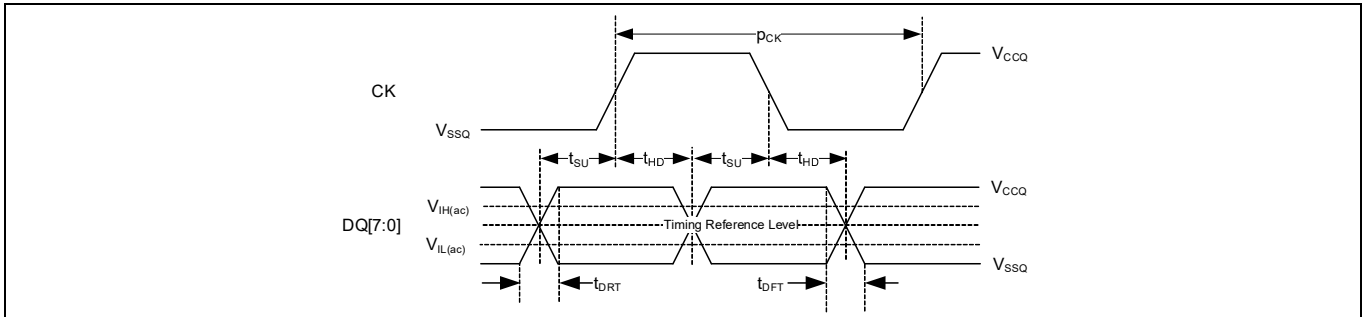


Figure 56 入力タイミング参照レベル

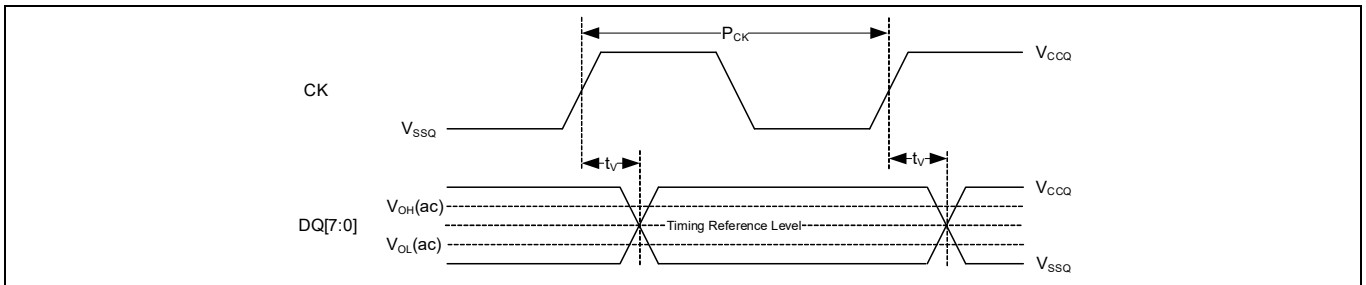


Figure 57 SDR 出力タイミング参照レベル

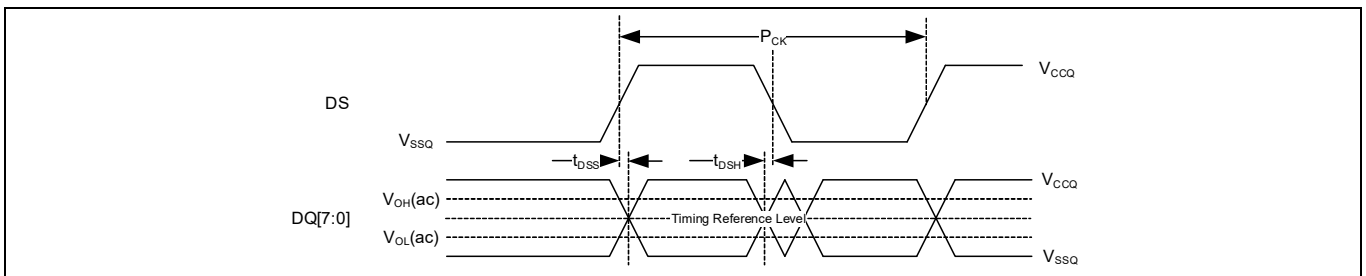


Figure 58 DDR 出力タイミング参照レベル

### 8.1.3 クロック タイミング

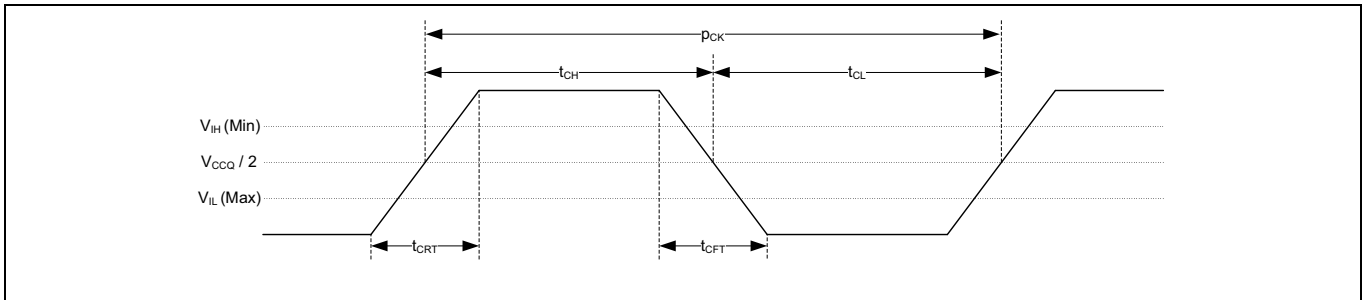


Figure 59 クロック タイミング

### 8.1.4 入力 / 出力タイミング

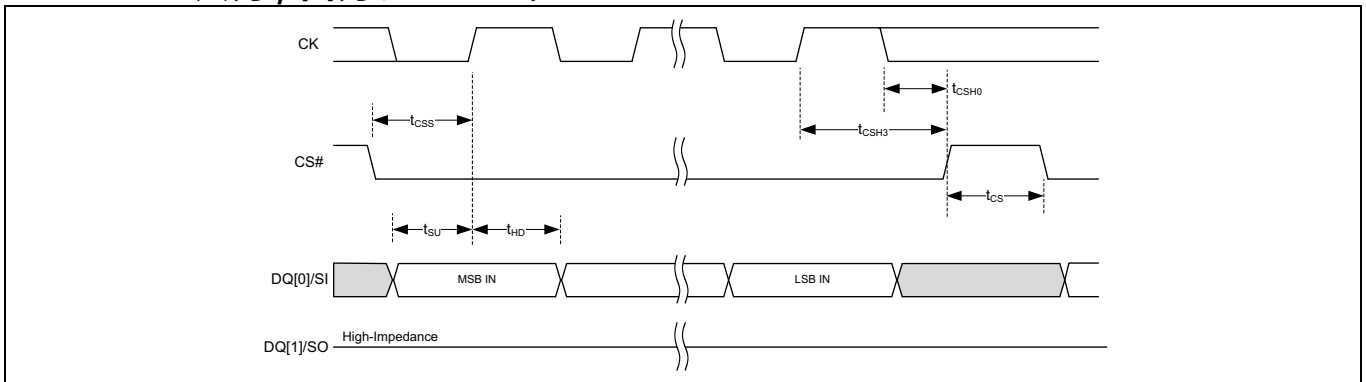


Figure 60 SPI 入力タイミング

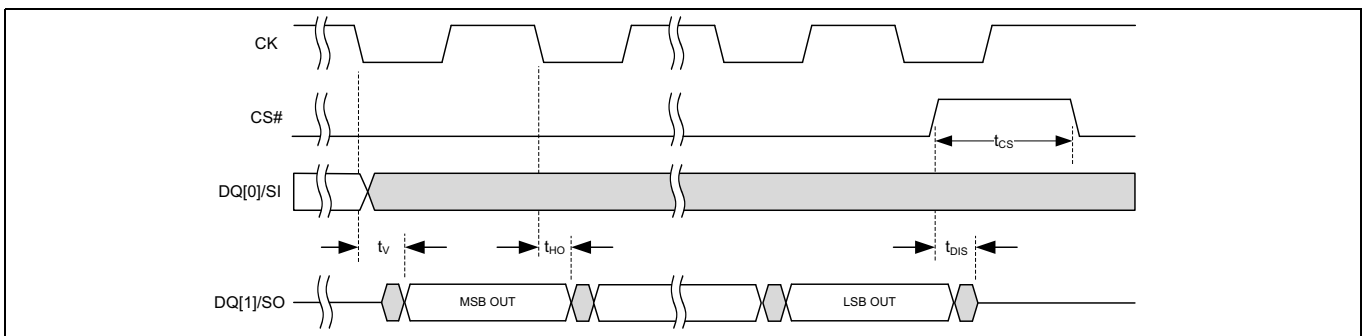


Figure 61 SPI 出力タイミング

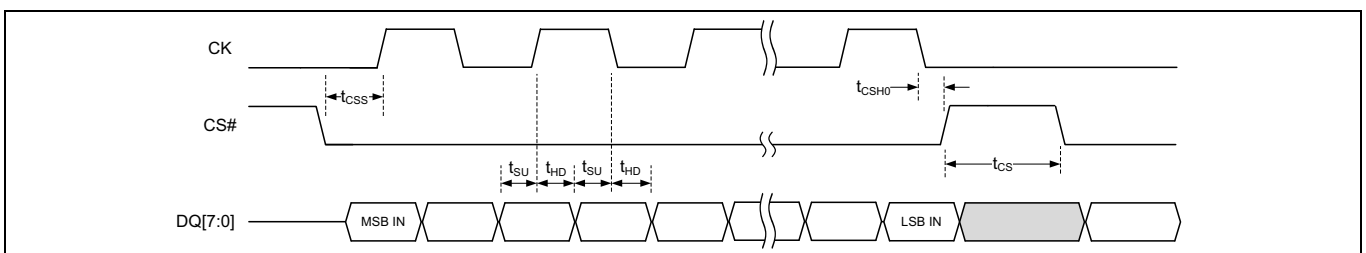


Figure 62 HYPERBUS™ DDR 入力タイミング

タイミング特性

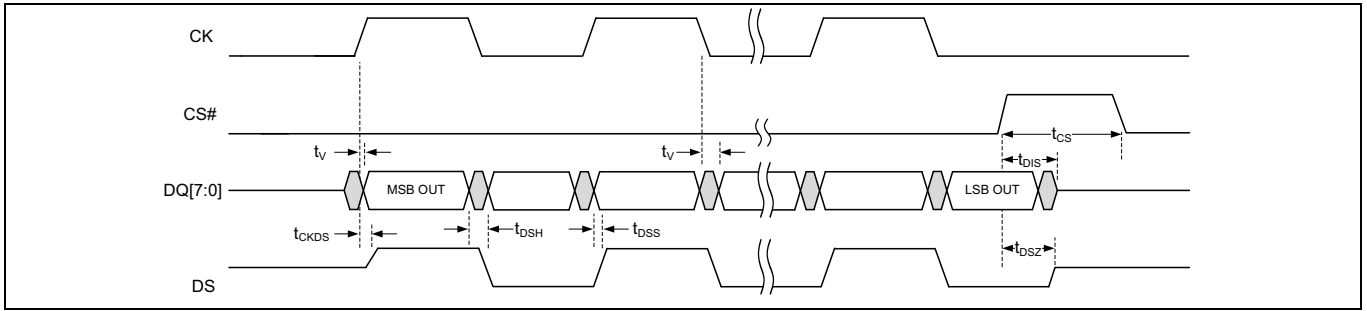


Figure 63 HYPERBUS™ DDR 出力タイミング

デバイス ID

## 9 デバイス ID

### 9.1 JEDEC SFDP Rev D ヘッダ テーブル

Table 130 JEDEC SFDP Rev D ヘッダテーブル

バイトアドレス (x1 SPI)	ワードアドレス (x8 HB)	SFDP DWORD 名	データ	説明	
00h	(SA) +00h	SFDP ヘッダ	53h	SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内の位置 0 ASCII 「S」	
01h			46h	ASCII 「F」	
02h	(SA) +01h		44h	ASCII 「D」	
03h			50h	ASCII 「P」	
04h	(SA) +02h		08h	SFDP マイナー レビジョン (08h=JEDEC JESD216 レビジョン D)	
05h			01h	SFDP メジャー レビジョン (01h=JEDEC JESD216 レビジョン D) これはオリジナルのメジャー レビジョンです。あらゆる SFDP 読み出しおよび構文解析ソフトウェアと互換性があります。	
06h	(SA) +03h		02h	パラメーター ヘッダ数 (0 オリジン, 02h=3 パラメーター)	
07h			FFh (x1) FAh (x8)	SPI 1S-1S-1S での起動 (FFh) xSPI NOR プロファイル 2 HYPERBUS™、(8D, 8D, 8D) 動作、 SFDP コマンド用の 5 バイト アドレッシング、8 ウェイト ステートでの起動 (FAh)	
08h	(SA) +04h		第 1 パラメーター ヘッダ	00h	パラメーター ID LSB (00h=JEDEC SFDP 基本 SPI フラッシュ パラメーター)
09h				00h	パラメーター マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
0Ah	(SA) +05h	01h		パラメーター メジャー レビジョン (01h= オリジナルメジャー レビジョン)。あらゆる SFDP ソフトウェアはこのメジャー レビジョンと互換性があります。	
0Bh		14h		パラメーター テーブル長 (14h= パラメーター テーブル長は 20 DWORD)	
0Ch	(SA) +06h	00h (x1) 80h (x8)		パラメーター テーブル ポインタ バイト 0 (DWORD は 4 バイト境界) JEDEC 基本 SPI フラッシュ パラメーター x1 バイト オフセット =0100h, x8 ワード オフセット =0080h	
0Dh		01h (x1) 00h (x8)		パラメーター テーブル ポインタ バイト 1	
0Eh	(SA) +07h	00h		パラメーター テーブル ポインタ バイト 2	
0Fh		FFh		パラメーター ID MSB (FFh=JEDEC で定義されたパラメーター ID)	
10h	(SA) +08h	第 2 パラメーター ヘッダ		06h	パラメーター ID の LSB (JEDEC xSPI (HYPERBUS™) プロファイル 2.0)
11h				00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
12h	(SA) +09h		01h	パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)	
13h			03h	パラメーター テーブル長 (3h= パラメーター テーブル長が 3 DWORD)	
14h	(SA) +0Ah		50h (x1) A8h (x8)	パラメーター テーブル ポインタ バイト 0 (DWORD は 4 バイト境界) JEDEC xSPI プロファイル 2.0=x1 バイトオフセット =150h, x8 ワードオフセット =00A8h	
15h			01h (x1) 00h (x8)	パラメーター テーブル ポインタ バイト 1	
16h	(SA) +0Bh		00h	パラメーター テーブル ポインタ バイト 2	
17h			FFh	パラメーター ID MSB (FFh=JEDEC で定義されたパラメーター)	
18h	(SA) +0Ch		第 3 パラメーター ヘッダ	0Ah	パラメーター ID の LSB (0Ah=HYPERBUS™ (8D-8D-8D) モードに変更するコマンド シーケンス)
19h				00h	パラメーター テーブル マイナー レビジョン (00h=JEDEC JESD216 レビジョン D)
1Ah	(SA) +0Dh	01h		パラメーター テーブル メジャー レビジョン (01h=JEDEC JESD216 レビジョン D)	
1Bh		04h		パラメーター テーブル長 (4h= パラメーター テーブル長は 4 DWORD)	
1Ch	(SA) +0Eh	5Ch (x1) AEh (x8)		パラメーター テーブル ポインタ バイト 0 (DWORD は 4 バイト境界) JEDEC ステータス、制御およびコンフィギュレーションレジスタ マップ x1 バイト オフセット =015Ch, x8 ワード オフセット =00AEh	
1Dh		01h (x1) 00h (x8)		パラメーター テーブル ポインタ バイト 1	
1Eh	(SA) +0Fh	00h		パラメーター テーブル ポインタ バイト 2	
1Fh		FFh		パラメーター ID MSB (FFh=JEDEC で定義されたパラメーター)	

デバイス ID

## 9.2 JEDEC SFDP Rev D パラメーター テーブル

SFDP データ構造では、3つの独立したパラメーター テーブルがあります。その中の2つは固定長であり、残りの1つは注文製品番号 (OPN) によって可変の構造と長さを持ちます。パラメーター テーブルは [Table 131](#) で1つのテーブルとして示されます。

**Table 131 JEDEC SFDP Rev D パラメーター テーブル (1/4)**

バイト アドレス (x1 SPI)	ワード アドレス (x8 HB)	SFDP DWORD 名	データ	説明
100h	(SA) +80h	JEDEC 基本フ ラッシュパラ メーター DWORD 1	7h	ビット 7:5= 未使用 =11b ビット 4=1b ビット 3= ブロック保護ビットは不揮発性 / 揮発性。不揮発性 =0b ビット 2= プログラム バッファ >64 バイト =1b ビット 1:0= ユニフォーム 4KB 消去は実行不可 =11b
101h			21h	ビット 15:8= ユニフォーム 4KB 消去オペコード =21h
102h	(SA) +81h	JEDEC 基本フ ラッシュパラ メーター DWORD 1	8Ah	ビット 23= 未使用 =1b ビット 22= クアッド出力 (1-1-4) 読み出しのサポート = 無 =0b ビット 21= クアッド I/O (1-4-4) 読み出しのサポート = 無 =0b ビット 20= デュアル I/O (1-2-2) 読み出しのサポート = 無 =0b ビット 19=DDR のサポート = 有 =1b ビット 18:17= アドレス バイト数 =3 または 4 バイト =01b ビット 16= デュアル出力 (1-1-2) 読み出しのサポート = 無 =0b
103h			FFh	ビット 31:24= 未使用 =FFh
104h	(SA) +82h	JEDEC 基本フ ラッシュパラ メーター DWORD 2	FFh	ビット単位での容量, 0 オリジン, 256Mb=0FFFFFFFh ビット単位での容量, 0 オリジン, 512Mb=1FFFFFFFh ビット単位での容量, 0 オリジン, 1Gb=3FFFFFFFh
105h			FFh	
106h	(SA) +83h	JEDEC 基本フ ラッシュパラ メーター DWORD 2	256M では 0Fh	ビット単位での容量, 0 オリジン, 256Mb=0FFFFFFFh ビット単位での容量, 0 オリジン, 512Mb=1FFFFFFFh ビット単位での容量, 0 オリジン, 1Gb=3FFFFFFFh
107h			512M では 1Fh 1G では 3fh	
108h	(SA) +84h	JEDEC 基本フ ラッシュパラ メーター DWORD 3	00h	未対応
109h			00h	
10Ah	(SA) +85h	JEDEC 基本フ ラッシュパラ メーター DWORD 3	00h	未対応
10Bh			00h	
10Ch	(SA) +86h	JEDEC 基本フ ラッシュパラ メーター DWORD 4	00h	未対応
10Dh			00h	
10Eh	(SA) +87h	JEDEC 基本フ ラッシュパラ メーター DWORD 4	00h	未対応
10Fh			00h	
110h	(SA) +88h	JEDEC 基本フ ラッシュパラ メーター DWORD 5	Eh	ビット 7:5 RFU=11b ビット 4= 未対応 =0b ビット 3:1 RFU=11b ビット 0=2-2-2 は未対応 =0b
111h			FFh	ビット 15:8=RFU=FFh
112h	(SA) +89h	JEDEC 基本フ ラッシュパラ メーター DWORD 5	FFh	ビット 23:16=RFU=FFh
113h			FFh	ビット 31:24=RFU=FFh
114h	(SA) +8Ah	JEDEC 基本フ ラッシュパラ メーター DWORD 6	FFh	ビット 7:0=RFU=FFh
115h			FFh	ビット 15:8=RFU=FFh
116h	(SA) +8Bh	JEDEC 基本フ ラッシュパラ メーター DWORD 6	00h	未対応
117h			00h	
118h	(SA) +8Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 7	FFh	ビット 7:0=RFU=FFh
119h			FFh	ビット 15:8=RFU=FFh
11Ah	(SA) +8Dh	JEDEC 基本フ ラッシュパラ メーター DWORD 7	00h	未対応
11Bh			00h	
11Ch	(SA) +8Eh	JEDEC 基本フ ラッシュパラ メーター DWORD 8	0Ch	消去タイプ 1, サイズ 2 <sup>N</sup> バイト =2 <sup>12</sup> バイト =4KB (工場出荷初期状態)
11Dh			21h	消去タイプ 1 命令
11Eh	(SA) +8Fh	JEDEC 基本フ ラッシュパラ メーター DWORD 8	00h	消去タイプ 2, サイズ 2 <sup>N</sup> バイト = 未対応
11Fh			FFh	消去タイプ 2 命令 = 未対応

Table 131 JEDEC SFDP Rev D パラメーター テーブル (2/4)

バイトアドレス (x1 SPI)	ワードアドレス (x8 HB)	SFDP DWORD 名	データ	説明	
120h	(SA) +90h	JEDEC 基本フラッシュパラメーター DWORD 9	00h	消去タイプ 3= 未対応	
121h			FFh	消去タイプ 3 命令	
122h	(SA) +91h		12h	消去タイプ 4 サイズ, 256KB 消去命令 = 消去タイプ サイズ = 2 <sup>N</sup> (ここで、N=18)=12h	
123h			DCh	消去タイプ 4 命令 =DCh	
124h	(SA) +92h	JEDEC 基本フラッシュパラメーター DWORD 10	23h	ビット 31:30= 消去タイプ 4 消去, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b: 128ms, 11b: 1s) =128 ms	
125h			FAh	ビット 29:25= 消去タイプ 4, 標準時間カウント =00101b (標準消去時間 = カウント +1* 単位 =6*128 ms =768 ms)	
126h	(SA) +93h		FFh	ビット 24:23= 消去タイプ 3 消去, 標準時間単位 (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) =1S=11b (RFU)	
			8Bh	ビット 22:18= 消去タイプ 3, 標準時間カウント =11111b (RFU) ビット 17:16= 消去タイプ 2 消去, 標準時間単位 (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) =1S=11b (RFU) ビット 15:11= 消去タイプ 2 消去, 標準時間カウント =11111b (RFU) ビット 10:9= 消去タイプ 1 消去, 標準時間単位 (00b: 1 ms, 01b: 16 ms, 10b: 128 ms, 11b: 1 s) =16 ms=01b ビット 8:4= 消去タイプ 1 消去, 標準時間カウント =00010b (標準消去時間 = カウント +1* 単位 =3*16 ms =48 ms) ビット 3:0= カウント = (最大消去時間 / (2* 標準消去時間)) -1=0001b	
128h	(SA) +94h	JEDEC 基本フラッシュパラメーター DWORD 11	82h	ビット 31= 予約済み =1b ビット 30:29= チップ消去, 標準時間単位 (00b: 16ms, 01b: 256ms, 10b: 4s, 11b: 64s) =11b (256M, 512M, 1G)	
129h			E7h	ビット 28:24= チップ消去標準時間カウント =00001b (256M), 00011b (512M) および 00110b (1G)	
12Ah	(SA) +95h		256M では E1h 512M では E3h 1G では E6h	ビット 23:19= バイト プログラム標準時間, 追加のバイト =11111b ビット 18:14= バイト プログラム標準時間, 最初のバイト =11111b ビット 13= ページ プログラム標準時間単位 (0: 8μs, 1: 64μs) =64μs=1b ビット 12:8= ページ プログラム標準時間カウント =00111 (標準プログラム時間 = カウント +1* 単位 =8*64 μs =512 μs) ビット 7:4= ページ サイズ (256B) =2 <sup>N</sup> バイト =1000h ビット 3:0= カウント =[ 最大ページ プログラム時間 / (2* 標準ページ プログラム時間)] -1=0010b	
12Bh					
12Ch	(SA) +96h	JEDEC 基本フラッシュパラメーター DWORD 12	ECh	ビット 31= 一時停止および再開に対応 =0b ビット 30:29= 消去進行中の最大一時停止レイテンシ単位 (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) =8μs=10b	
12Dh			23h	ビット 28:24= 消去進行中の最大一時停止レイテンシ カウント =01001b, 消去の最大一時停止レイテンシ = カウント +1* 単位 =10*8μs=80 μs ビット 23:20= 消去再開から一時停止までの間隔カウント =0001b, 間隔 = カウント +1*64μs=2*64 μs =128 μs ビット 19:18= プログラム進行中の最大一時停止レイテンシ単位 (00b: 128 ns, 01b: 1 μs, 10b: 8 μs, 11b: 64 μs) =8 μs=10b ビット 17:13= プログラム進行中の最大一時停止レイテンシ カウント =01001b, プログラムの最大一時停止レイテンシ = カウント +1* 単位 =10*8 μs=80 μs ビット 12:9= プログラム再開から一時停止までの間隔カウント =0001b, 間隔 = カウント +1*64μs=2*64 μs =128 μs ビット 8= 予約済み =1b ビット 7:4= 消去一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない (消去ネスティングが許可されない) +xx1xb: 消去が一時停止中のセクタ サイズ内で新しいページ プログラムを開始できない +x1xxb: 消去が一時停止中のセクタ サイズ内で新しい読み出しを開始できない +1xxxb: ビット 5:4 の消去およびプログラム制限は十分 =1110b ビット 3:0= プログラム一時停止中の禁止動作 =xxx0b: どこでも新しい消去を開始できない (消去ネスティングが許可されない) +xx0xb: どこでも新しいページ プログラムを開始できない (プログラムネスティングが許可されない) +x1xxb: プログラムが一時停止中のセクタ サイズ内で読み出しを開始できない +1xxxb: ビット 1:0 での消去およびプログラム制限は十分 =1100b	
12Eh	(SA) +97h		49h	19h	
12Fh					



デバイス ID

Table 131 JEDEC SFDP Rev D パラメーター テーブル (3/4)

バイト アドレス (x1 SPI)	ワード アドレス (x8 HB)	SFDP DWORD 名	データ	説明
130h	(SA) +98h	JEDEC 基本フ ラッシュパラ メーター DWORD 13	7Ah	ビット 31:24= 消去一時停止命令 =B0h ビット 23:16= 消去再開命令 =7Ah ビット 15:8= プログラム一時停止命令 =B0h ビット 7:0= プログラム再開命令 =7Ah
131h			B0h	
132h			7Ah	
133h			B0h	
134h	(SA) +9Ah	JEDEC 基本フ ラッシュパラ メーター DWORD 14	F7h	ビット 7:4=RFU=Fh ビット 3:2= ステータスレジスタポーリングデバイスビジー=01b: レガシー ステータスポーリングに対応=05h 命令によるステータスレジスタの読み出しお よび WIP ビット [0] の確認 (0= レディ, 1= ビジー) によりレガシーポーリング を使用 ビット 1:0=RFU=11b
135h	66h		ビット 31=DPD のサポート = 有 =0	
136h	80h		ビット 30:23=DPD 開始命令 =B9h ビット 22:15=DPD 終了命令は未対応 =00h ビット 14:13=DPD 終了から次の動作の遅延単位 = (00b: 128ns, 01b: 1µs, 10b: 8µs, 11b: 64µs) =64µs=11b	
137h	(SA) +9Bh	5Ch	ビット 12:8=DPD 終了から次の動作までの遅延カウント =00110, DPD 終了から 次の動作までの遅延時間 = (カウント +1) * 単位 = (6+1) * 64µs=448µs	
138h	(SA) +9Ch	JEDEC 基本フ ラッシュパラ メーター DWORD 15	00h	ビット 31:24= 予約済み =FFh ビット 23=HOLD または RESET ディセーブル = 未対応 =0b ビット 22:0= 未対応 =000000h
139h			00h	
13Ah			00h	
13Bh			FFh	
13Ch	(SA) +9Eh	JEDEC 基本フ ラッシュパラ メーター DWORD 16	F9h	ビット 7= 予約済み =1 ビット 6:0= ステータスレジスタ 1 の揮発性または不揮発性レジスタおよび書 き込みイネーブル命令 =xxx_xxx1b: 不揮発性ステータスレジスタ 1 は、電源投入後の値は前回書き込 まれた値。命令 06h を使用して書き込みを有効にする。 +xxx_1xxx1b: 不揮発性 / 揮発性ステータスレジスタ 1 は、電源投入後の値は前 回不揮発性ステータスレジスタに書き込まれた値。命令 06h を使用して不揮 発性ステータスレジスタへの書き込みを有効にする。電源投入後、揮発性ス テータスレジスタは不揮発性ステータスレジスタをオーバーライドするため にアクティブにできる。命令 50h を使用して書き込みを有効にし、揮発性ス テータスレジスタをアクティブにする +xx1_xxxx1b: ステータスレジスタ 1 には、揮発性ビットと不揮発性ビットが混 在。06h 命令によりレジスタ書き込みを有効にする。 +x1x_xxxx1b: 予約済み +1xx_xxxx1b: 予約済み =111I001b
13Dh			10h	
13Eh	(SA) +9Fh	JEDEC 基本フ ラッシュパラ メーター DWORD 17	F8h	ビット 31:24=4 バイト アドレッシング開始 +xx1x_xxxx1b: 専用の 4 バイト アドレス命令セットに対応。命令セット定義につ いてはベンダーのデータシートを参照してください。 +1xxx_xxxx1b: 予約済み =1010_0000b ビット 23:14=4 バイト アドレッシング終了 =xx_xx1x_xxxx1b: ハードウェアリセット +xx_x1xx_xxxx1b: ソフトウェアリセット (この DWORD のビット 13:8 を参照して ください) +xx_1xxx_xxxx1b: パワーサイクル +x1_xxxx_xxxx1b: 予約済み +1x_xxxx_xxxx1b: 予約済み =11_1110_0000b ビット 13:8= ソフトリセットおよび回復シーケンス対応 +x1_xxxx1b: リセットイネーブル命令に続いてリセット命令 99h を発行。リ セットイネーブル - リセット シーケンスはデバイスの動作モードに応じて 1、 2、または 4 線式で発行。 =010000b
13Fh			A0h	
140h	(SA) +A0h	JEDEC 基本フ ラッシュパラ メーター DWORD 18	00h	未対応
141h			00h	
142h			00h	
143h			00h	
144h	(SA) +A2h	JEDEC 基本フ ラッシュパラ メーター DWORD 18	00h	ビット 31=0b ビット 30:29=10b ビット 28=0b
145h			00h	
146h	(SA) +A3h	JEDEC 基本フ ラッシュパラ メーター DWORD 18	BCh	ビット 27:26= 未対応 =00b ビット 25:24=00b
147h			40h	ビット 23=JEDEC SPI プロトコルリセットに対応 =1b ビット 22:18=01111b ビット 17:0= 予約済み =00000h

デバイス ID

Table 131 JEDEC SFDP Rev D パラメーター テーブル (4/4)

バイトアドレス (x1 SPI)	ワードアドレス (x8 HB)	SFDP DWORD 名	データ	説明
148h	(SA) +A4h	JEDEC 基本フラッシュパラメーター DWORD 19	00h	未対応
149h				
14Ah	(SA) +A5h	JEDEC 基本フラッシュパラメーター DWORD 19	00h	未対応
14Bh				
14Ch	(SA) +A6h	JEDEC 基本フラッシュパラメーター DWORD 20	FFh	ビット 31:28= データ ストローブを利用する 8D-8D-8D モードでのデバイス最大動作速度 =1000b (200 MHz) / 0111b (166 MHz) ビット 27:24= データ ストローブを利用しない 8D-8D-8D モードは特性評価されない =1110b ビット 23:20=1111b ビット 19:16=1111b ビット 15:0= 未対応 =FFFFh
14Dh			FFh	
14Eh	(SA) +A7h	JEDEC 基本フラッシュパラメーター DWORD 20	FFh	
14Fh			8Eh HS-T 7Eh HL-T	

### 9.3 xSPI プロファイル 2

Table 132 xSPI プロファイル 2 パラメーター

バイトアドレス (x1 SPI)	ワードアドレス (x8 HB)	SFDP DWORD 名	データ	説明
150h	(SA) +A8h	JEDEC xSPI( プロファイル 2.0) DWORD 1	E0h	ビット 7= プログラム一時停止に対応 =1b ビット 6= プログラム再開に対応 =1b ビット 5=SPI (1S-1S-1S) 開始に対応 =1b ビット 4:0= 予約済み (0000b)
151h			FFh	ビット 15= ディープパワーダウンに対応 =1b ビット 14= ワードプログラムに対応 =1b ビット 13= セクタ消去に対応 =1b ビット 12= チップ消去に対応 =1b ビット 11= 消去一時停止に対応 =1b ビット 10= 消去再開に対応 =1b ビット 9= バッファ書き込みに対応 =1b ビット 8= 書き込みバッファプログラムに対応 =1b
152h	(SA) +A9h	JEDEC xSPI( プロファイル 2.0) DWORD 1	FFh	ビット 23= メモリ リニア書き込みに対応 =1b ビット 22=WREN1 に対応 =1b ビット 21=WREN2 に対応 =1b ビット 20=SREN に対応 =1b ビット 19= ステータス レジスタ読み出しに対応 =1b ビット 18= ステータス レジスタクリアに対応 =1b ビット 17= コンフィギュレーション レジスタ読み出しに対応 =1b ビット 16= コンフィギュレーション レジスタロードに対応 =1b
153h			FFh	ビット 31=xSPI プロファイル 2 に対応 =1b ビット 30= レジスタ ラップ読み出しに対応 =1b ビット 29= レジスタ リニア読み出しに対応 =1b ビット 28= メモリ ラップ読み出しに対応 =1b ビット 27= メモリ リニア読み出しに対応 =1b ビット 26= レジスタ ラップ書き込みに対応 =1b ビット 25= レジスタ リニア書き込みに対応 =1b ビット 24= メモリ ラップ書き込みに対応 =1b
154h	(SA) +AAh	JEDEC xSPI( プロファイル 2.0) DWORD 2	2Ch	ビット 15:12= 予約済み =0000b ビット 11:7=200 MHz 16 ダミー サイクル =10000b ビット 6:2=200 MHz コンフィギュレーションビットパターン =01011b ビット 1:0= 予約済み =00b
155h			08h	
156h	(SA) +ABh	JEDEC xSPI( プロファイル 2.0) DWORD 2	00h	ビット 31:16= 予約済み =0000000000000000b
157h			00h	
158h	(SA) +ACh	JEDEC xSPI( プロファイル 2.0) DWORD 3	0Ch	ビット 31:27=166 MHz 14 ダミー サイクル =01110b ビット 26:22=166 MHz コンフィギュレーションビットパターン =01001b ビット 21:17=133 MHz 12 ダミー サイクル =01100b ビット 16:12=133 MHz コンフィギュレーションビットパターン =00111b ビット 11:7=100 MHz 8 ダミー サイクル =01000b ビット 6:2=100 MHz コンフィギュレーションビットパターン =00011b ビット 1:0= 予約済み =00b
159h			74h	
15Ah	(SA) +ADh	JEDEC xSPI( プロファイル 2.0) DWORD 3	58h	ビット 31:27=166 MHz 14 ダミー サイクル =01110b ビット 26:22=166 MHz コンフィギュレーションビットパターン =01001b ビット 21:17=133 MHz 12 ダミー サイクル =01100b ビット 16:12=133 MHz コンフィギュレーションビットパターン =00111b ビット 11:7=100 MHz 8 ダミー サイクル =01000b ビット 6:2=100 MHz コンフィギュレーションビットパターン =00011b ビット 1:0= 予約済み =00b
15Bh			72h	

デバイス ID

Table 133 プロファイル 2.0 モード パラメーターに変更するコマンド シーケンス

バイト アドレス (x1 SPI)	ワード アドレス (x8 HB)	SFDP DWORD 名	データ	説明
15Ch	(SA) +AEh	プロファイル変更 コマンドシーケンス DWORD 1	00h	ビット 31:24=01h ビット 23:16=06h ビット 15:8=00h ビット 7:0=00h
15Dh			00h	
15Eh			06h	
150Fh			01h	
160h	(SA) +B0h	プロファイル変更 コマンドシーケンス DWORD 2	00h	ビット 31:24=00h ビット 23:16=00h ビット 15:8=00h ビット 7:0=00h
161h			00h	
162h			00h	
163h	(SA) +B1h		00h	
164h	(SA) +B2h	プロファイル変更 コマンドシーケンス DWORD 3	00h	ビット 31:24=05h ビット 23:16=71h ビット 15:8=80h ビット 7:0=00h
165h			80h	
166h			71h	
167h	(SA) +B3h		05h	
168h	(SA) +94h	プロファイル変更 コマンドシーケンス DWORD 4	00h	ビット 31:24=04h ビット 23:16=0Ah ビット 15:8=00h ビット 7:0=00h
169h			00h	
16Ah	(SA) +95h		0Ah	
16Bh			04h	

## 9.4 メーカーおよびデバイス ID

Table 134 メーカーおよびデバイス ID (x1 SPI)

バイトアドレス <sup>[83]</sup>	データ	説明
00h	34h	インフィニオン メーカー ID
01h	00h	
02h	6Ah (HL-T) 7Bh (HS-T)	インターフェース電圧タイプ
03h	00h	
04h	19h = 256 Mb 1Ah = 512 Mb 1Bh = 1024 Mb	デバイス容量
05h	00h	
06h	0Fh	デバイス ID の長さ
07h	00h	

注  
83. レガシー (x1) SPI はデバイス ID を読み出すために ID 読み出し (RDIDN\_0\_0) トランザクションを使用します。アドレスは必要ありません。

Table 135 メーカーおよびデバイス ID (x8 HYPERBUS™)

ワードアドレス <sup>[84]</sup>	データ	説明
(SA) +0800h	0034h	インフィニオン メーカー ID
(SA) +0801h	006Ah (HL-T) 007Bh (HS-T)	インターフェース電圧タイプ
(SA) +0802h	0019h = 256 Mb 001Ah = 512 Mb 001Bh = 1024 Mb	デバイス容量
(SA) +0803h	000Fh	デバイス ID の長さ
(SA) +0804h	0090h	ファミリー ID: (HL-T/HS-T ファミリー)

注  
84. アドレスベース命令 - アクセスダイ 1.

デバイス ID

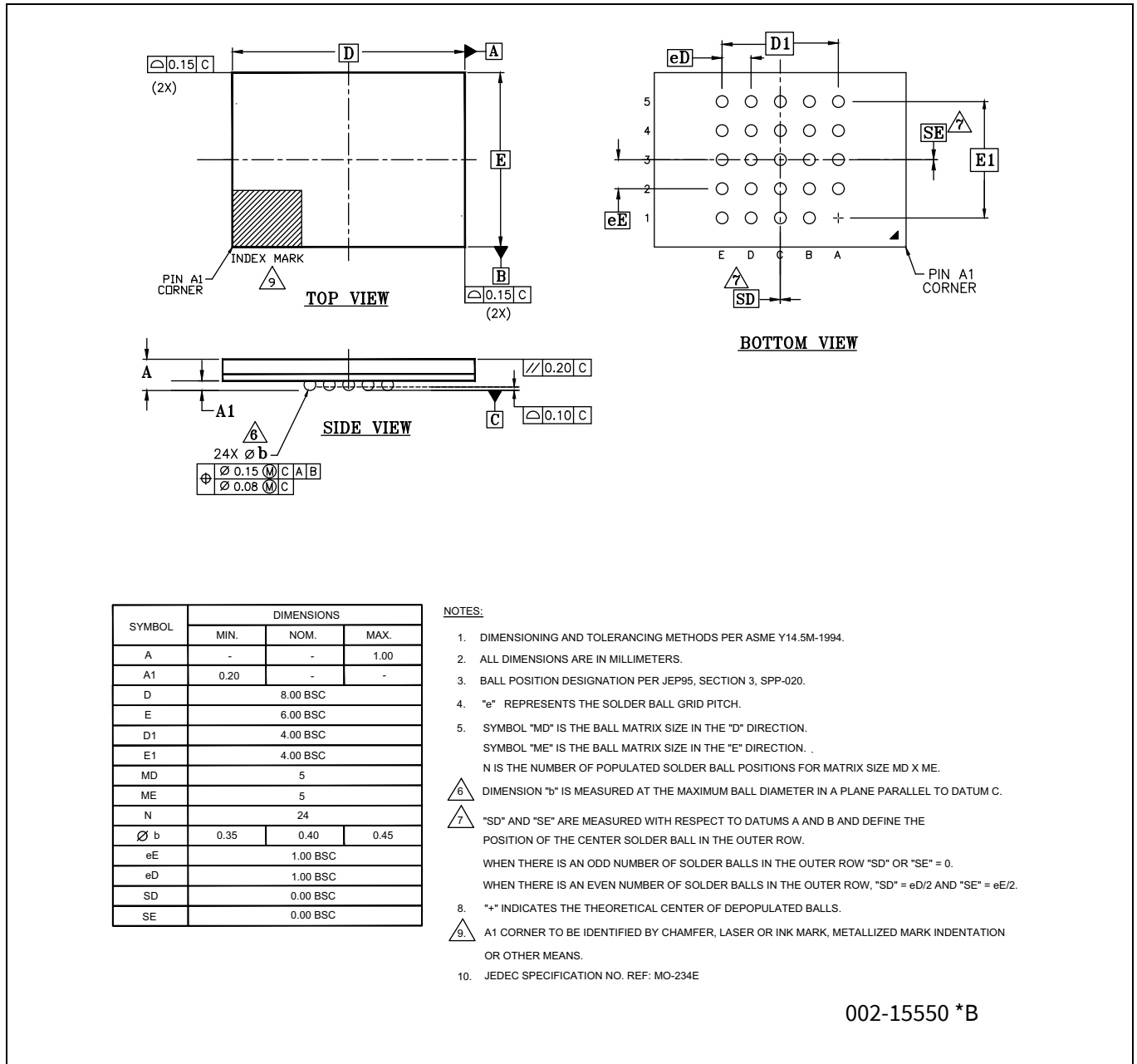
## 9.5 固有 ID

Table 136 固有 ID <sup>[85]</sup>

バイトアドレス (x1 SPI) <sup>[86]</sup>	ワードアドレス (x8 HB) <sup>[87]</sup>	データ
00h	(SA) +0200h	デバイスによって異なる
01h		
02h	(SA) +0201h	
03h		
04h	(SA) +0202h	
05h		
06h	(SA) +0203h	
07h		

- 注
- 85. 実際の固有 ID はデバイスによって異なります。
  - 86. レガシー (x1) SPI は固有 ID を読み出すために固有 ID 読み出し (RDUID\_0\_0) トランザクションを使用します。アドレスは必要ありません。
  - 87. アドレスベース命令

10 パッケージ図



002-15550 \*B

Figure 64 ボールグリッドアレイ 24 ボール 6 × 8mm (VAA024) (PG-BGA-24)

パッケージ図

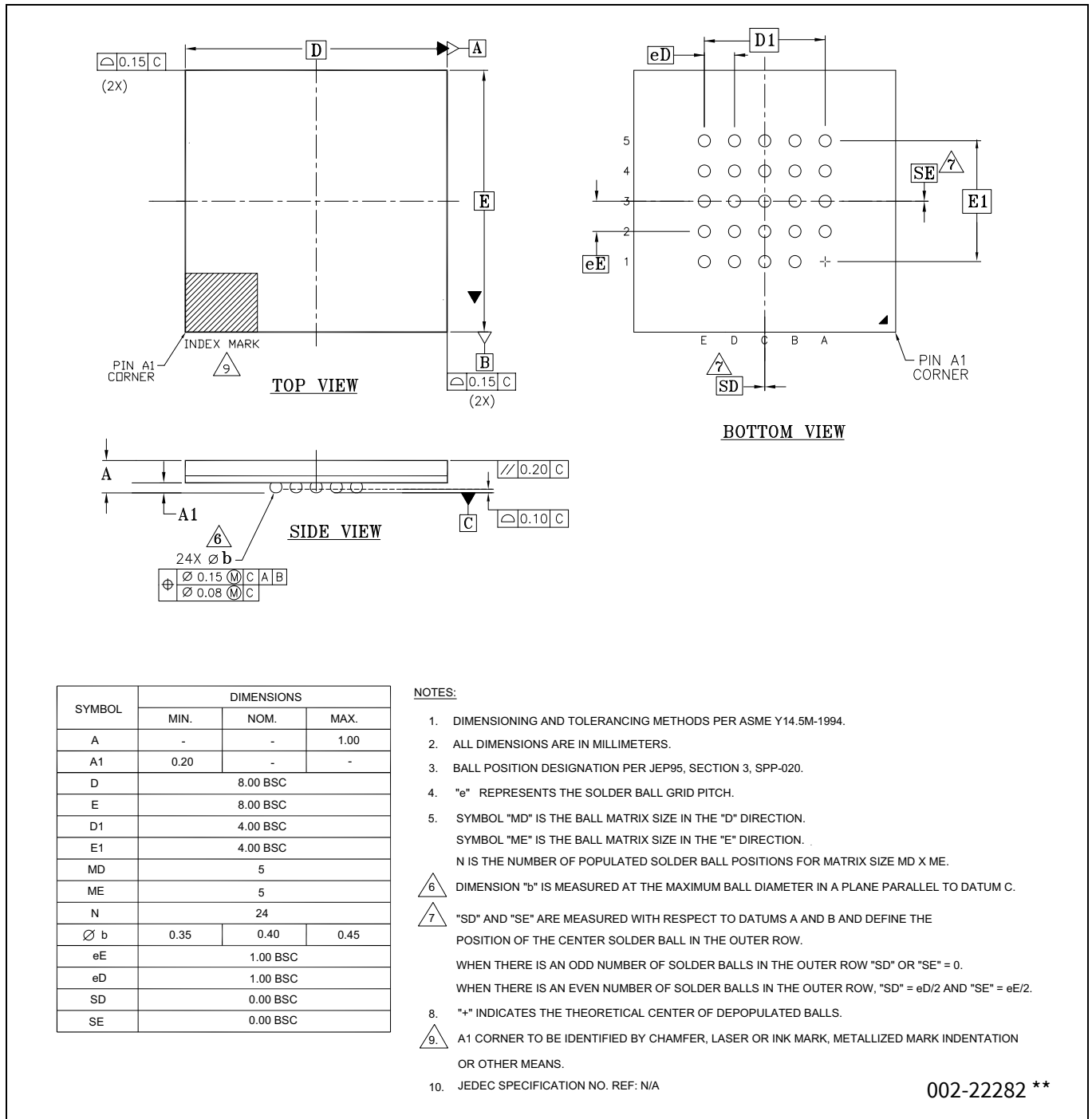
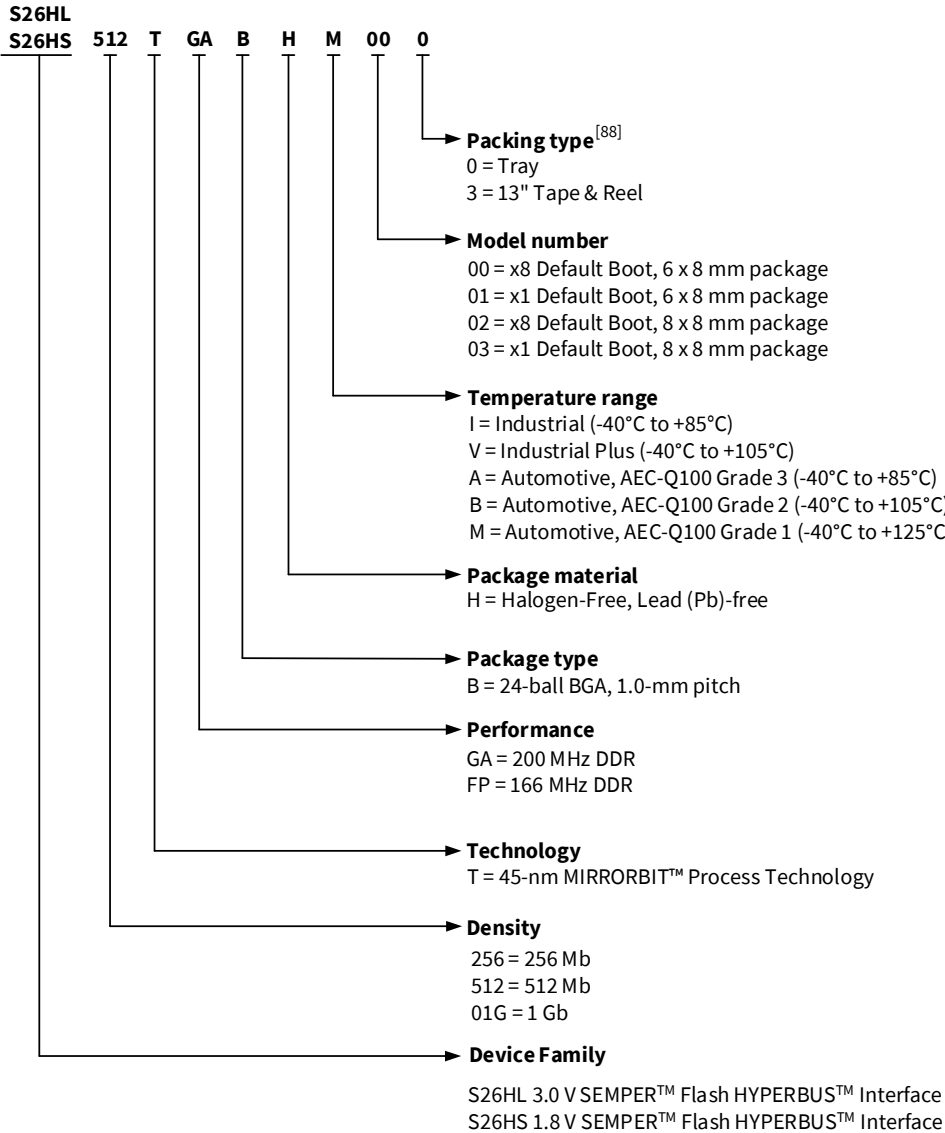


Figure 65 ボールグリッドアレイ 24 ボール 8 × 8mm (VAC024) (PG-BGA-24)

## 11 注文情報

注文製品番号は下記の有効な組合せで構成されます。



**注**

88. 詳細情報については、[www.infineon.com](http://www.infineon.com) にてパッキングとパッケージハンドブックを参照してください。

## 11.1 有効な組合せ – 標準グレード

Table 137 は、量産対応が計画されているコンフィギュレーションを示します。ご使用になる組合せの有無、ならびに新たにリリースされる組合せは担当営業までお問い合わせください。

**Table 137 有効な組合せ – 標準**

ベース注文製品番号	速度オプション	パッケージおよび材料	温度範囲	モデル番号	包装形態	注文製品番号 (x=包装形態)	パッケージマーク
S26HL512T	FP	BH	I, V	00	0, 3	S26HL512TFPBHI00x	26HL512TPI00
						S26HL512TFPBHV00x	26HL512TPV00
			I, V	01	0, 3	S26HL512TFPBHI01x	26HL512TPI01
						S26HL512TFPBHV01x	26HL512TPV01
S26HL01GT	FP	BH	I, V	02	0, 3	S26HL01GTFPBHI02x	26HL01GTPI02
						S26HL01GTFPBHV02x	26HL01GTPV02
			I, V	03	0, 3	S26HL01GTFPBHI03x	26HL01GTPI03
						S26HL01GTFPBHV03x	26HL01GTPV03
S26HS512T	GA	BH	I, V	00	0, 3	S26HS512TGABHI00x	26HS512TAI00
						S26HS512TGABHV00x	26HS512TAV00
			I, V	01	0, 3	S26HS512TGABHI01x	26HS512TAI01
						S26HS512TGABHV01x	26HS512TAV01
S26HS01GT	FP	BH	I, V	02	0, 3	S26HS01GTFPBHI02x	26HS01GTPI02
						S26HS01GTFPBHV02x	26HS01GTPV02
			I, V	03	0, 3	S26HS01GTFPBHI03x	26HS01GTPI03
						S26HS01GTFPBHV03x	26HS01GTPV03
S26HS01GT	GA	BH	I, V	02	0, 3	S26HS01GTGABHI02x	26HS01GTAI02
						S26HS01GTGABHV02x	26HS01GTAV02
			I, V	03	0, 3	S26HS01GTGABHI03x	26HS01GTAI03
						S26HS01GTGABHV03x	26HS01GTAV03



## 11.2 有効な組合せ – 車載向けグレード /AEC-Q100

Table 138 は、車載向けグレード /AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せは最寄りの販売代理店までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のみを提供されます。

ISO/TS-16949 準拠を必要とするエンドユースアプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければなりません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されてはいません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユースアプリケーションにも PPAP サポートなしで提供されます。

**Table 138 有効な組合せ – 車載向けグレード /AEC-Q100<sup>[89]</sup>**

ベース注文製品番号	速度オプション	パッケージおよび材料	温度範囲	モデル番号	包装形態	注文製品番号 (x=包装形態)	パッケージマーク
S26HL512T	FP	BH	A, B, M	00	0, 3	S26HL512TFPBHA00x	26HL512TPA00
						S26HL512TFPBHB00x	26HL512TPB00
						S26HL512TFPBHM00x	26HL512TPM00
			A, B, M	01	0, 3	S26HL512TFPBHA01x	26HL512TPA01
						S26HL512TFPBHB01x	26HL512TPB01
						S26HL512TFPBHM01x	26HL512TPM01
S26HS512T	GA	BH	A, B, M	00	0, 3	S26HS512TGABHA00x	26HS512TAA00
						S26HS512TGABHB00x	26HS512TAB00
						S26HS512TGABHM00x	26HS512TAM00
			A, B, M	01	0, 3	S26HS512TGABHA01x	26HS512TAA01
						S26HS512TGABHB01x	26HS512TAB01
						S26HS512TGABHM01x	26HS512TAM01
S26HL01GT	FP	BH	A, B, M	02	0, 3	S26HL01GTFPBHA02x	26HL01GTPA02
						S26HL01GTFPBHB02x	26HL01GTPB02
						S26HL01GTFPBHM02x	26HL01GTPM02
			A, B, M	03	0, 3	S26HL01GTFPBHA03x	26HL01GTPA03
						S26HL01GTFPBHB03x	26HL01GTPB03
						S26HL01GTFPBHM03x	26HL01GTPM03
S26HS01GT	FP	BH	A, B, M	02	0, 3	S26HS01GTFPBHA02x	26HS01GTPA02
						S26HS01GTFPBHB02x	26HS01GTPB02
						S26HS01GTFPBHM02x	26HS01GTPM02
			A, B, M	03	0, 3	S26HS01GTFPBHA03x	26HS01GTPA03
						S26HS01GTFPBHB03x	26HS01GTPB03
						S26HS01GTFPBHM03x	26HS01GTPM03
S26HS01GT	GA	BH	A, B, M	02	0, 3	S26HS01GTGABHA02x	26HS01GTAA02
						S26HS01GTGABHB02x	26HS01GTAB02
						S26HS01GTGABHM02x <sup>[89]</sup>	26HS01GTAM02
			A, B, M	03	0, 3	S26HS01GTGABHA03x	26HS01GTAA03
						S26HS01GTGABHB03x	26HS01GTAB03
						S26HS01GTGABHM03x <sup>[89]</sup>	26HS01GTAM03

### 注

<sup>89</sup> 125°C、200 MHz の S26HS01GT デバイスを特性評価中です。これらデバイスの可用性の確認については、最寄りの営業所にお問い合わせください。

改訂履歴

## 改訂履歴

版数	発行日	変更内容
**	2019-07-17	これは英語版 002-12337 Rev. *O を翻訳した日本語版 Rev. ** です。
*A	2020-04-14	これは英語版 002-12337 Rev. *S を翻訳した日本語版 Rev. *A です。
*B	2020-05-28	これは英語版 002-12337 Rev. *U を翻訳した日本語版 Rev. *B です。
*C	2022-06-09	これは英語版 002-12337 Rev. *Y を翻訳した日本語版 Rev. *C です。
*D	2023-06-05	これは英語版 002-12337 Rev. *Z を翻訳した日本語版 Rev. *D です。
*E	2024-02-16	これは英語版 002-12337 Rev. AA を翻訳した日本語版 Rev. *E です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2024-02-16**  
**Published by**  
**Infineon Technologies AG**  
**81726 Munich, Germany**

**© 2024 Infineon Technologies AG.**  
**All Rights Reserved.**

**Do you have a question about this document?**

**Email:**  
[erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference**  
**002-23658 Rev. \*E**

## 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的な価値、および/または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。