

高電流低電圧ドライブアプリケーションにおける MOSFET の並列接続

本書について

適用範囲と目的

MOSFET は、ほとんどの場合、適切なドライバを使用し簡単に制御できます。

並列の場合、制御がより複雑になります。 $R_{DS(on)}$ は正の温度係数をもっていますが、MOSFET の並列化は簡単なことではなく、適切に行わないと、損失が増加したり、破壊につながる不平衡回路が発生する可能性があります。このアプリケーションノートでは電流の平衡化に及ぼす影響について示します。

対象者

大電流アプリケーションの設計者

目次

| | | |
|----------|------------------------------------|----|
| | 本書について | 1 |
| | 目次 | 1 |
| 1 | はじめに | 2 |
| 2 | MOSFET のスイッチング動作 | 3 |
| 2.1 | ゲート - ソース間電圧波形の概略図 | 3 |
| 2.2 | ゲート-ソース間電圧: | 4 |
| 2.3 | 寄生成分によるゲート-ソース間電圧の簡素化 | 4 |
| 2.3.1 | ターンオンプロセス | 4 |
| 2.3.2 | ターンオフプロセス | 5 |
| 3 | シミュレーションと PCB の回路定義 | 7 |
| 3.1 | 測定用 PCB | 7 |
| 3.2 | シミュレーション回路 | 8 |
| 4 | 分析 | 9 |
| 4.1 | MOSFET のボンドワイヤのソースインダクタンスの影響 | 9 |
| 4.2 | 外部ゲート抵抗 $R_{G,ext}$ の許容誤差の影響 | 11 |
| 4.3 | ゲート閾値電圧 V_{GStH} の影響 | 13 |
| 4.4 | 非対称/アンバランスなレイアウト | 17 |
| 5 | まとめ | 21 |
| 6 | 改訂履歴 | 22 |
| | 免責事項 | 23 |

1 はじめに

1 はじめに

「完璧な」レイアウトに関する記事やアプリケーションノートは一般的です。ループの回避や、配線やワイヤの適切な銅径の選択などの標準的なルールはよく知られており、このアプリケーションノートには含まれていません。MOSFET は強力な電子スイッチであり、ほとんどの場合、多かれ少なかれ制御が簡単です。

しかし、すべての電子スイッチと同様に、それらは理想的にはなっていません。特に電力定格が高いアプリケーションでは、より複雑になる可能性があります。

特定の電力レベルを超えると、スイッチごとに 1 つの MOSFET では不十分です。MOSFET の並列化は、最初は非常に簡単に思えますが、実際にはより難しい場合があります。これは、デバイス自体とその周辺部品の公差によるものです。さらに、レイアウトによって回路のバランスが崩れ、理想的でない動作につながる可能性があります。

はじめにでは、測定された波形が MOSFET の実際の動作を反映していない理由を説明します。

シミュレーションと PCB の回路定義では、測定とシミュレーションのセットアップについて説明します。不均衡なセットアップのさまざまな理由の比較は、**分析**以降から始まります。

スイッチング波形と損失の違いを示し、シミュレーションと測定の両方の図と値を示します。

ボンディングワイヤなどによるパッケージ寄生成分のため、測定された波形はチップレベルで何が起きているかを完全には示していません。

2 MOSFET のスイッチング動作

2 MOSFET のスイッチング動作

シミュレーションと測定の解析波形を理解するには、MOSFET がどのようにオン/オフするかを理解する必要があります。次の図は、 $V_{GS,int}$ (内部ゲート-ソース電圧)、 V_{DS} (ドレイン-ソース電圧)、 I_D (ドレイン電流)、および内部ソースのインダクタンスに対する電圧 $V_{L,SOURCE}$ を示し、ターンオンとターンオフのフェーズを簡単に視覚化して説明しています。

2.1 ゲート-ソース間電圧波形の概略図

$V_{GS,int}$ はチップレベルでの「実際の」ゲート-ソース間電圧であり、 V_{GS} は外部で測定された電圧です。

点線は、パッケージ内の MOSFET 全体を表します。

寄生インダクタンスと内部ゲート抵抗 $R_{G,int}$ がなければ、次の図のように、内部と外部のゲート-ソース間電圧は同じになります。

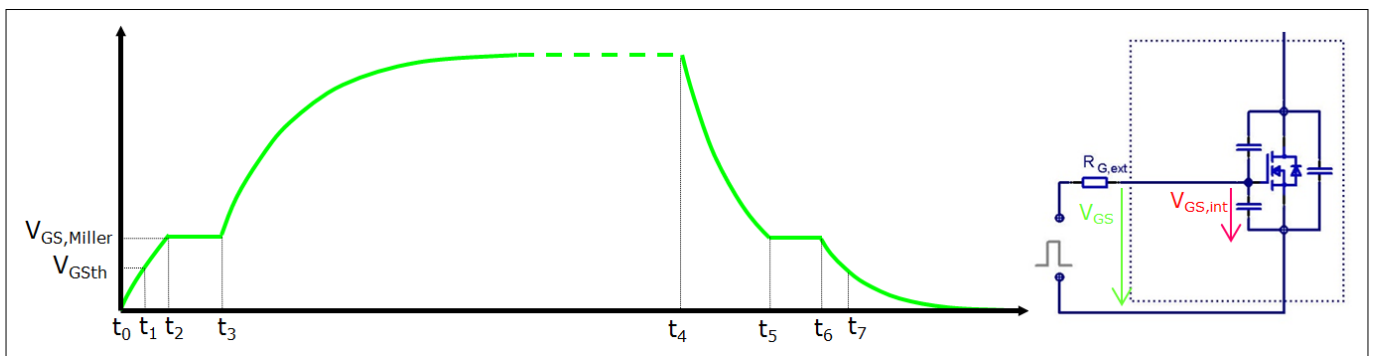


図 1 V_{GS} : MOSFET の理論的なターンオンおよびターンオフプロセス

- t_0 : ドライバの出力が「ロー」から「ハイ」に切り替わり、 V_{GS} が増加し始めます
- t_1 : V_{GS} が閾値電圧 V_{GSth} に達し、ドレイン電流 I_D が流れ始めます
- t_2 : ドレイン電流 I_D が(ほぼ)最大値に達し、ミラープラトーが始まります
- t_3 : ミラープラトーを越え、 V_{GS} は最大まで増加し続けます
- t_4 : ドライバの出力が「ロー」に切り替わり、 V_{GS} が減少し始めます
- t_5 : ミラープラトーが始まります
- t_6 : I_D が減少し始めます
- t_7 : V_{GS} が V_{GSth} に達すると、電流はゼロに低下します

2 MOSFET のスイッチング動作

2.2 ゲート-ソース間電圧:

実際には、波形は図 2 のように見え、理論的に予想される波形とは全く異なります。

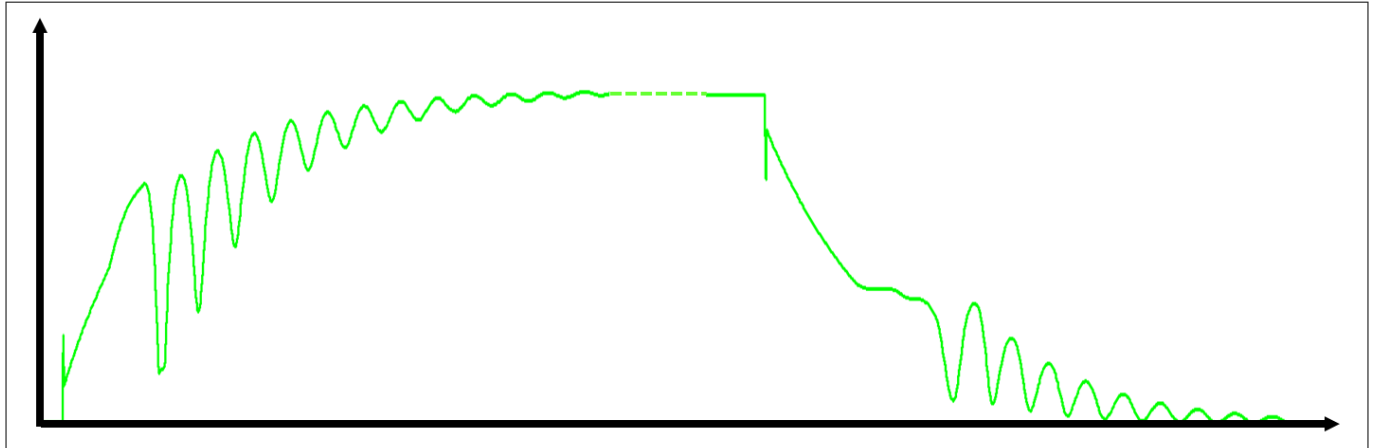


図 2 V_{GS} : MOSFET の実際のターンオンおよびターンオフプロセス

図 3 のように MOSFET を並列に使用すると、波形はさらに異なって見えます。

理論的には、両方の波形はまったく同じになるはずですが、実際には、スイッチングプロセス中にはまったく異なります。

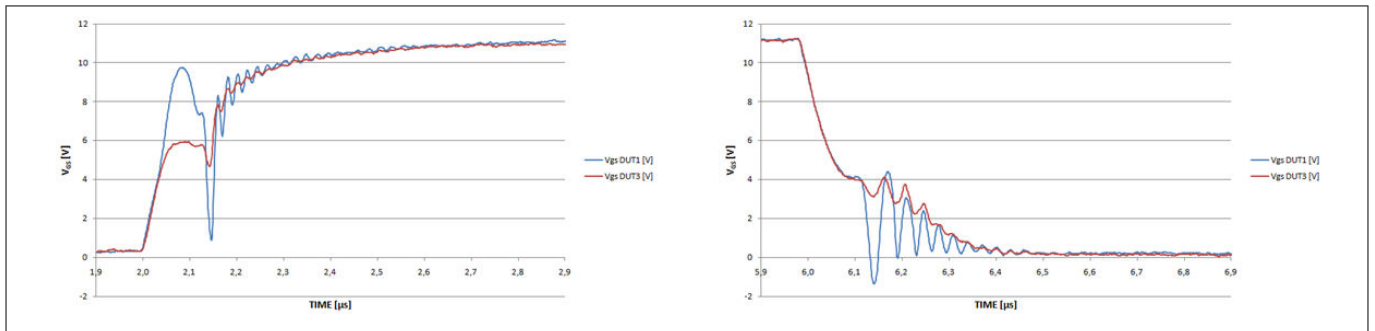


図 3 V_{GS} : 不平衡回路における MOSFET の実際のターンオン/ターンオフプロセス

2.3 寄生成分によるゲート-ソース間電圧の簡素化

理論と現実の違いを理解するには、ターンオンとターンオフのプロセスの別々のフェーズを詳しく調べる必要があります。理解しやすいように、波形は簡略化されています。

2.3.1 ターンオンプロセス

ターンオンプロセスは次の 4 つのステップに大別できます。

2 MOSFET のスイッチング動作

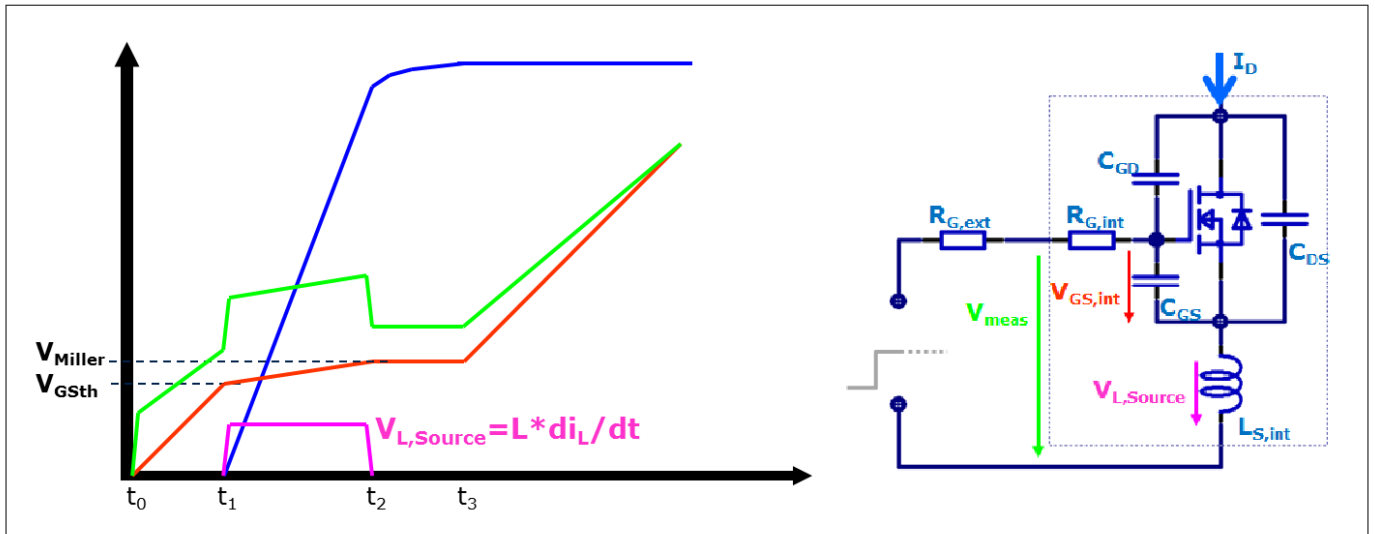


図 4 MOSFET のターンオンプロセス

- t₀: ドライバの出力が「ハイ」に切り替わり、V_{GS,int} (赤)がゆっくりと増加し始めます。外部には、V_{GS,ext} (緑)の急峻なステップが見えます。その理由は、分圧器 R_{G,ext} と R_{G,int} の関係にあります。
- t₁: V_{GS,int} が閾値電圧 V_{GS,th} に達し、ある程度の di/dt でドレイン電流 I_D (青色)が流れ始めます。寄生のソースインダクタンス(紫色)による電圧が V_{GS,ext} の上に加算され、追加のステップが発生します。
- t₂: ドレイン電流 I_D が(ほぼ)最大値に達し、ミラープラトーが始まります。di/dt は 0 に低下し、例えば V_{L,Source} = 0V となり、V_{GS,ext} が減少します。チップレベルの V_{S,int} が増加しなくても、MOSFET が再びオフになっているように見えます。
- t₃: ミラープラトーを越え、V_{GS} は最大まで増加し続けます。MOSFET は完全にオンになり、V_{GS} がさらに増加しても、R_{DS(on)} はさらに減少します。

2.3.2 ターンオフプロセス

ターンオフプロセスも、3つのフェーズに分けることができます。

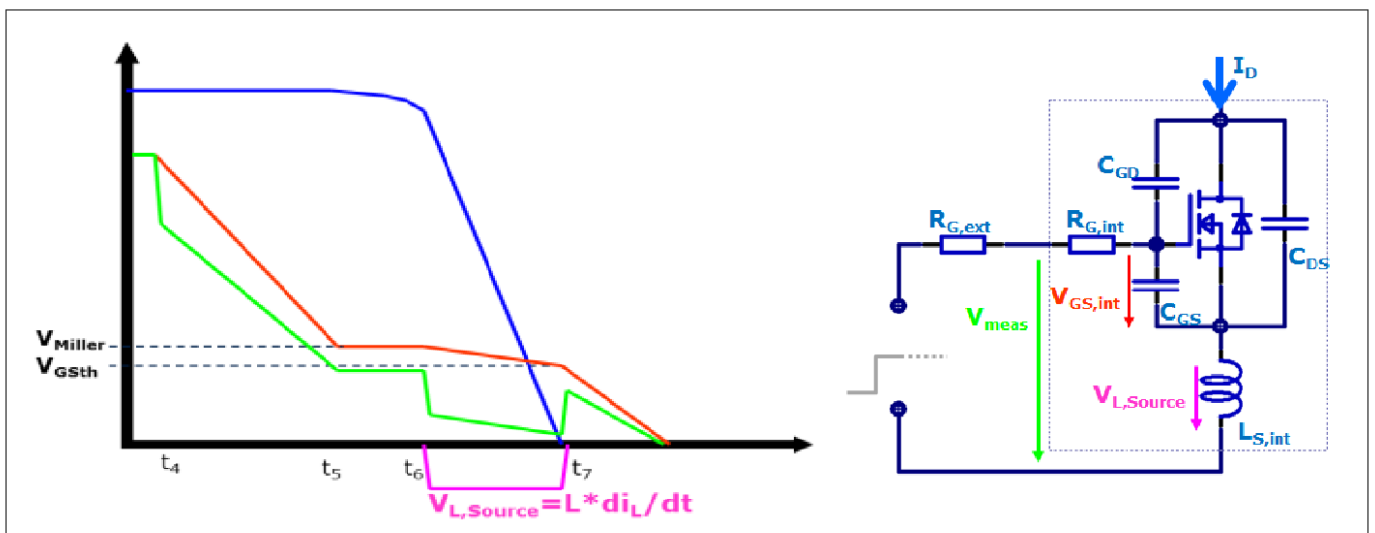


図 5 MOSFET のターンオフプロセス

- t₄: ドライバの出力が「ロー」に切り替わり、V_{GS,int} (赤)がゆっくりと減少し始めます。外部には、V_{GS,ext} (緑)の急峻なステップが見えます。その理由は、ここでも分圧器 R_{G,ext} と R_{G,int} の関係にあります。

2 MOSFET のスイッチング動作

t_5 : $V_{GS,int}$ がミラープラトーに達し、MOSFET がオフになり始めます。 V_{DS} (図示無し)は、 $\sim 0V$ からブロッキング電圧まで上昇します。

t_6 : ドレイン電流 I_D (青) は、特定の di/dt で減少し始めます。寄生のソースインダクタンス(紫色)による電圧が $V_{GS,ext}$ から差し引かれ、降圧されます。

t_7 $V_{GS,int}$ が閾値電圧 V_{GSth} に達し、ドレイン電流 I_D がゼロに低下します。 di/dt も 0 になり、例えば $V_{L,Source} = 0V$ となり、 $V_{GS,ext}$ の正のステップになります。チップレベルの $V_{S,int}$ が増加しなくても、MOSFET が再びオンになっているように見えます。MOSFET は完全にオフになります。

3 シミュレーションと PCB の回路定義

3 シミュレーションと PCB の回路定義

この章では、シミュレーション用に実現された回路について説明します。最初のステップでは、シミュレーション回路の基本的なセットアップを定義する必要があります。この後、この回路を PCB 上で実現しなければならず、次のステップではシミュレーションの回路を実際の PCB に近似する必要があります。PCB には銅配線の長さによる寄生インダクタンスがあるため、このステップは不可欠です。シミュレーションと実際の動作を比較するには、これらのインダクタンスをシミュレーション回路に実装する必要があります。

3.1 測定用 PCB

すべての測定は、次の PCB を使用して行われました。

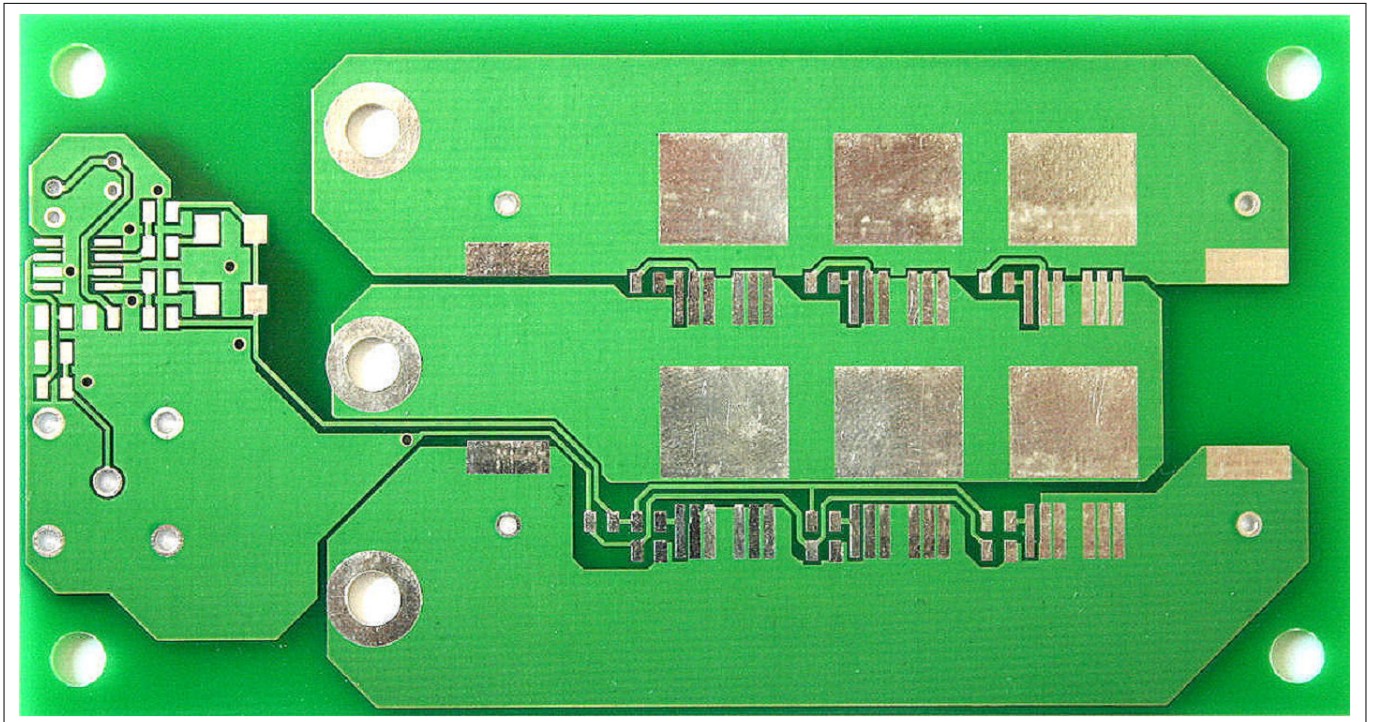


図 6 測定用 PCB

もともと、これはスイッチごとに最大 3 つの MOSFET を並列接続できるように、完全なハーフブリッジとして設計されていました。

これは、フォークリフトや小型電気自動車(LEV)などの高出力駆動アプリケーションで使用される標準の絶縁金属基板(IMS)に似た単層 PCB です。

測定では、ローサイドのアクティブスイッチとして 2 つの MOSFET(DUT1 と DUT3)のみを組み立て、ハイサイドの 1 つだけをフリーホイールダイオードとして動作させました。

3 シミュレーションと PCB の回路定義

3.2 シミュレーション回路

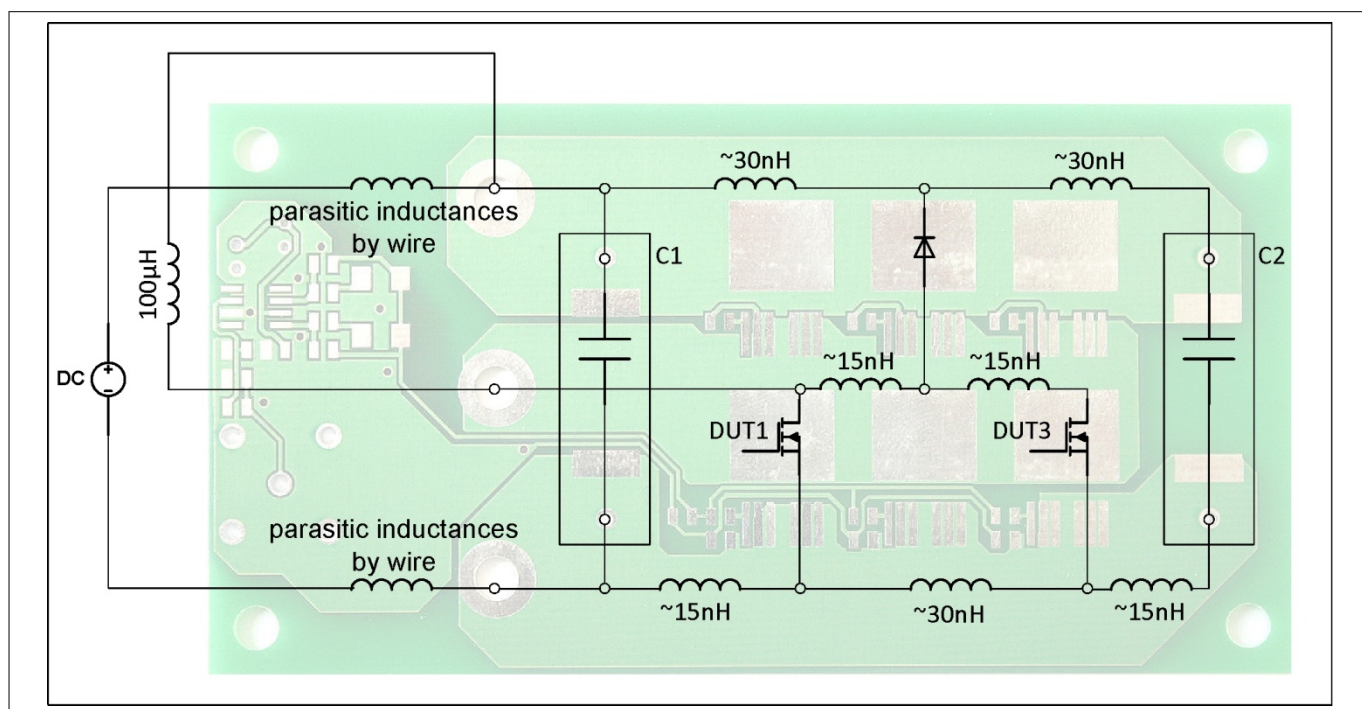


図 7 修正されたシミュレーション回路

シミュレーションには、[図 7](#) の簡略化された回路図を使用しました。

寄生インダクタンスの数値は、経験則を使用して推定されました。

1cm のトラック長は 10nH 前後と想定できます。もちろん、この数字はレイアウトによって異なりますが、ひとまずはこれらの数字で十分です。

4 分析

4 分析

シミュレーション, 測定, および言及されたコンポーネントの対応する影響のすべての比較が分析されます。解析を開始する前に、PCB 上の電流 (並列 MOSFET を介して) を正確に測定することは不可能であることを知っておくことが重要です。回路にシャント抵抗を追加し、その上の電圧を測定する必要がありますが、この抵抗はスイッチング動作に影響を与える可能性があり、測定は正しくありません。したがって、測定とシミュレーションの V_{GS} と V_{DS} の波形を比較することが必須です。

異なる $R_{G,ext}$ 、ソースインダクタンスまたは異なる V_{GSth} を持つ MOSFET を実装した場合のスイッチング動作のすべての違いは、リファレンスセットアップ (Ref) としてマークされている完全に対称的なセットアップと比較されます。

シミュレーションと測定は、高出力駆動アプリケーションにおける標準的なスイッチング周波数である 10kHz で実行されます。

各セットアップについて、シミュレーションと測定の両方の V_{GS} (DUT1 および DUT3) 波形が表示されます。

4.1 MOSFET のボンドワイヤのソースインダクタンスの影響

ボンドワイヤと PCB 上の MOSFET の配置により、各デバイスのソースインダクタンスにわずかな違いが生じます。

電源の誘導性の影響を確認するために、DUT3 のソースに 2nH のインダクタンスを付加すると仮定します。内部ソースインダクタンスと外部ソースインダクタンスの合計は、DUT1 の値の 2 倍の 4nH の値になります。

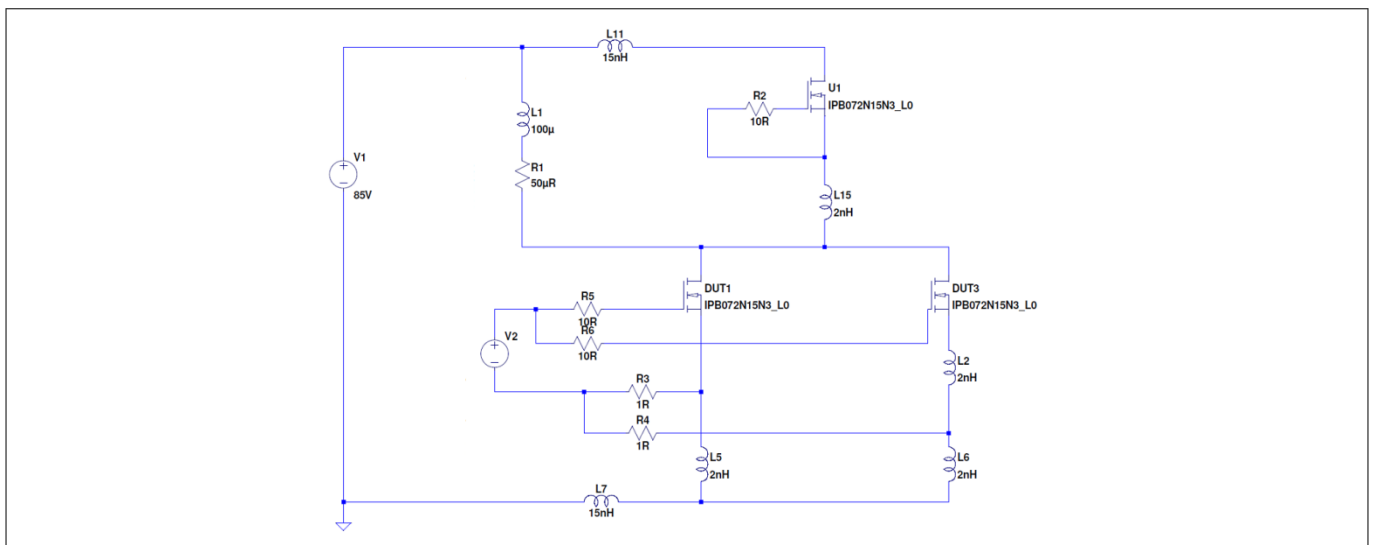


図 8 シミュレーション回路図: 1 レグのソースインダクタンスの増加

4 分析

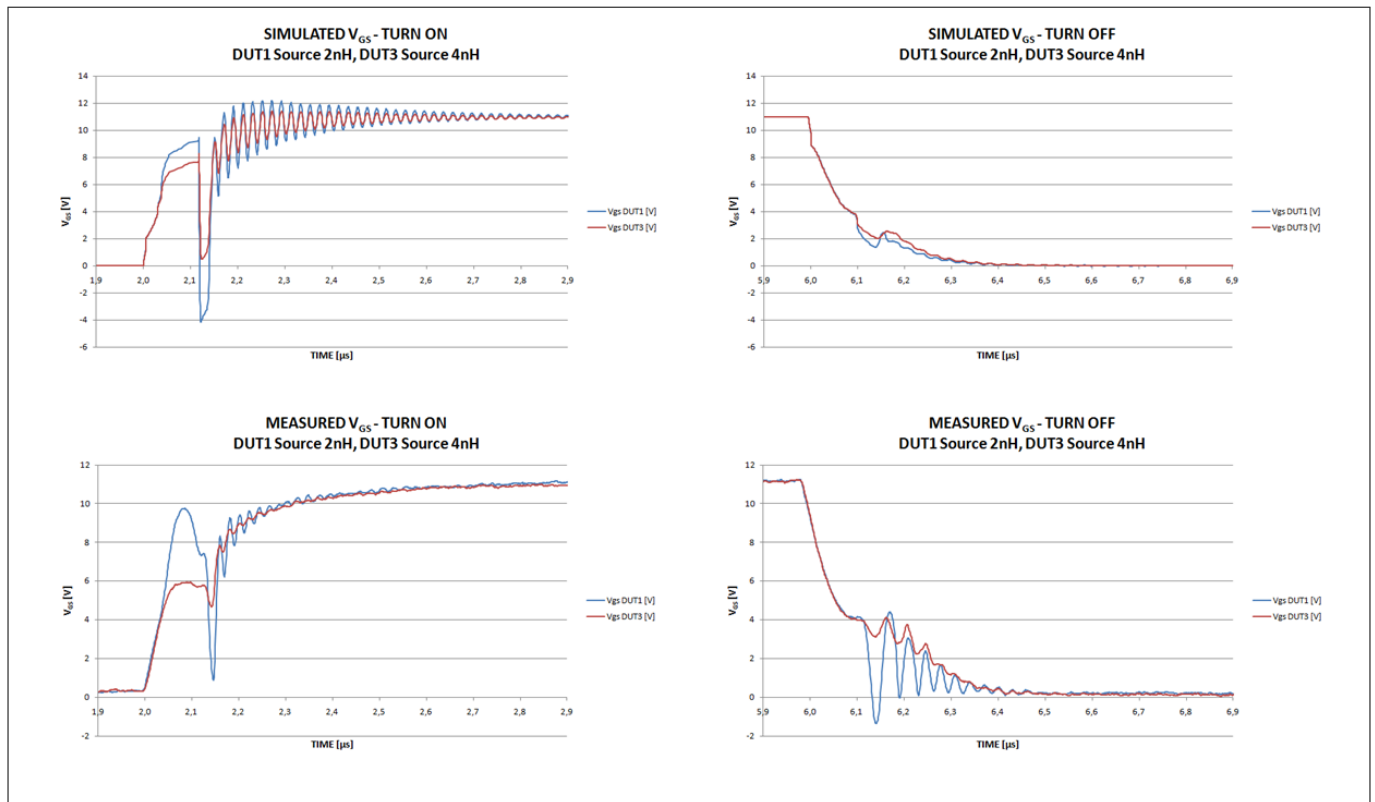


図 9 シミュレーションと測定の比較、DUT3 でソースインダクタンスを 2nH 追加

DUT1 と DUT3 の間の V_{GS} の違いの理由は、寄生成分によるゲート-ソース間電圧の簡素化で説明しました。

ターンオン時には、ソースインダクタンスが低いために DUT1(青)の di/dt が高くなると、 V_{GS} がはるかに高くなります。

ターンオフ時には、ソースインダクタンスが低いほど di/dt が高くなりますが、この数値は負の値であり、スイッチングプロセス中の DUT1 の V_{GS} が減少します。

4 分析

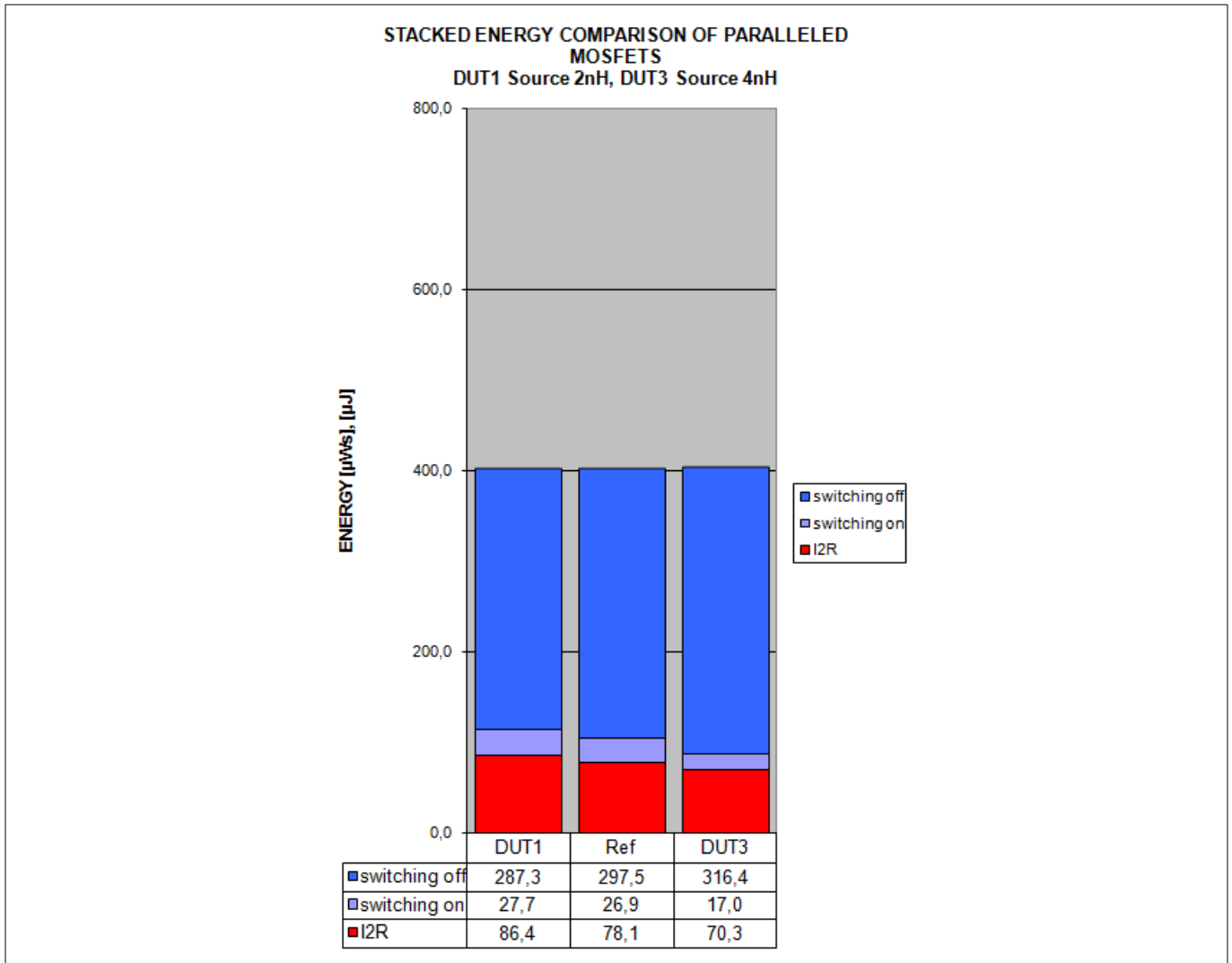


図 10 さまざまなフェーズでの損失

図 10 に、異なる時間枠での損失を示します。スイッチング周波数に依存しないために、ここでは「ショットあたり」の μJ (例えば、 $100\mu\text{s}$ のパルス) で損失を示します。DUT1, DUT2, および「Ref」(絶対平衡回路のリファレンス MOSFET) の全体的な損失はほぼ同じです。「I2R」損失は $R_{\text{DS(on)}}$ 損失です。

上の図では、シミュレーション値と測定値を比較すると、定性的に等しい波形があることがわかります。

さらに、DUT1 と DUT3 の VGS は、電流が流れ始めると異なる動作をし始めることは明らかです。この場合、DUT3 のソースインダクタンスに対する電圧降下が大きくなります。最大電流に達すると、電流の傾きは変化せず、DUT1 と DUT3 の VGS は再び等しくなります。この動作は、MOSFET のターンオンとターンオフのフェーズで示され、外部ゲート抵抗の影響とはまったく異なります。このについては次の章で説明します。

4.2 外部ゲート抵抗 $R_{\text{G,ext}}$ の許容誤差の影響

すべての電子部品と同様に、外部ゲート抵抗にも許容誤差があります。抵抗値が高いほど、スイッチングが遅くなります。許容誤差を $\pm 10\%$ とすると、次の図になります。

4 分析

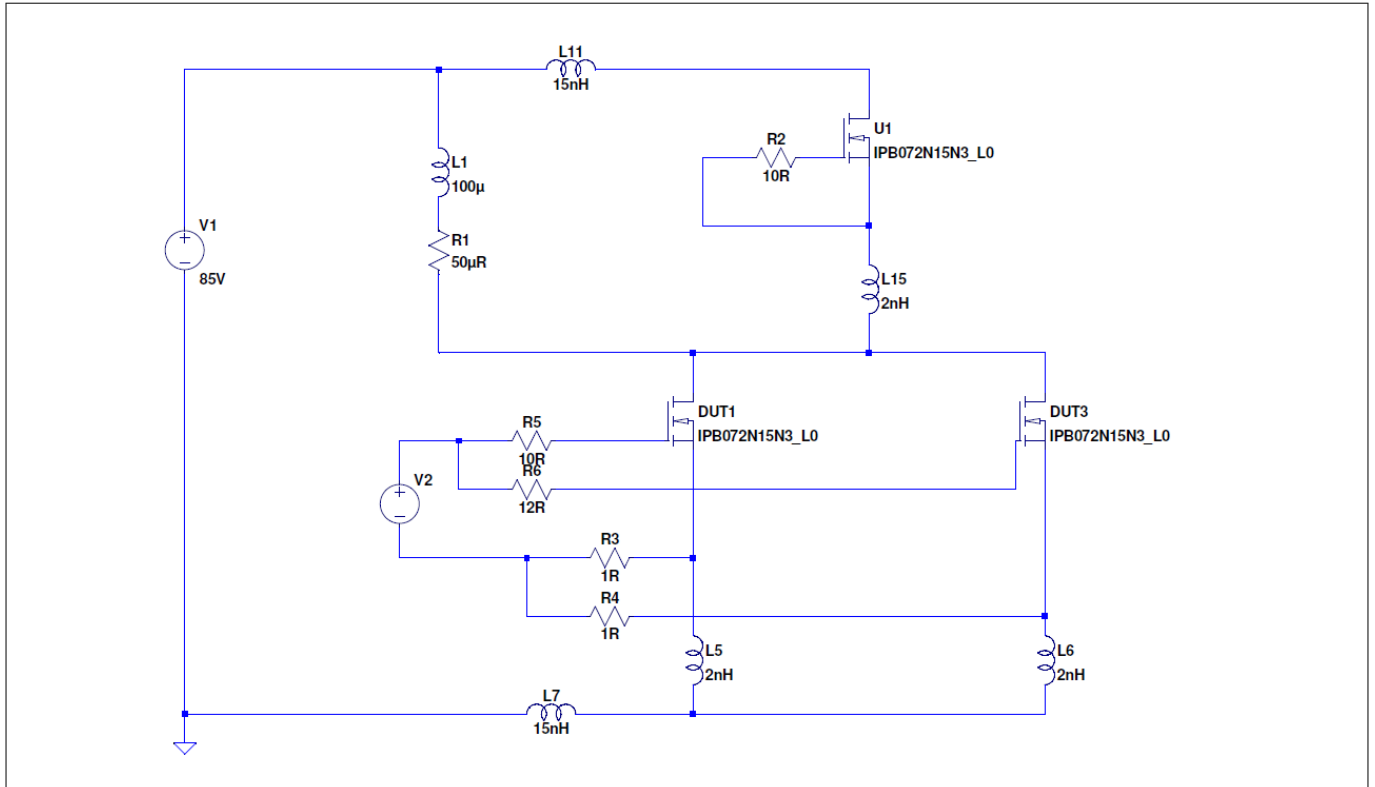


図 11 異なる外部ゲート抵抗によるセットアップ

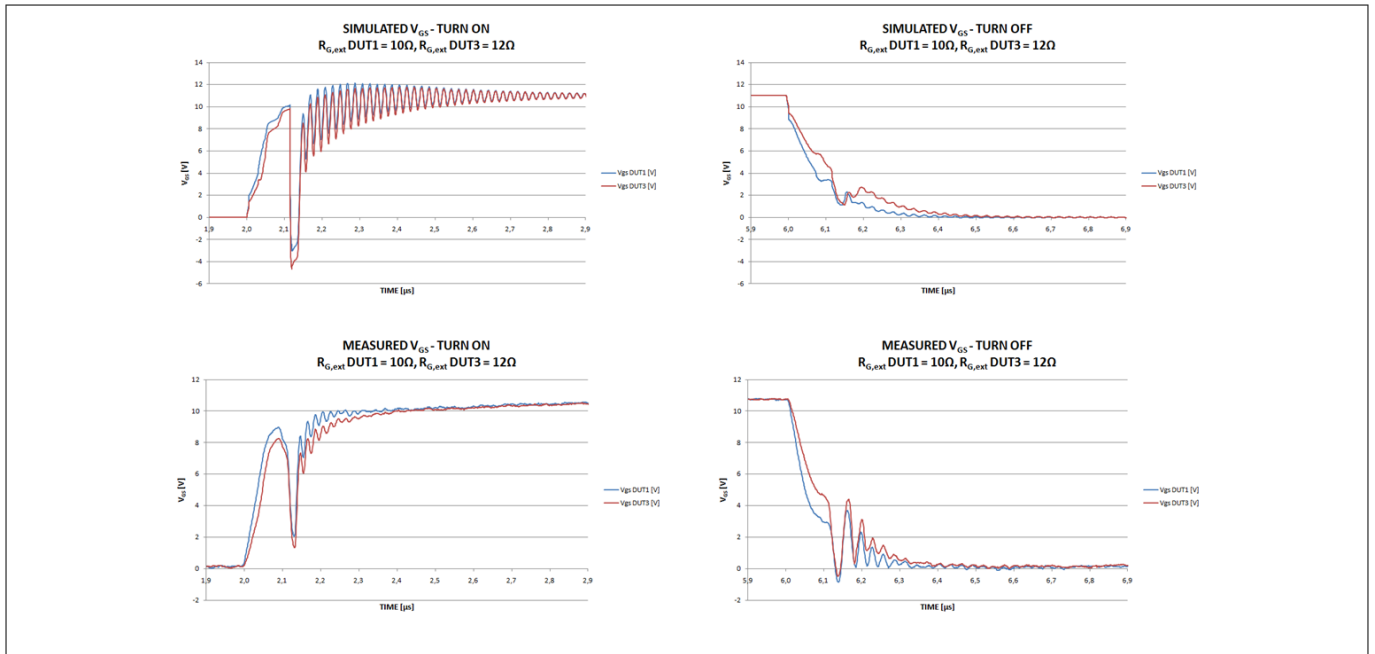


図 12 シミュレーションと測定の比較($R_{G,ext}$)

4 分析

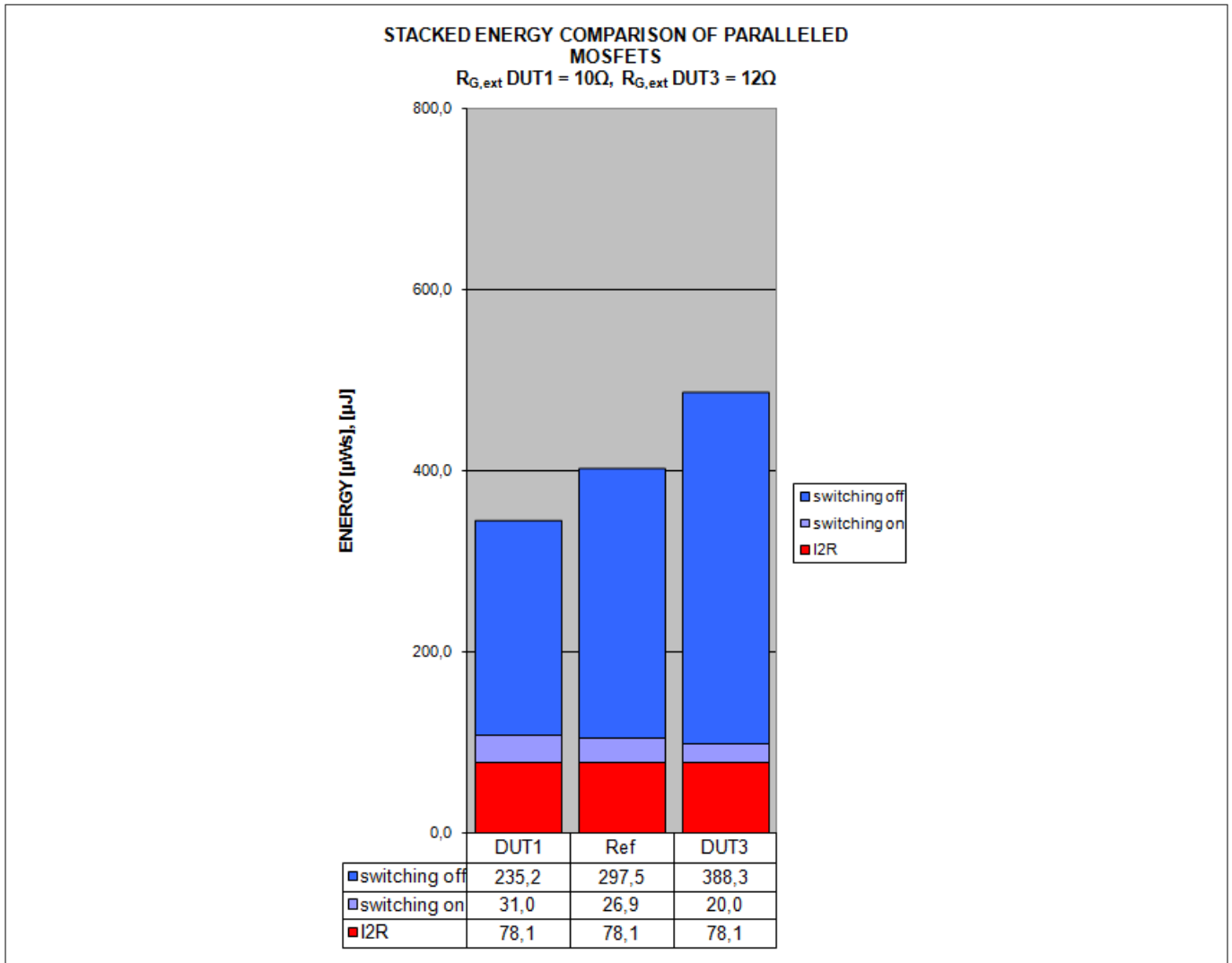


図 13 2つの異なる外部ゲート抵抗による損失

スイッチオフプロセスでは、ゲート抵抗が高い MOSFET がより高い損失を示します。

たとえば、DUT1 と DUT3 の許容誤差が±5%以下の $R_{G,ext} 10\Omega$ を使用する場合、最悪条件では DUT1 が 9.5Ω 、DUT3 が 10.5Ω になるため、スイッチング動作への影響はほとんどありません。この配置では、エネルギー散逸があり、図 13 で表示されます。

4.3 ゲート閾値電圧 V_{Gsth} の影響

IPB072N15N の MOSFET の V_{Gsth} は、室温で 2V から 4V まで変化します。

最悪のケースの変動を仮定すると、次の回路図になります。

4 分析

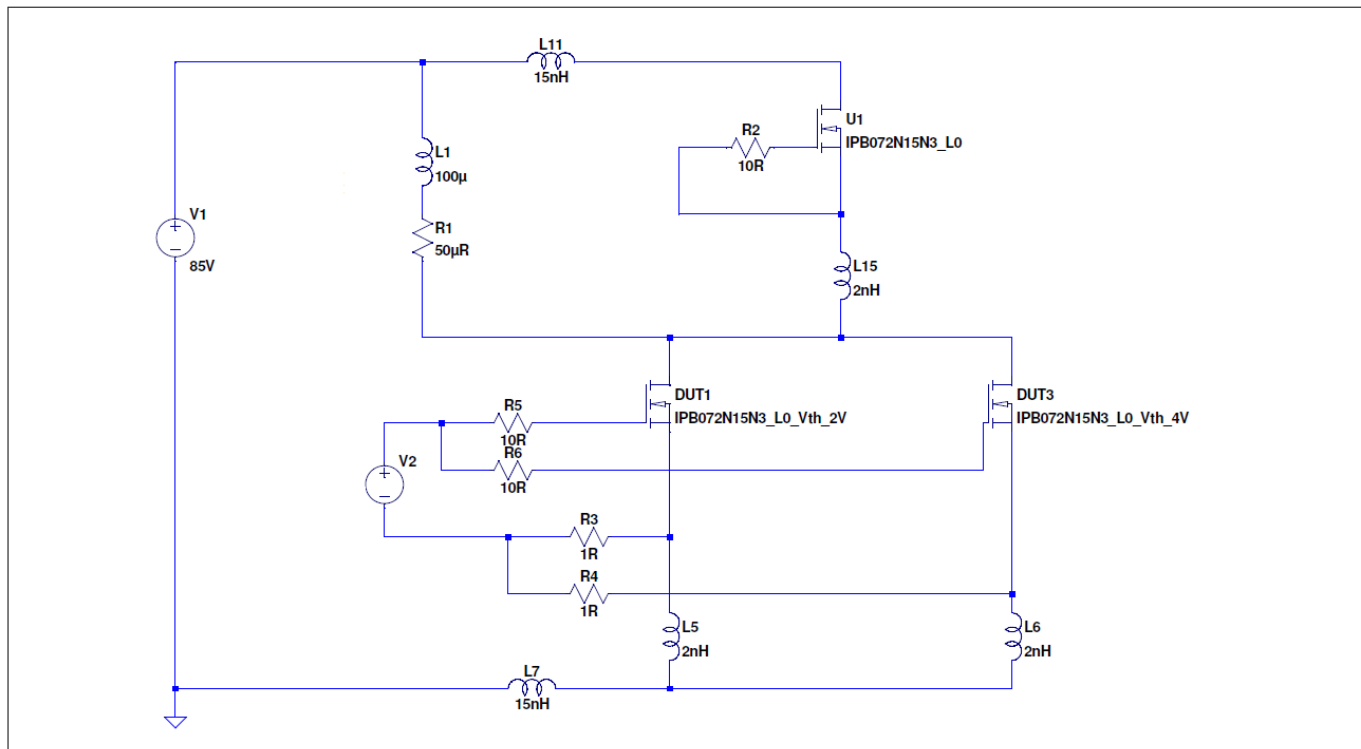


図 14 V_{Gsth} バリエーションのシミュレーション回路図

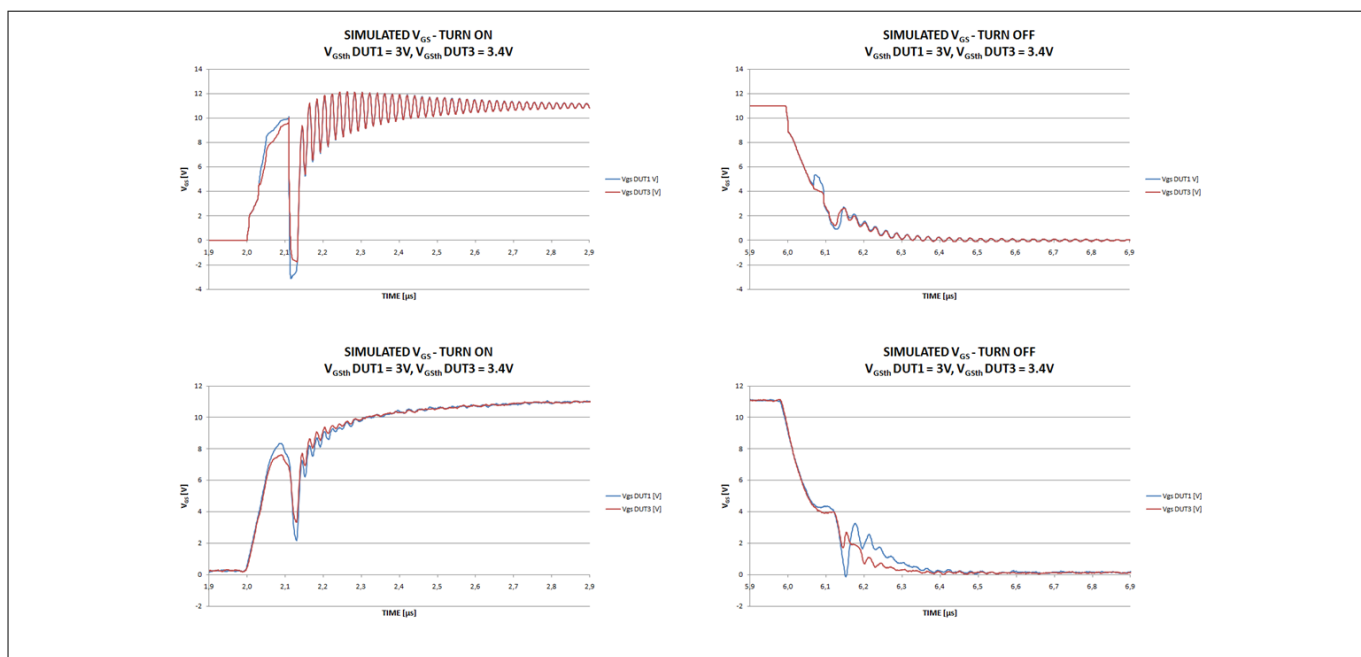


図 15 V_{Gsth} : シミュレーションと測定の比較

4 分析

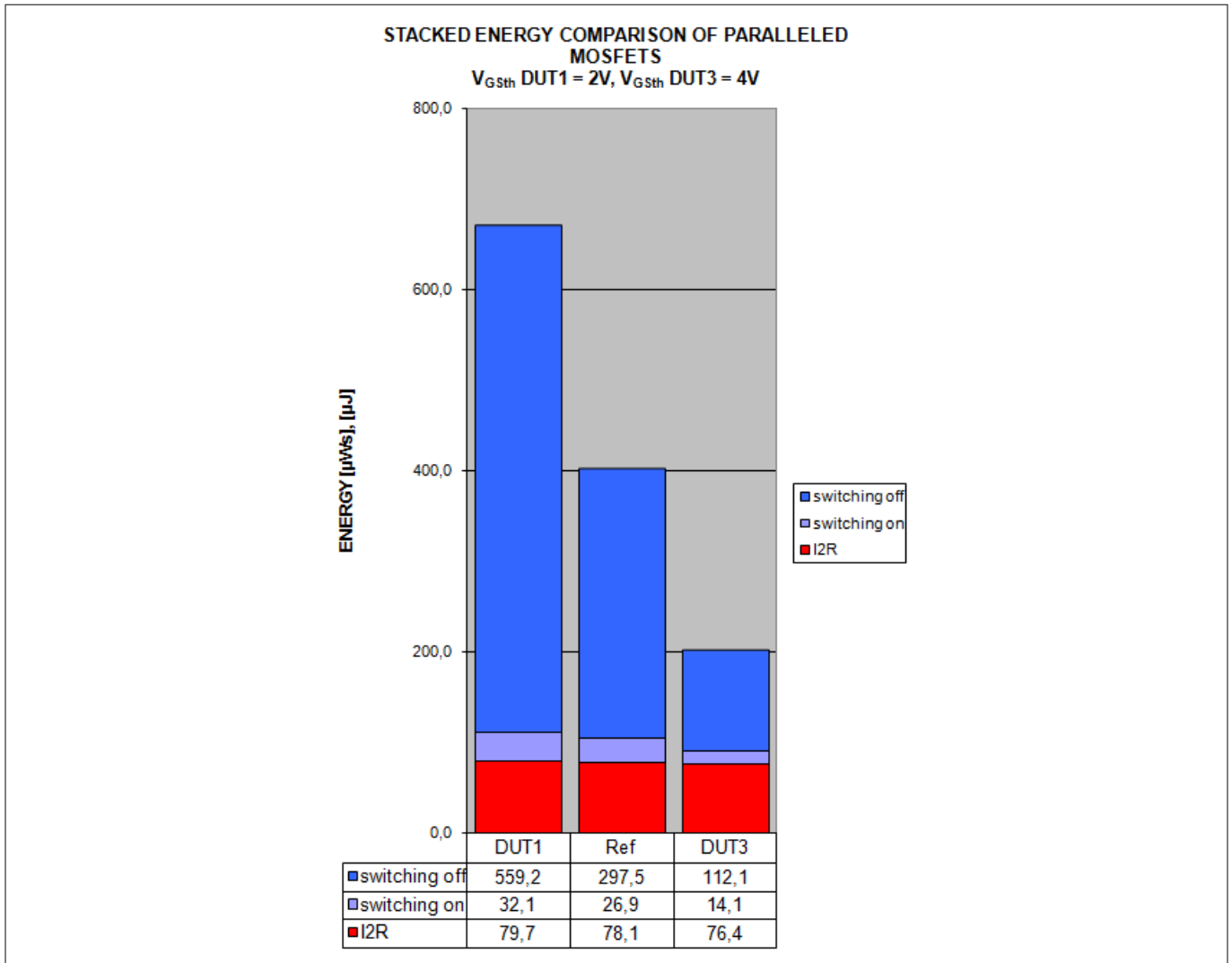


図 16 最悪のケースの V_{Gsth} 変動による損失 (2V~4V)

繰り返しになりますが、スイッチオフ時の損失は、スイッチオン時の損失よりもはるかに大きくなります。マージされていないロットを使用する場合、1つのロットの差ははるかに小さくなります。差がわずか 0.4V であると仮定すると、その差は大幅に減少します。

4 分析

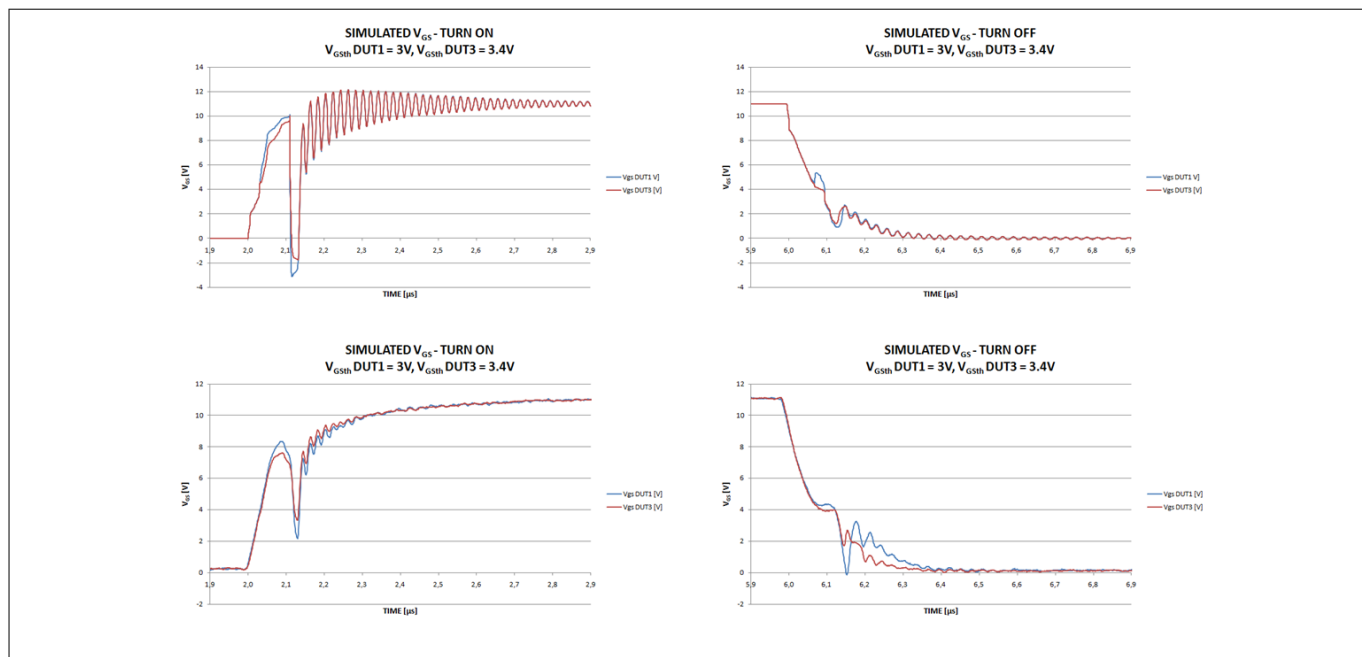


図 17 V_{GSth} : シミュレーションと測定の比較

4 分析

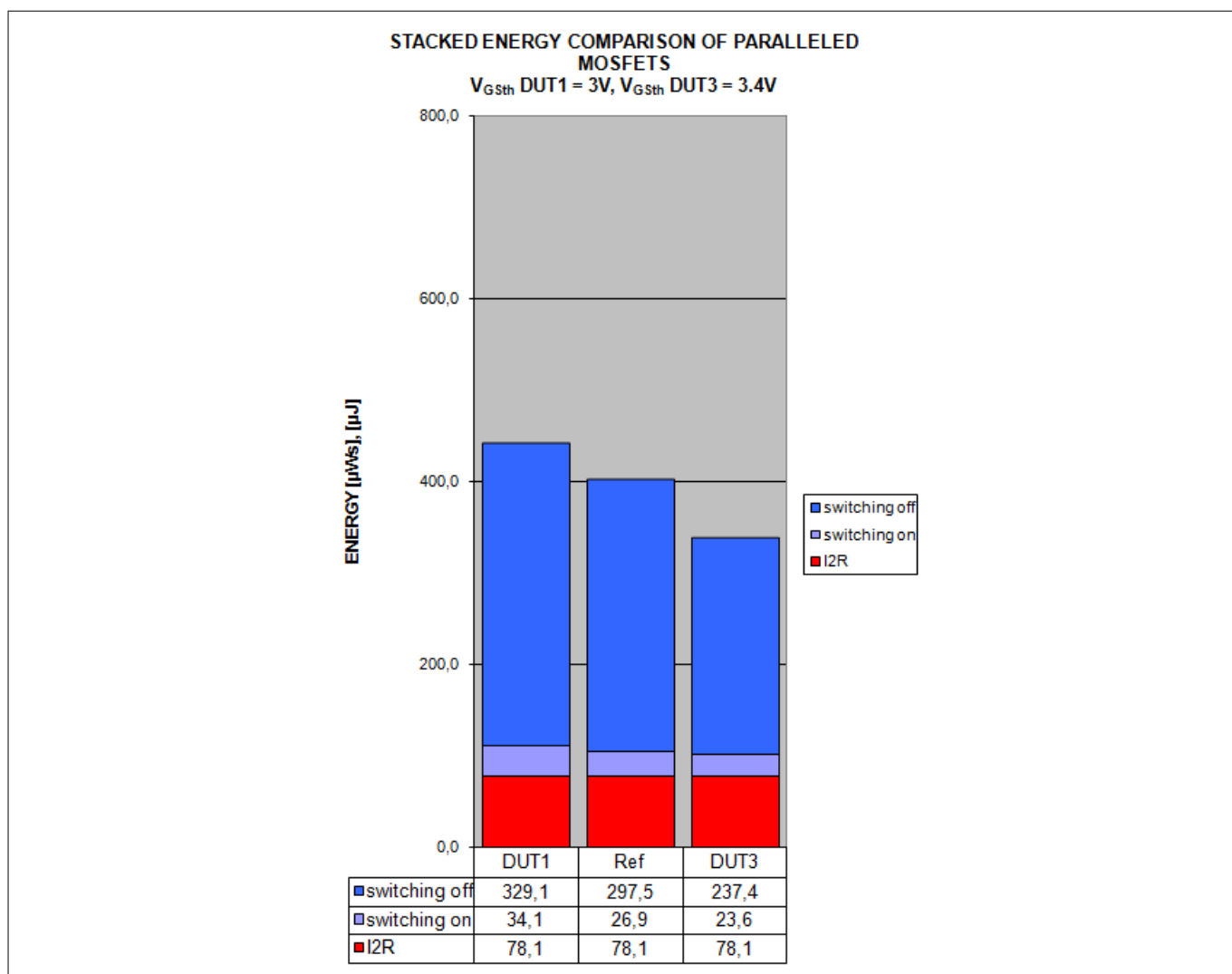


図 18 $0.4V_{Gsth}$ の変動による損失

4.4 非対称/アンバランスなレイアウト

回路のバランスが完全に整っていないと、スイッチング動作が大きく変化する可能性があります。

1 cm の銅線トラックで~10 nH と仮定すると、次の回路になります。

4 分析

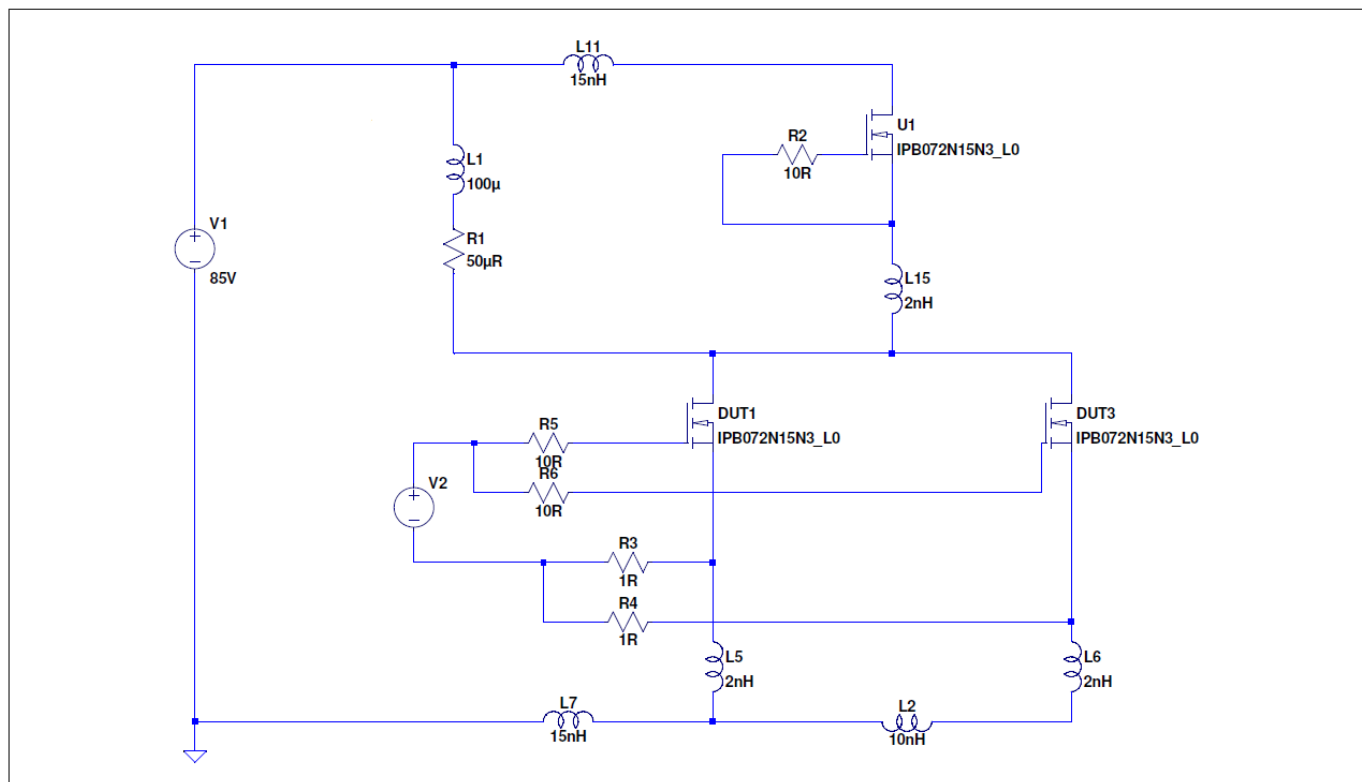


図 19 非対称レイアウトのシミュレーション回路図

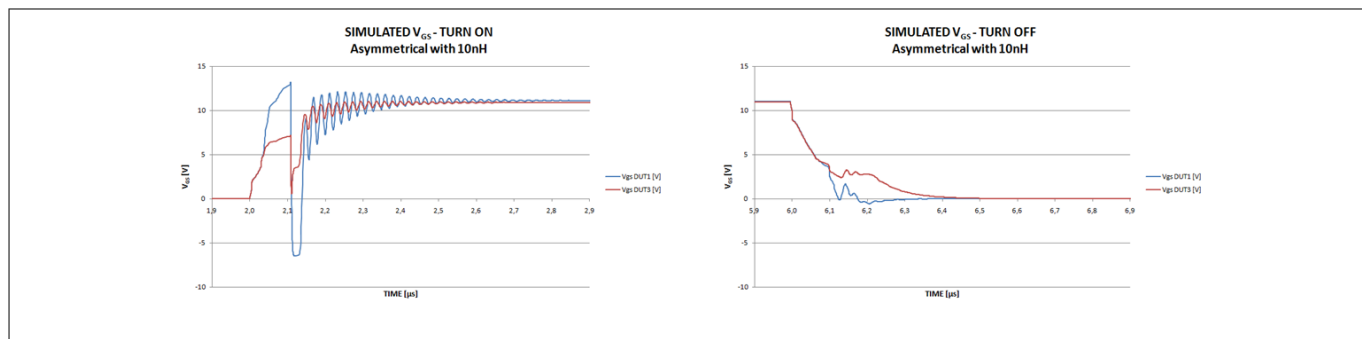


図 20 非対称レイアウトの DUT1 と DUT3 の V_{GS} (10nH)

4 分析

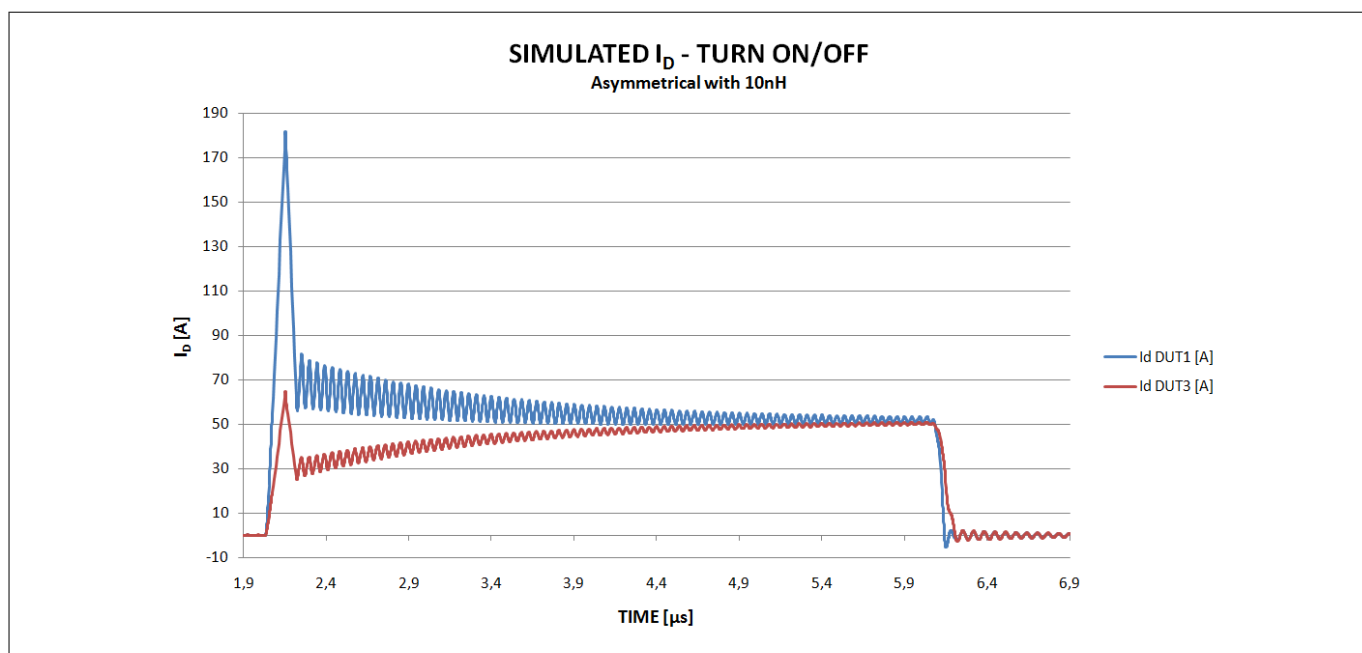


図 21 非対称電流分配 (10nH インダクタンス)

4 分析

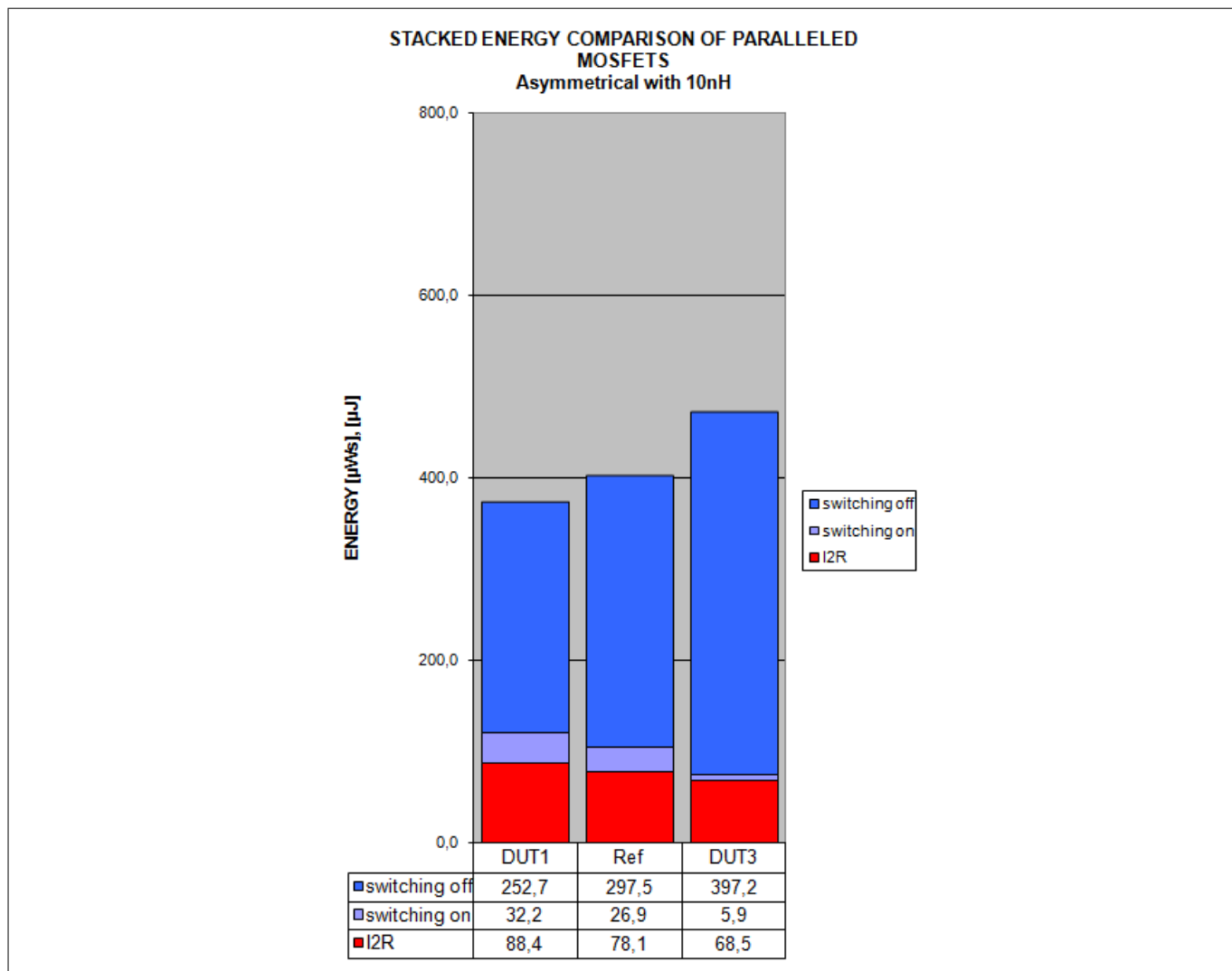


図 22 非対称レイアウトでの損失

5 まとめ

5 まとめ

シミュレーションと測定は、損失の違いを示しています。

最大のばらつきは、 V_{GSth} が最悪のケースの数値を示している場合に見られます。

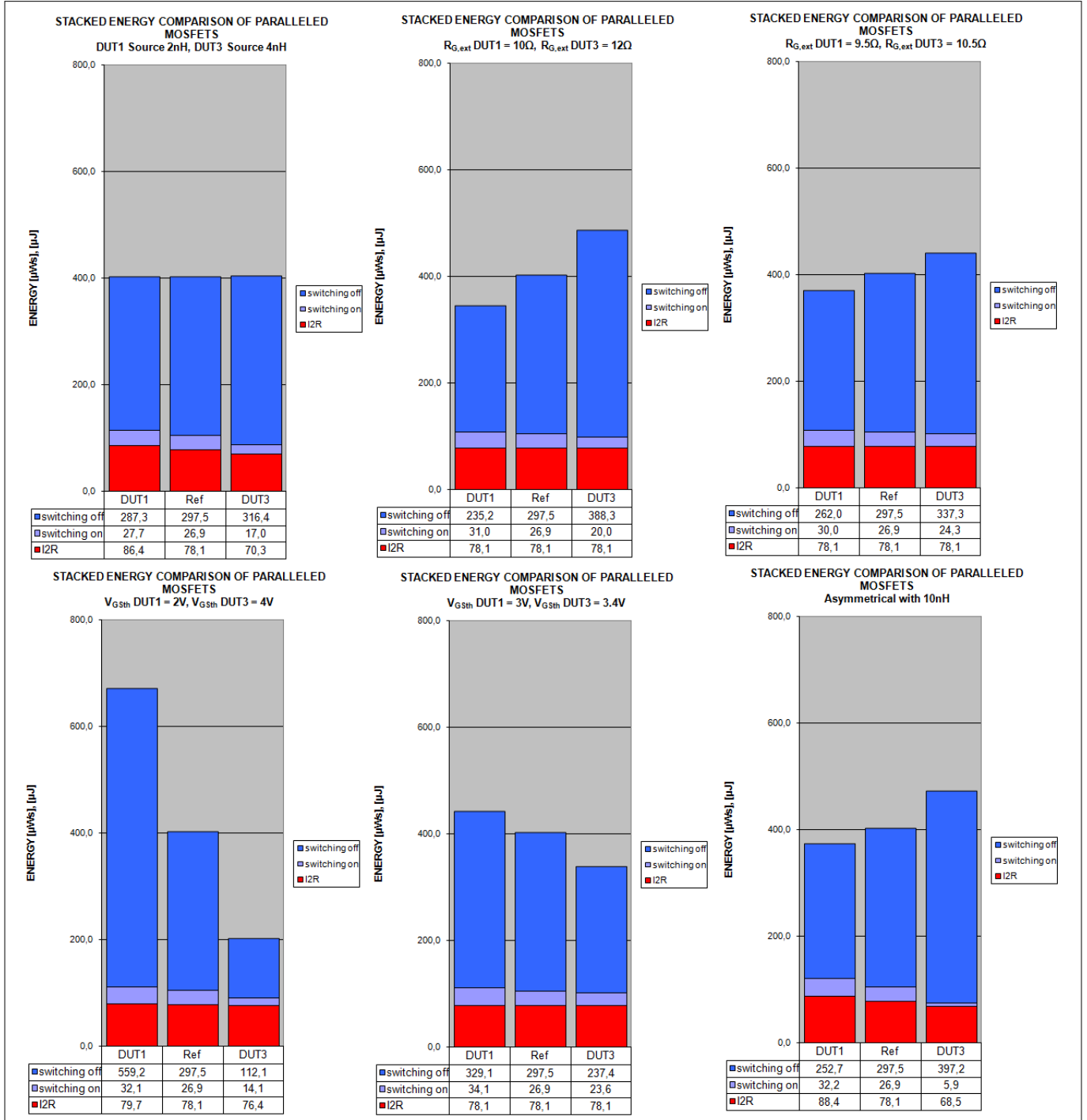


図 23 損失の概要

6 改訂履歴

6 改訂履歴

| | | |
|----------|------------|---|
| Rev. 1.0 | 2024-07-03 | 本版は英語版 AN_1803_PL11_1804_092613 Paralleling MOSFETs in high-current LV drive applications Rev.1.0 について、インフィニオン DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。 |
| | | |
| | | |
| | | |

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-07-03

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2024 Infineon Technologies AG

All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference

IFX-ocx1523023586498

重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記載された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。