

64 Mb (8 MB) FS-S フラッシュ

SPI マルチ I/O, 1.8 V

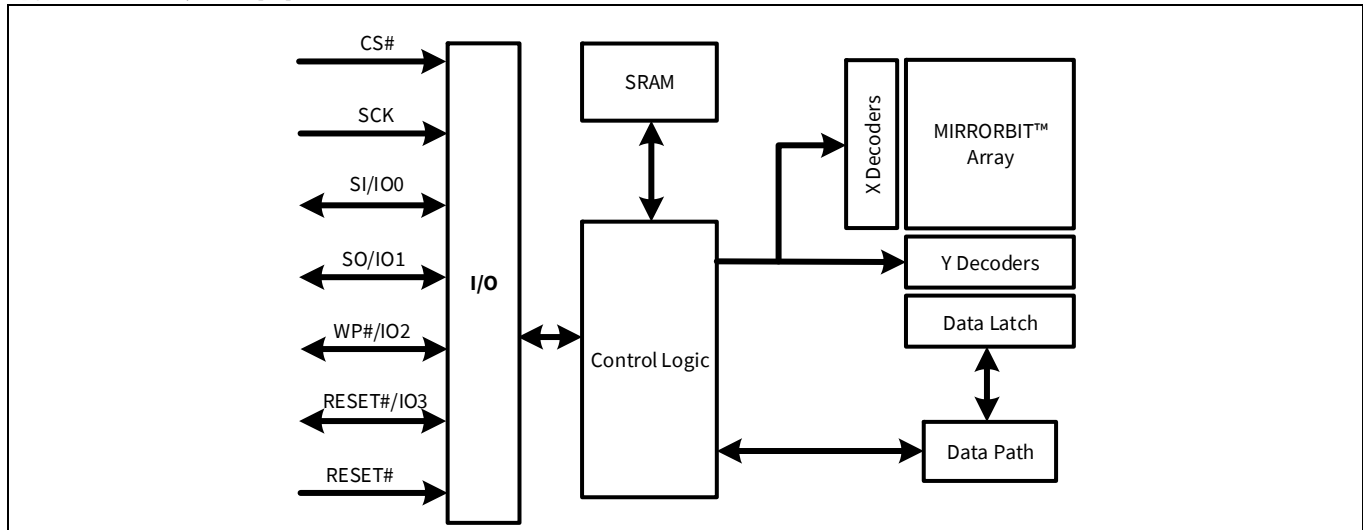
特長

- マルチ I/O を備えたシリアル ペリフェラル インターフェース (SPI)
 - SPI クロック極性と位相モード 0 と 3
 - ダブル データ レート (DDR) オプション
 - 拡張アドレス指定 : 24 または 32 ビット アドレス指定オプション
 - S25FL1-K, S25FL-P と S25FL-S SPI ファミリと互換性のあるシリアル コマンド サブセットおよびフットプリント
 - S25FL1-K S25FL-P と S25FL-S SPI ファミリと互換性のあるマルチ I/O コマンド サブセットおよびフットプリント
- 読み出し
 - コマンド : 通常, 高速, デュアル出力, デュアル I/O, クアッド出力, クアッド I/O, DDR クアッド I/O
 - モード : バースト ラップ, 連続 (XIP), QPI (QPI)
 - コンフィギュレーション情報用のシリアル フラッシュ検出可能パラメーター (SFDP) および共通フラッシュインターフェース (CFI)
- プログラム
 - 256 または 512 バイトのページ プログラム バッファ
 - プログラムの一時停止と再開
 - 自動 ECC: 1 ビット エラー訂正の内部ハードウェア エラー訂正コード (ECC) 生成
- 消去
 - ハイブリッド セクタ オプション
 - アドレス空間の最上部または最下部にある 8 つの 4 KB セクタおよび 1 つの 32 KB セクタと、64 KB の残りのセクタの物理セット
 - ユニフォーム セクタ オプション
 - 高密度および将来のデバイスのため、ソフトウェア互換性のあるユニフォーム 64 KB または 256 KB ブロック オプション
 - 消去の一時停止と再開
 - 消去状態の判断
- 耐久性
 - 100,000 プログラム / 消去サイクル (Min)
- データ保持
 - 20 年のデータ保持期間 (Min)
- セキュリティ機能
 - 1024 バイトのワンタイム プログラム (OTP) アレイ
 - ブロック保護 :
 - セクタの連続した範囲のプログラムまたは消去に対する保護を制御するステータス レジスタ ビット
 - ハードウェアとソフトウェア制御オプション
 - 高度セクタ保護 (ASP)
 - ブートコードまたはパスワードによる制御される個々のセクタ保護
 - 読み出しアクセスのパスワード制御オプション
- テクノロジ
 - ECLIPSE アーキテクチャの 65 nm MIRRORBIT™ テクノロジ
- 単一電源電圧、CMOS I/O
 - 1.7 V ~ 2.0 V

論理ブロック図

- 温度範囲
 - 産業用 (-40 °C ~ +85 °C)
 - 産業用プラス (-40 °C ~ +105 °C)
 - 拡張 (-40 °C ~ +125 °C)
 - 車載用, AEC-Q100 グレード 3 (-40 °C ~ +85 °C)
 - 車載用, AEC-Q100 グレード 2 (-40 °C ~ +105 °C)
 - 車載用, AEC-Q100 グレード 1 (-40 °C ~ +125 °C)
- パッケージ (すべて鉛フリー)
 - 8 リード SOIC 208 mil (SOC008)
 - LGA 5 × 6 mm (W9A008)
 - BGA-24 6 × 8 mm
 - 5 × 5 ボール (FAB024) フットプリント

論理ブロック図



性能要約

Table 1 最大読み出し速度

コマンド	クロック 速度 (MHz)	MBps
読み出し	50	6.25
高速読み出し	133	16.5
デュアル読み出し	133	33
クアッド読み出し	133	66
DDR クアッド I/O 読み出し	80	80

Table 2 標準的な書き込みと消去速度

動作	KBps
ページ プログラム (256 バイト ページ バッファ)	712
ページ プログラム (512 バイト ページ バッファ)	1080
4 KB 物理セクタ消去 (ハイブリッド セクタ オプション)	16
64 KB セクタ消去	275
256 KB セクタ消去	275

Table 3 標準消費電流 $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

動作	電流 (mA)
シリアル読み出し 50 MHz	10
シリアル読み出し 133 MHz	22
クアッド読み出し 133 MHz	60
クアッド DDR 読み出し 80 MHz	70
プログラム	60
消去	60
スタンバイ	0.025
ディープパワーダウン	0.006

目次

目次

特長	1
論理ブロック図.....	2
性能要約.....	2
目次	4
1 概要	9
1.1 概要説明	9
1.2 デバイス ファミリ移行時の注意事項	9
1.2.1 機能比較	9
1.2.2 前世代との既知の相違	10
2 マルチ入出力を備えるシリアルペリフェラルインターフェース (SPI-MIO)	13
3 ピン配置および信号説明.....	14
3.18 コネクタパッケージ.....	14
3.1.1 BGA ボールフットプリント.....	14
3.2 FBGA パッケージの取扱注意事項	14
3.3 入出力のまとめ	15
3.4 マルチ入出力 (MIO)	16
3.5 シリアルクロック (SCK)	16
3.6 チップセレクト (CS#).....	16
3.7 シリアル入力 (SI) / IO0	16
3.8 シリアル出力 (SO) / IO1	16
3.9 書き込み保護 (WP#) / IO2.....	17
3.10 IO3_RESET#.....	17
3.11 RESET#.....	17
3.12 電源電圧 (VCC)	18
3.13 グランド (V _{SS}).....	18
3.14 未接続 (NC)	18
3.15 将来使用するために予約済み (RFU)	18
3.16 使用禁止 (DNU)	18
3.17 システム ブロック図	18
4 信号プロトコル	20
4.1 SPI クロック モード	20
4.1.1 シングルデータレート (SDR)	20
4.1.2 ダブルデータレート (DDR)	20
4.2 コマンド プロトコル	21
4.2.1 コマンドシーケンス例	23
4.3 インターフェース状態.....	25
4.3.1 VCC 電源切断.....	27
4.3.2 低消費電力のハードウェアデータ保護	27
4.3.3 パワーオン(コールド)リセット	27
4.3.4 ハードウェア(ウォーム)リセット	27
4.3.5 インターフェーススタンバイ	27
4.3.6 命令サイクル(レガシー SPI モード)	27
4.3.7 命令サイクル(QPI モード)	28
4.3.8 シングル入力サイクルーホストからメモリへの転送	28
4.3.9 シングルレイテンシ(ダミー)サイクル	28
4.3.10 シングル出力サイクルーメモリからホストへの転送	28
4.3.11 デュアル入力サイクルーホストからメモリへの転送	28
4.3.12 デュアルレイテンシ(ダミー)サイクル	28
4.3.13 デュアル出力サイクルーメモリからホストへの転送	29
4.3.14 QPP または QOR アドレス入力サイクル.....	29
4.3.15 クアッド入力サイクルーホストからメモリへの転送	29

目次

4.3.16	クアッドレイテンシ(ダミー)サイクル	29
4.3.17	クアッド出力サイクル—メモリからホストへの転送	29
4.3.18	DDR クアッド入力サイクル—ホストからメモリへの転送	30
4.3.19	DDR レイテンシサイクル	30
4.3.20	DDR クアッド出力サイクル—メモリからホストへの転送	30
4.4	コンフィギュレーションレジスタのインターフェースへの影響	31
4.5	データ保護	31
4.5.1	電源投入	31
4.5.2	低電源電圧	31
4.5.3	クロックパルスカウント	31
4.5.4	ディープパワーダウン (DPD)	31
5	タイミング仕様	32
5.1	スイッチング波形のポイント	32
5.2	AC テスト条件	32
5.2.1	静電容量特性	33
5.3	リセット	33
5.3.1	パワーオン(コールド)リセット	33
5.3.2	RESET# および IO3_RESET# 入力により開始されるハードウェア(ウォーム)リセット	34
5.4	SDR AC 特性	36
5.4.1	クロックタイミング	37
5.4.2	入力/出力タイミング	37
5.5	DDR AC 特性	39
5.5.1	DDR 入力タイミング	39
5.5.2	DDR 出力タイミング	40
5.5.3	DLP 使用時の DDR データ有効時間	40
6	アドレス空間マップ	42
6.1	概要	42
6.1.1	拡張アドレス	42
6.1.2	複数のアドレス空間	42
6.2	フラッシュメモリアレイ	42
6.3	ID-CFI アドレス空間	45
6.3.1	インフィニオンによってプログラムされる固有 ID	45
6.4	JEDEC JESD216 シリアルフラッシュ検出可能パラメーター (SFDP) 空間	45
6.5	OTP アドレス空間	45
7	レジスタ	47
7.1	ステータスレジスタ 1	48
7.1.1	不揮発性ステータスレジスタ 1 (SR1NV)	48
7.1.2	揮発性ステータスレジスタ 1 (SR1V)	49
7.2	揮発性ステータスレジスタ 2 (SR2V)	51
7.3	コンフィギュレーションレジスタ 1	52
7.3.1	不揮発性コンフィギュレーションレジスタ 1 (CR1NV)	52
7.3.2	揮発性コンフィギュレーションレジスタ 1 (CR1V)	54
7.4	コンフィギュレーションレジスタ 2	56
7.4.1	不揮発性コンフィギュレーションレジスタ 2 (CR2NV)	56
7.4.2	揮発性コンフィギュレーションレジスタ 2 (CR2V)	59
7.5	コンフィギュレーションレジスタ 3	60
7.5.1	不揮発性コンフィギュレーションレジスタ 3 (CR3NV)	60
7.5.2	揮発性コンフィギュレーションレジスタ 3 (CR3V)	61
7.6	コンフィギュレーションレジスタ 4	62
7.6.1	不揮発性コンフィギュレーションレジスタ 4 (CR4NV)	62
7.6.2	揮発性コンフィギュレーションレジスタ 4 (CR4V)	63
7.7	ECC ステータスレジスタ (ECCSR)	63
7.8	ASP レジスタ (ASPR)	64

目次

7.9 パスワード レジスタ (PASS)	65
7.10 PPB ロック レジスタ (PPBL).....	65
7.11 PPB アクセス レジスタ (PPBAR)	66
7.12 DYB アクセス レジスタ (DYBAR)	66
7.13 SPI DDR データ ラーニング レジスタ	66
8 組込みアルゴリズム性能表	68
9 データ保護	69
9.1 セキュア シリコン領域	69
9.1.1 OTP メモリ空間の読み出し	69
9.1.2 OTP メモリ空間のプログラム	69
9.1.3 インフィニオンによってプログラムされる乱数	69
9.1.4 ロック バイト	69
9.2 書き込みイネーブル コマンド	70
9.3 ブロック保護	70
9.3.1 Freeze ビット	71
9.3.2 書き込み保護信号	71
9.4 高度セクタ保護	71
9.4.1 ASP レジスタ	74
9.4.2 持続的保護ビット	75
9.4.3 ダイナミック保護ビット	75
9.4.4 PPB ロック ビット (PPBL[0])	75
9.4.5 セクタ保護状態の概要	75
9.4.6 持続的保護モード	76
9.4.7 パスワード保護モード	76
9.5 推奨の保護プロセス	77
10 コマンド	78
10.1 コマンド セットのまとめ	80
10.1.1 拡張アドレス指定	80
10.1.2 機能別のコマンドの概要	82
10.1.3 デバイス ID 読み出し	84
10.1.4 レジスタ読み出し / 書き込み	84
10.1.5 フラッシュ アレイ読み出し	85
10.1.6 フラッシュ アレイ プログラム	85
10.1.7 フラッシュ アレイ 消去	86
10.1.8 OTP, ブロック保護, および高度セクタ保護	86
10.1.9 リセット	86
10.1.10 DPD	86
10.1.11 予約済み	86
10.2 ID のコマンド	86
10.2.1 ID 読み出し (RDID 9Fh)	86
10.2.2 クアッド ID 読み出し (RDQID AFh)	87
10.2.3 シリアル フラッシュ検出可能パラメータ読み出し (RSFDP 5Ah).....	88
10.2.4 固有 ID 読み出し (RUID 4Ch)	89
10.3 レジスタ アクセス コマンド	89
10.3.1 ステータス レジスタ 1 読み出し (RDSR1 05h).....	89
10.3.2 ステータス レジスタ 2 読み出し (RDSR2 07h).....	90
10.3.3 コンフィギュレーションレジスタ読み出し (RDCR 35h).....	90
10.3.4 レジスタ書き込み (WRR 01h)	91
10.3.5 書き込みイネーブル (WREN 06h).....	92
10.3.6 書き込みディセーブル (WRDI 04h).....	93
10.3.7 ステータス レジスタ クリア (CLSR 30h または 82h).....	94
10.3.8 ECC ステータス レジスタ読み出し (ECCRD 19h または 4EECRD 18h)	94
10.3.9 NVDLR プログラム (PNVDLR 43h)	95

目次

10.3.10 VDLR 書き込み (WVDLR 4Ah)	96
10.3.11 データ ラーニング パターン読み出し (DLPRD 41h)	96
10.3.12 4 バイト アドレス モード開始 (4BAM B7h)	96
10.3.13 任意レジスタ読み出し (RDAR 65h)	97
10.3.14 任意レジスタ書き込み (WRAR 71h)	99
10.3.15 バースト長セット (SBL C0h)	99
10.4 メモリ アレイ読み出しコマンド	101
10.4.1 読み出し (Read 03h または 4READ 13h)	102
10.4.2 高速読み出し (FAST_READ 0Bh または 4FAST_READ 0Ch)	103
10.4.3 デュアル出力読み出し (DOR 3Bh または 4DOR 3Ch)	104
10.4.4 クアッド出力読み出し (QOR 6Bh または 4QOR 6Ch)	105
10.4.5 デュアル I/O 読み出し (DIOR BBh または 4DIOR BCh)	106
10.4.6 クアッド I/O 読み出し (QIOR EBh または 4QIOR ECh)	108
10.4.7 DDR クアッド I/O 読み出し (EDh, EEh)	110
10.5 プログラム フラッシュ アレイ コマンド	112
10.5.1 プログラムの粒度	112
10.5.2 ページ プログラム (PP 02h または 4PP 12h)	113
10.5.3 クアッド ページ プログラム (QPP 32h または 4QPP 34h)	115
10.6 フラッシュ アレイ消去のコマンド	116
10.6.1 パラメーター セクタ消去 (P4E 20h または 4P4E 21h)	116
10.6.2 セクタ消去 (SE D8h または 4SE DCh)	117
10.6.3 バルク消去 (BE 60h または C7h)	118
10.6.4 消去ステータス評価 (EES D0h)	119
10.6.5 消去 / プログラム一時停止 (EPS 85h, 75h, B0h)	120
10.6.6 消去 / プログラム再開 (EPR 7Ah, 8Ah, 30h)	124
10.7 ワンタイム プログラム アレイのコマンド	125
10.7.1 OTP プログラム (OTPP 42h)	125
10.7.2 OTP 読み出し (OTPR 4Bh)	125
10.8 高度セクタ保護のコマンド	126
10.8.1 ASP 読み出し (ASPRD 2Bh)	126
10.8.2 ASP プログラム (ASPP 2Fh)	126
10.8.3 DYB 読み出し (DYBRD FAh または 4DYBRD E0h)	127
10.8.4 DYB 書き込み (DYBWR FBh または 4DYBWR E1h)	128
10.8.5 PPB 読み出し (PPBRD FCh または 4PPBRD E2h)	129
10.8.6 PPB プログラム (PPBP FDh または 4PPBP E3h)	129
10.8.7 PPB 消去 (PPBE E4h)	130
10.8.8 PPB ロックビット読み出し (PLBRD A7h)	130
10.8.9 PPB ロックビット書き込み (PLBWR A6h)	131
10.8.10 パスワード読み出し (PASSRD E7h)	131
10.8.11 パスワード プログラム (PASSP E8h)	132
10.8.12 パスワード ロック解除 (PASSU E9h)	132
10.9 リセットのコマンド	133
10.9.1 ソフトウェアリセット イネーブル (RSTEN 66h)	133
10.9.2 ソフトウェアリセット (RST 99h)	133
10.9.3 レガシー ソフトウェアリセット (RESET F0h)	134
10.9.4 モードビットリセット (MBR FFh)	134
10.10 DPD のコマンド	134
10.10.1 ディープパワーダウン開始 (DPD B9h)	134
10.10.2 ディープパワーダウン終了 (RES ABh)	135
11 データの完全性	136
11.1 消去可能回数	136
11.2 データ保持	136
12 電氣的仕様	137

目次

12.1 絶対最大定格	137
12.2 ラッチアップ仕様	137
12.3 熱抵抗	137
12.4 動作範囲	137
12.4.1 電源電圧	137
12.4.2 温度範囲	138
12.4.3 入力信号オーバーシュート	138
12.5 電源投入および電源切断	139
12.6 DC 特性	141
12.6.1 産業用	141
12.6.2 産業用プラス	142
12.6.3 拡張	143
12.6.4 アクティブ電力モードおよびスタンバイ電力モード	143
12.6.5 ディープパワーダウン電力モード (DPD)	144
13 デバイス識別	145
13.1 OTP メモリ空間アドレス マップ	145
13.2 デバイス ID と共通フラッシュ インターフェース (ID-CFI) アドレス マップ – 標準	146
13.2.1 フィールドの定義	146
13.3 シリアル フラッシュ検出可能パラメーター (SFDP) アドレス マップ	153
13.3.1 JEDEC SFDP Rev B ヘッダ テーブル	153
13.3.2 JEDEC SFDP Rev B パラメーター テーブル	156
14 工場出荷時の初期状態	175
15 パッケージ図	176
15.1 SOIC 8 リード, 208 mil 本体幅 (SOC008)	176
15.2 LGA 8 コンタクト 5 x 6 mm (W9A008)	177
15.3 ボールグリッド アレイ 24 ボール 6 x 8 mm (FAB024)	178
16 注文情報	179
16.1 注文製品番号	179
16.2 有効な組合せ – 標準	180
16.3 有効な組合せ – 車載用グレード /AEC-Q100	180
改訂履歴	181
免責事項	182

概要

1 概要

1.1 概要説明

インフィニオン FS-S ファミリのデバイスはフラッシュ不揮発性メモリの製品であり、以下の技術を使用しています。

- MIRRORBIT™ テクノロジ: 各メモリアレイトランジスタに2つのデータビットを格納します。
- Eclipse アーキテクチャ: 劇的にプログラムと消去の性能を向上させます。
- 65 nm プロセス リソグラフィ

FS-S ファミリはシリアルペリフェラルインターフェース (SPI) を介してホストシステムに接続します。従来の SPI シングルビットシリアル入出力 (シングル I/O - SIO) だけでなく、オプションの2ビット (デュアル I/O - DIO) および4ビット幅クアッド I/O (QIO) とクアッドペリフェラルインターフェース (QPI) コマンドにも対応しています。さらに、アドレスと読み出しデータをクロックの両方のエッジで転送する、QIO および QPI 用のダブルデータレート (DDR) 読み出しコマンドに対応しています。

FS-S Eclipse アーキテクチャは1回の動作で最大512バイトをプログラムすることを可能にするページプログラムバッファを特長とし、前世代の SPI プログラムまたは消去アルゴリズムよりも速く効果的なプログラムと消去を実現します。

フラッシュメモリからのコードの直接実行は Execute-In-Place (XIP) と呼ばれています。より高い対応クロックレートで FS-S ファミリデバイスを使用することで、クアッドまたは DDR クアッドコマンドにより、命令読み出し転送速度は従来のパラレルインターフェース、非同期、NOR フラッシュメモリの転送速度以上となり、信号数を著しく減少させています。

FS-S ファミリは高容量に加えて、さまざまなモバイルや組込みアプリケーションに必要な柔軟性および高速処理性能を提供します。それらはスペース、信号接続、電力が限られているシステム向けに優れたソリューションです。それらは RAM へのコードシャドーイング、コードの直接実行 (XIP) および再プログラム可能なデータ保存に理想的です。

1.2 デバイスファミリ移行時の注意事項

1.2.1 機能比較

FS-S ファミリは前世代の FL-S および FL-P ファミリとコマンドサブセットおよびフットプリントの互換性があります。ただし、電源とインターフェース電圧は定格 1.8 V です。

Table 4 インフィニオン SPI ファミリの比較

パラメーター	FS-S	FS-S	FL-S	FL-P
テクノロジ ノード	65 nm	65 nm	65 nm	90 nm
アーキテクチャ	MIRRORBIT™ Eclipse	MIRRORBIT™ Eclipse	MIRRORBIT™ Eclipse	MIRRORBIT™
リリース予定	量産中	2H2015	量産中	量産中
メモリ容量	128 Mb, 256 Mb, 512 Mb	64 Mb	128 Mb, 256 Mb, 512 Mb	32 Mb - 256 Mb
バス幅	x1, x2, x4	x1, x2, x4	x1, x2, x4	x1, x2, x4
電源電圧	1.7 V ~ 2.0 V	1.7 V ~ 2.0 V	2.7 V ~ 3.6 V / 1.65 V ~ 3.6 V V _{IO}	2.7 V ~ 3.6 V
通常読み出し速度 (SDR)	6 MB/s (50 MHz)	6 MB/s (50 MHz)	6 MB/s (50 MHz)	5 MB/s (40 MHz)

注:

1. FL-P 列は FL129P MIO SPI デバイス (128 Mb の容量) を示します。FL128P は MIO, OTP, 4 KB セクタに対応しません。
2. 64 KB セクタ消去オプションは、128 Mb/256 Mb の FL-P, FL-S, FS-S デバイス専用です。
3. 詳細情報は、個別のデータシートを参照してください。

概要

Table 4 インフィニオン SPI ファミリの比較 (continued)

パラメーター	FS-S	FS-S	FL-S	FL-P
高速読み出し速度 (SDR)	16.5 MB/s (133 MHz)	16.5 MB/s (133 MHz)	16.5 MB/s (133 MHz)	13 MB/s (104 MHz)
デュアル読み出し速度 (SDR)	33 MB/s (133 MHz)	33 MB/s (133 MHz)	26 MB/s (104 MHz)	20 MB/s (80 MHz)
クアッド読み出し速度 (SDR)	66 MB/s (133 MHz)	66 MB/s (133 MHz)	52 MB/s (104 MHz)	40 MB/s (80 MHz)
クアッド読み出し速度 (DDR)	80 MB/s (80 MHz)	80 Mb/s (80 MHz)	66 MB/s (66 MHz)	-
プログラムバッファサイズ	256 B/512 B	256 B/512 B	256 B/512 B	256 B
消去セクタサイズ	64 KB/256 KB	64 KB/256 KB	64 KB/256 KB	64 KB/256 KB
パラメーターセクタサイズ	4 KB (オプション)	4 KB (オプション)	4 KB (オプション)	4 KB
セクタ消去速度 (Typ)	500 KB/s	500 KB/s	500 KB/s	130 KB/s
ページプログラム速度 (Typ)	1.0 MB/s (256 B) 1.2 MB/s (512 B)	1.0 MB/s (256 B) 1.2 MB/s (512 B)	1.2 MB/s (256 B) 1.5 MB/s (512 B)	170 KB/s
OTP	1024 B	1024 B	1024 B	506 B
高度セクタ保護	有	有	有	無
自動ブートモード	無	無	有	無
消去一時停止 / 再開	有	有	有	無
プログラム一時停止 / 再開	有	有	有	無
動作温度	-40°C ~ +85°C/ +105°C	-40°C ~ +85°C/ +105°C/+125°C	-40°C ~ +85°C/ +105°C	-40°C ~ +85°C/ +105°C

注:

- FL-P 列は FL129P MIO SPI デバイス (128 Mb の容量) を示します。FL128P は MIO, OTP, 4 KB セクタに対応しません。
- 64 KB セクタ消去オプションは、128 Mb/256 Mb の FL-P, FL-S, FS-S デバイス専用です。
- 詳細情報は、個別のデータシートを参照してください。

1.2.2 前世代との既知の相違

1.2.2.1 エラー報告

保護されたセクタをプログラムまたは消去しようとする場合、FL-K および FL-P メモリはエラー ステータスビットがないか、またはそれらをセットしません。FS-S および FL-S ファミリは、プログラムおよび消去動作のエラー レポート ステータスビットを持っています。プログラムまたは消去に内部エラーが発生したか、または保護されたセクタをプログラム / 消去しようとした場合、これらのビットがセットされます。これらの場合、プログラムや消去動作がコマンドに従って完了していません。P_ERR または E_ERR ビットと WIP ビットは SR1V で 1 にセットされ、1 のままに維持されます。エラーをクリアしデバイスをスタンバイ状態に戻すために、ステータスレジスタ クリア コマンドを送信する必要があります。

1.2.2.2 セキュアシリコン領域 (OTP)

ワンタイム プログラム領域の FS-S サイズとフォーマット (アドレスマップ) は FL-K および FL-P の世代とは異なります。OTP 領域の各部分を保護する方法が異なります。詳細は、[セキュアシリコン領域](#)を参照してください。

概要

1.2.2.3 コンフィギュレーションレジスタのフリーズビット

コンフィギュレーションレジスタ 1 の FREEZE ビット CR1V[0] は前世代と同様にブロック保護ビット (SR1NV[4:2] と SR1V[4:2])、TBPARAM_O ビット (CR1NV[2])、および TBPROT_O ビット (CR1NV[5]) の状態をロックします。FS-S および FL-S ファミリでは、FREEZE ビットはコンフィギュレーションレジスタ 1 の BPNV_O ビット (CR1NV[3]) とセキュアシリコン領域 (OTP) の状態もロックします。

1.2.2.4 セクタ消去コマンド

4 KB セクタを消去するコマンドが、FS-S デバイスのアドレス空間の最上部または最下部の 4 KB パラメーターセクタでのみ使用するために対応されます。

8 KB のエリア (2 つの 4 KB セクタ) を消去するためのコマンドは対応されません。

32 KB のエリア (8 つの 4 KB セクタ) を消去するためのコマンドは対応されません。

ユニフォーム 64 KB セクタのコンフィギュレーション オプションが選択された場合、または 4 KB パラメーターセクタと 64 KB ユニフォームセクタのハイブリッドコンフィギュレーションオプションが使用された場合、FS-S 64 KB セクタ用のセクタ消去コマンド (SE) が対応されます。ハイブリッドオプションが使用された場合、64 KB 消去コマンドは、8 つの 4 KB セクタのグループに隣接した 32 KB アドレス空間を消去するために使用されます。この場合 64 KB 消去コマンドは、4 KB セクタに影響せず、8 つの 4 KB セクタのグループにより部分的に重ねられる 64 KB セクタを消去します。4 KB セクタの消去を強制することなく、32 KB のアドレス空間の消去制御を提供します。FL-S ファミリでの実装と異なる動作です。FL-S ファミリでは、64 KB セクタ消去コマンドは、単一の動作でパラメーターセクタのブロック全体を消去するために、4 KB セクタの 64 KB ブロックに適用できます。FS-S ファミリでは、パラメーターセクタが 64 KB ブロック全体を満たさないため、4 KB パラメーターセクタ消去 (20) のみがパラメーターセクタを消去するために使用されます。

256 KB ユニフォーム論理セクタのコンフィギュレーションオプションが使用された場合、256 KB セクタの消去コマンドは 64 KB 消去コマンドを置き換えます。

1.2.2.5 ディープパワーダウン

ディープパワーダウン (DPD) 機能は FS-S ファミリ デバイスで対応されます。

1.2.2.6 WRR シングルレジスタ書き込み

いくつかのレガシー SPI デバイスでは、1 つのみのデータバイトを持つレジスタ書き込み (WRR) コマンドがステータスレジスタ 1 を更新し、クアッドモードビットを含むコンフィギュレーションレジスタ 1 のいくつかのビットをクリアします。クアッドモードの意図しない終了につながる可能性があります。FS-S ファミリはシングルデータバイトが与えられたとき、ステータスレジスタ 1 だけを更新します。この場合、コンフィギュレーションレジスタ 1 は変更されません。

1.2.2.7 未対応のホールド入力

いくつかのレガシー SPI デバイスでは、IO3 入力はシリアルクロックを停止せずに情報転送を一時停止するために使用される、代替機能としての HOLD# 入力を持っています。FS-S ファミリではこの機能は対応されません。

1.2.2.8 未対応の他のレガシー コマンド

- DDR 高速読み出し
- DDR デュアル I/O 読み出し

1.2.2.9 新機能

FS-S ファミリはインフィニオン SPI カテゴリのメモリに新機能を導入します。

- コアおよび I/O 電圧用の単一 1.8 V 電源
- より速い初期アクセス時間またはより高いクロック レートの読み出しコマンドを可能にする、設定可能な初期読み出しレイテンシ (ダミー サイクル数)
- 命令転送を含むすべての転送が 4 ビット幅の QPI (QPI, 4-4-4) 読み出しモード
- デバイス機能とコンフィギュレーション情報を提供する、JEDEC JESD216 Rev B 準拠のシリアル フラッシュ検出可能パラメーター (SFDP)
- セクタに対する直前の消去が正常に完了したかを判断するための消去ステータス評価コマンドに対応します。コマンドは電力喪失やその他の原因で不完全な消去を検出するために使用されます。これは電力喪失後のファイル システム回復の際にフラッシュファイル システム ソフトウェアに役立ちます。
- 高度セクタ保護 (ASP) の持続的な保護に対応します。また、2 つの ASP 保護モードの一方が選択された場合、すべてのレジスタのすべての OTP コンフィギュレーション ビットはさらなるプログラムから保護されるため、OTP コンフィギュレーション設定は永続的になります。ASP 保護モードを選択しても、OTP アドレス空間が保護されません。OTP アドレス空間を保護するために、FREEZE ビット (CR1V[0]) を使用できます。

マルチ入出力を備えるシリアルペリフェラルインターフェース (SPI-MIO)

2 マルチ入出力を備えるシリアルペリフェラルインターフェース (SPI-MIO)

多くのメモリデバイスは、別々のパラレル制御、アドレスおよびデータ信号でホストシステムに接続し、多数の信号接続とより大きいパッケージサイズを必要とします。接続が多いほど信号スイッチングが多くなるため、消費電力は増加します。パッケージが大きいほどコストは高くなります。

FS-S ファミリはすべての制御、アドレス、およびデータ情報を 6 信号を介して順次転送することで、ホストシステムへの接続に必要な信号数を減らします。これにより、メモリパッケージのコストを削減し、信号スイッチングに必要な電力を削減するほか、ホスト接続数を削減し、その他の機能を使用できるようにホストコネクタを解放します。

FS-S ファミリは業界標準のシングルビットシリアルペリフェラルインターフェース (SPI) を使用し、2 ビット (デュアル) と 4 ビット (クアッド) 幅のシリアル転送用のオプションの拡張コマンドにも対応します。複数の幅インターフェースは SPI マルチ I/O (SPI-MIO) と呼ばれます。

3 ピン配置および信号説明

3.1 8 コネクタ パッケージ

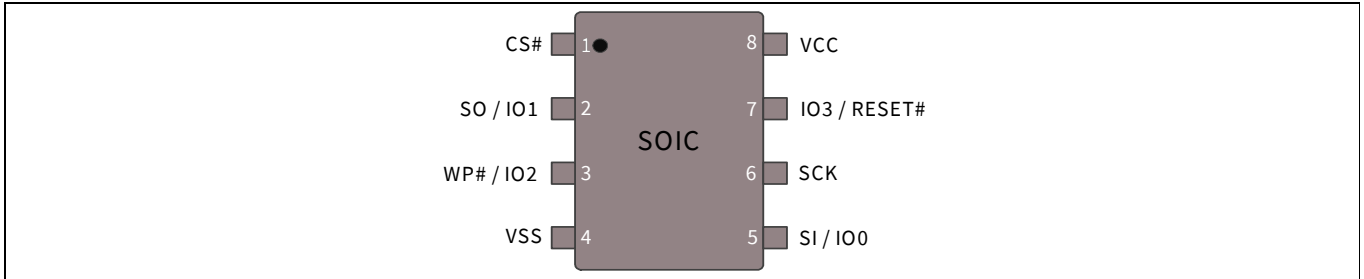


Figure 1 8 ピンプラスチック小型パッケージ (SOIC8)

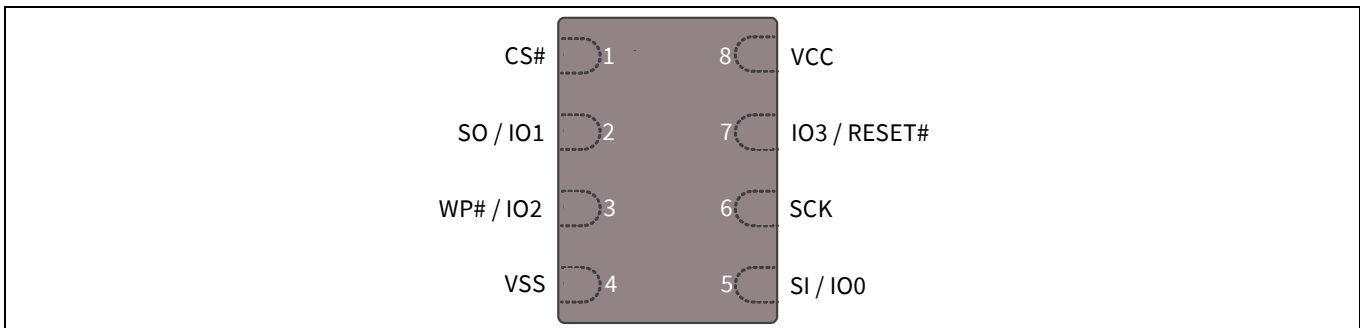


Figure 2 8 パッド LGA 5 x 6 (W9A008), 上面図 [4]

3.1.1 BGA ボール フットプリント

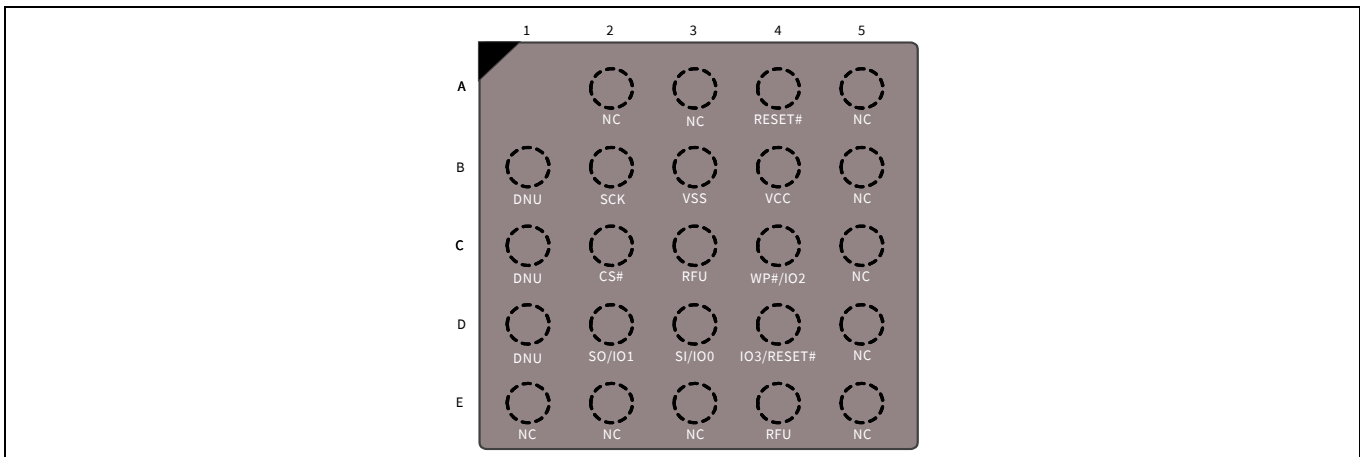


Figure 3 24 ボール BGA, 5 x 5 ボール フットプリント (FAB024), 上面図 [4]

3.2 FBGA パッケージの取扱注意事項

BGA パッケージのフラッシュメモリ デバイスは超音波洗浄にさらされると損傷する場合があります。パッケージ本体を長時間にわたって温度 150°C 以上の環境に放置すると、パッケージならびにデータの完全性が損なわれることがあります。

注:

- RESET# 入力は内部プルアップ抵抗に接続しており、クアッドモードとハードウェアリセットが使用されない場合は開放のままにできます。

3.3 入出力のまとめ

Table 5 信号説明

信号名	タイプ	説明
RESET#	Input	ハードウェアリセット : LOW にすると、デバイスはリセットし、スタンバイ状態に復帰し、コマンドを受け入れられます。信号は内部プルアップ抵抗に接続され、ホストシステムで使用されない場合は開放のままにできます。
SCK	Input	シリアルクロック
CS#	Input	チップセレクト
SI / IO0	I/O	シングルビット データ コマンド用の シリアル入力 、またはデュアル / クアッド コマンド用の IO0 です。
SO / IO1	I/O	シングルビット データ コマンド用の シリアル出力 、またはデュアル / クアッド コマンド用の IO1 です。
WP# / IO2	I/O	クアッド モードでない (CR1V[1]=0, SR1NV[7]=1) の場合は 書き込み保護 です。クアッド モードでない (CR1V[1]=1) の場合は IO2 です。信号は内部プルアップ抵抗に接続され、ホストシステムでクアッド コマンドまたは書き込み保護に使用されない場合は開放のままにできます。SR1NV[7]=1、CR1V[1]=0 にセットすることで書き込み保護を有効にする場合、ホストシステムは WRR または WRAR コマンドの実行中に WP# を HIGH または LOW に駆動する必要があります。
IO3_RESET#	I/O	クアッド I/O モードである (コンフィギュレーションレジスタ 1 の QUAD ビット CR1V[1]=1, d かつ CS# が LOW) の場合は IO3 です。CR2V[5]=1 により有効にされ、クアッド I/O モードでない (CR1V[1]=0) の場合、またはクアッド モード (CR1V[1]=1) で、CS# が HIGH である場合は RESET# です。内部プルアップ抵抗に接続され、ホストシステムでクアッド コマンドまたは RESET# に使用されない場合は、信号は開放のままにできます。
V _{CC}	電源	電源
V _{SS}	電源	グラウンド
NC	未使用	未接続 : デバイスの内部信号はパッケージ コネクタに接続されません。信号にコネクタを使用する計画もありません。接続はプリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。ただし、NC に接続されたすべての信号は電圧レベルが V _{CC} 以下でなければなりません。
RFU	予約済み	将来使用するために予約済み : 現時点ではパッケージ コネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを信号に使用する可能性があります。RFU コネクタを PCB 配線チャンネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。
DNU	予約済み	使用禁止 : デバイスの内部信号がパッケージ コネクタに接続される可能性があります。この接続はインフィニオンによってテスト用または他の目的で使用され、ホストシステムの信号に接続するためのものではありません。DNU 信号が V _{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホストシステムで開放のままにされるか、または V _{SS} に接続できます。これらの接続を PCB 信号配線チャンネルに使用しないでください。ホストシステム信号をこれらの信号に接続しないでください。

注:

- 内部プルアップまたはプルダウン抵抗に接続された入力の消費電流は 2 μ A 未満です。電源投入時のみ、最大電流は 4 μ S の間、150 μ A になります。

3.4 マルチ入出力 (MIO)

従来の SPI シングルビット幅コマンド (シングルまたは SIO) はシリアル入力 (SI) 信号のみで、情報をホストからメモリへ送信します。データはシリアル出力 (SO) 信号でホストへ順次戻されます。

デュアルまたはクアッド入出力 (I/O) コマンドは SI/I00 信号のみで命令をメモリに送信します。アドレスまたはデータは I00 と I01 信号上でビットペア、または I00, I01, I02, I03 信号上で 4 ビット (ニブル) グループでホストからメモリへ送信されます。データは同様に I00 と I01 信号上でビットペア、または I00, I01, I02, I03 信号上で 4 ビット (ニブル) グループでホストへ戻されます。

QPI モードでは、すべての命令、アドレス、およびデータが I00, I01, I02, I03 信号上で 4 ビット (ニブル) グループでホストからメモリへ送信されます。データは同様に I00, I01, I02, I03 信号上で 4 ビット (ニブル) グループでホストへ戻されます。

3.5 シリアルクロック (SCK)

入力信号は SPI インターフェースに同期基準を提供します。命令、アドレス、またはデータ入力は SCK 信号の立ち上がりエッジでラッチされます。データ出力は、SDR コマンドでは SCK の立ち下りエッジの後、DDR コマンドではすべてのエッジの後に変化します。

3.6 チップセレクト (CS#)

チップセレクト信号は、コマンドがデバイスからまたはデバイスへ情報を送信し、その他の信号がメモリデバイスに関与しているときを示します。

CS# 信号が論理 HIGH のとき、デバイスは選択されず、Reset# と IO3_Reset# を除くすべての入力信号は無視され、すべての出力信号は高インピーダンスです。内部の組込み動作がまだ実行中である場合を除き、デバイスはスタンバイ電力モードに入ります。組込み動作は、完了するまで、ステータスレジスタ 1 の「書き込み中」ビット (SR1V[1]) が 1 にセットされることにより示されます。組込み動作の例としてはプログラム、消去、レジスタ書き込み (WRR) 動作があります。

CS# 入力を論理 LOW にすると、デバイスは有効になり、アクティブ電力モードに入ります。電源投入後、あらゆるコマンドが開始する前に CS# 上の立ち下りエッジが必要です。

3.7 シリアル入力 (SI) / I00

入力信号はデータをデバイスに順次転送するために使用されます。命令、アドレスおよびプログラムされるデータを受信します。値はシリアル SCK クロック信号の立ち上がりエッジでラッチされます。

デュアルとクアッドコマンドの実行中に SI は、プログラムされる命令、アドレス、データ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合、SCK の立ち下りエッジで、DDR コマンドの場合、SCK のすべてのエッジで) のための入出力 I/O0 となります。

3.8 シリアル出力 (SO) / IO1

出力信号はデータをデバイスから順次転送するために使用されます。データはシリアル SCK クロック信号の立ち下りエッジでシフトアウトされます。

デュアルとクアッドコマンドの実行中、SO は IO1 となります。アドレスとプログラムされるデータ (シリアル SCK クロック信号の立ち上がりエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下りエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力です。

3.9 書き込み保護 (WP#) / IO2

WP# が LOW (V_{IL}) に駆動されたとき、WRR または WRAR コマンドの実行中、かつステータスレジスタ 1 のステータスレジスタ書き込みディセーブル (SRWD_NV) ビット (SR1NV[7]) が 1 にセットされている間、ステータスレジスタ 1 またはコンフィギュレーションレジスタ 1 に関連するレジスタに書き込みません。この場合、WRR コマンドは無効され、SR1NV, SR1V, CR1NV, または CR1V を選択する WRAR コマンドは無効され、エラーはセットされません。

これにより、ブロック保護設定の変更を防止します。結果として、WRR または WRAR コマンドの実行中、かつ SRWD_NV が 1 にセットされている間、WP# が LOW であれば、ブロック保護機能によって保護されたメモリ領域内のすべてのデータバイトは、変更からハードウェアにより保護されます。

クアッドモードが有効 (CR1V[1]=1) である場合、WP# 機能は使用できません。クアッドモードの間、WP# 機能は IO2 に置き換えられます。アドレスとプログラムされるデータ (SCK 信号の立ち上りエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下りエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力です。

WP# は内部のプルアップ抵抗に接続されます。接続されていないとき、WP# は V_{IH} であり、クアッドモードまたは保護のために使用されない場合、ホストシステムで未接続にされることがあります。

3.10 IO3_RESET#

クアッドモード (CR1V[1]=1) の間、IO3 はアドレスとプログラムされるデータ (SCK 信号の立ち上りエッジでラッチされる値) の受信、およびデータのシフトアウト (SDR コマンドの場合は SCK の立ち下りエッジで、DDR コマンドの場合は SCK のすべてのエッジで) のための入出力に使用されます。

リセット機能が不揮発性コンフィギュレーションレジスタ 2 のビット 5 の書き込み (CR2NV[5]=1) により有効にされた場合、IO3_RESET# 信号はハードウェアリセット機能を開始するために使用できます。デバイスがクアッド I/O モードでない (CR1V[1]=0)、または CS# が HIGH の場合、入力は RESET# としてのみ扱われます。クアッド I/O モードのとき (CR1V[1]=1)、かつデバイスが CS# LOW で選択されている場合、IO3_RESET# は情報転送のために IO3 としてのみ使用されます。CS# が HIGH の場合、IO3_RESET# は情報転送のために使用されず、RESET# 入力として使用されます。クアッドモードの間、CS# HIGH 時のリセット動作を調整することで、リセット機能を有効のままにできます。

システムがリセットの状態に入る場合、CS# 信号はリセットプロセスの一部として HIGH に駆動されなければならない、IO3_RESET# 信号は LOW に駆動されます。CS# が HIGH になったとき、IO3_RESET# 入力は IO3 である状態から RESET# 入力に遷移します。その後、CS# が HIGH のままであり、かつ IO3_RESET# 信号が t_{RP} の間 LOW のままである場合、リセット状態は検出されます。リセットが意図されていない場合、メモリへのデータの転送の終わりに、システムは IO3_RESET# と CS# を HIGH に駆動する必要があります。データをホストシステムへ転送した後、メモリは t_{CS} の間、IO3 を HIGH に駆動します。これにより、IO3/RESET は開放の状態にならず、内部あるいは外部のパッシブプルアップ抵抗によって HIGH にゆっくりプルアップされません。したがって、 t_{RP} が経過する前に IO3_RESET# が HIGH として認識されないことによる意図されないリセットはトリガされません。

リセット機能が無効の場合 (CR2V[5]=0)、IO3_RESET# 信号は使用されません。

IO3_RESET# 信号は内部プルアップ抵抗に接続しており、クアッドモードまたはリセット機能に使用されない場合、ホストシステムで未接続にする場合があります。ホストシステムによる IO3_RESET# 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が IO3_RESET# 信号を HIGH のままに維持します。

1 つの選択したメモリから駆動されているかまたはメモリを駆動している IO3 が、同じ IO3_RESET# 信号を共有している 2 番目の非選択のメモリに対するリセット信号と認識される場合があるため、1 つの SPI-MIO メモリがクアッド I/O モードで動作すれば、IO3_RESET# は 2 つ以上の SPI-MIO メモリにより共有できないことに注意してください。

3.11 RESET#

RESET# 入力は、デバイスをハードウェア的にスタンバイ状態にリセットして、コマンドを受信できるようにします。RESET# が少なくとも t_{RP} の 1 周期で論理 LOW (V_{IL}) に駆動されたとき、デバイスはハードウェアリセットプロセスを開始します。

V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、RESET# 入力はリセット動作を開始し、デバイスはパフオンリセット (POR) と同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なり

ピン配置および信号説明

セットプロセスを実行しません。ハードウェアリセットプロセスを完了するために t_{RPH} を要します。RESET# はいつでも LOW にアサートできます。

RESET# は内部プルアップ抵抗に接続しており、ホストシステムで使用されない場合は開放のままにすることがあります。ホストシステムによる RESET 信号の HIGH 駆動から信号の駆動停止の後、内部プルアップ抵抗が RESET 信号を HIGH のままに維持します。

パッケージオプションによって、RESET# 入力は利用できない場合があります。使用されないとき、デバイスの RESET# 入力は無効な状態にされます。

QIO または QPI モードでないときに RESET# を使用する場合、IO3/RESET# ピンを使用しないでください。

3.12 電源電圧 (V_{CC})

V_{CC} はすべてのデバイスの内部ロジックの電圧ソースです。読み出し、プログラム、および消去を含むデバイスのすべての内部機能に使用される単一の電圧です。

3.13 グランド (V_{SS})

V_{SS} はデバイスコア、入力信号レシーバ、および出力ドライバー用の共通電圧ドレインとグラウンドリファレンス電圧です。

3.14 未接続 (NC)

デバイスの内部信号はパッケージコネクタに接続されません。信号にコネクタを使用する計画もありません。接続はプリント基板 (PCB) 上で信号の配線スペース向けに安全に使用できます。

3.15 将来使用するために予約済み (RFU)

現時点ではパッケージコネクタに接続しているデバイスの内部信号はありませんが、将来コネクタを使用する可能性があります。RFU コネクタを PCB 配線チャンネルに使用しないことを推奨します。それによって、PCB はフットプリントの互換性があるデバイスの将来の拡張機能を活用できます。

3.16 使用禁止 (DNU)

デバイスの内部信号がパッケージコネクタに接続される可能性があります。この接続はインフィニオンによってテスト用または他の目的で使用され、ホストシステムの信号に接続するためのものではありません。DNU 信号が V_{IL} のとき、DNU 信号に関連するすべての機能は無効になります。信号は内部プルダウン抵抗に接続され、ホストシステムで開放のままにされるか、または V_{SS} に接続できます。これらの接続を PCB 信号配線チャンネルに使用しないでください。ホストシステム信号をこれらの信号に接続しないでください。

3.17 システムブロック図

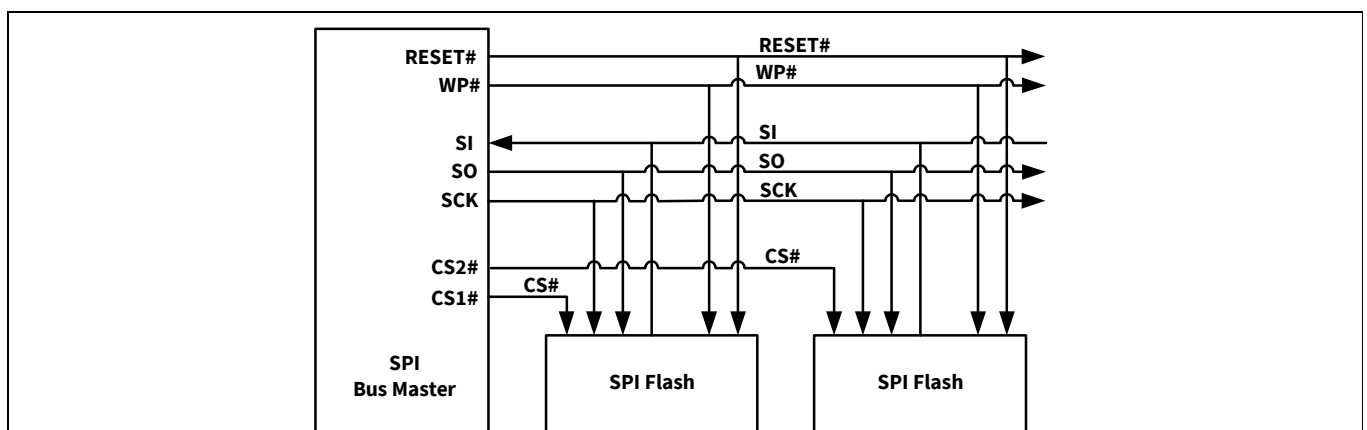


Figure 4 SPI バス上のバス マスターおよびメモリ デバイス - シングルビット データ パス

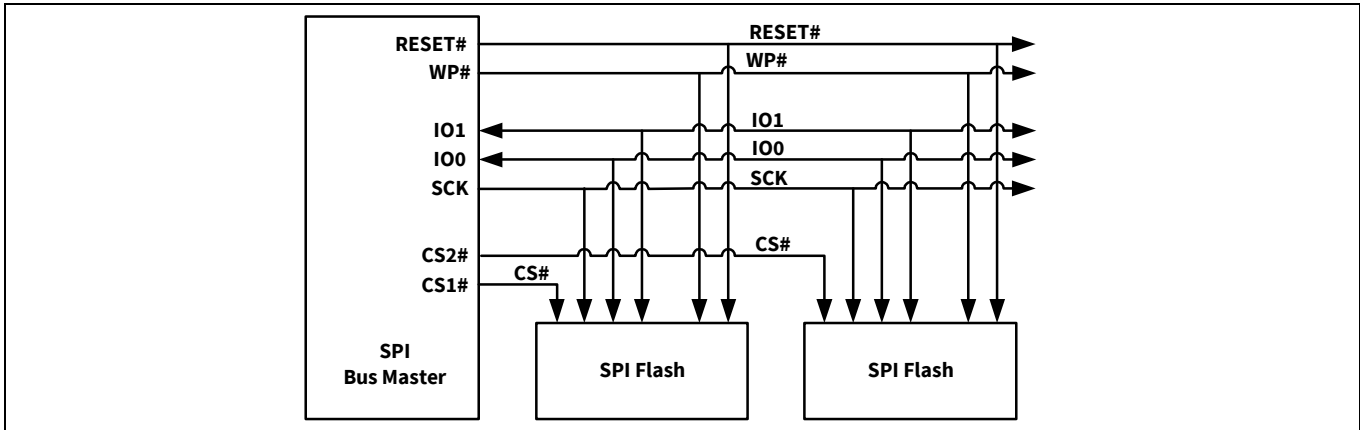


Figure 5 SPIバス上のバス マスターおよびメモリ デバイス - デュアルビット データ パス

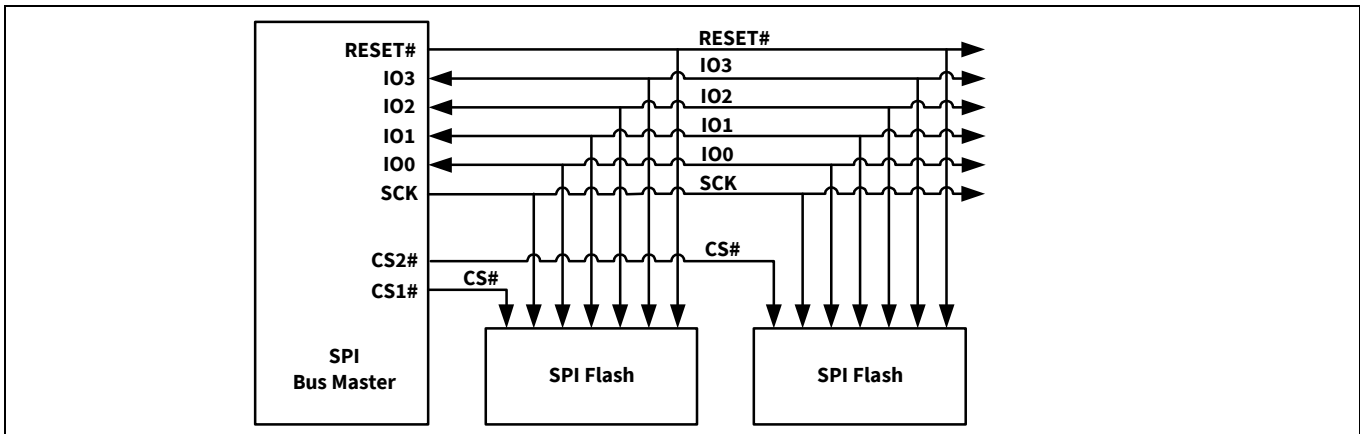


Figure 6 SPIバス上のバス マスターおよびメモリ デバイス - クアッドビット データ パス - 個別 RESET#

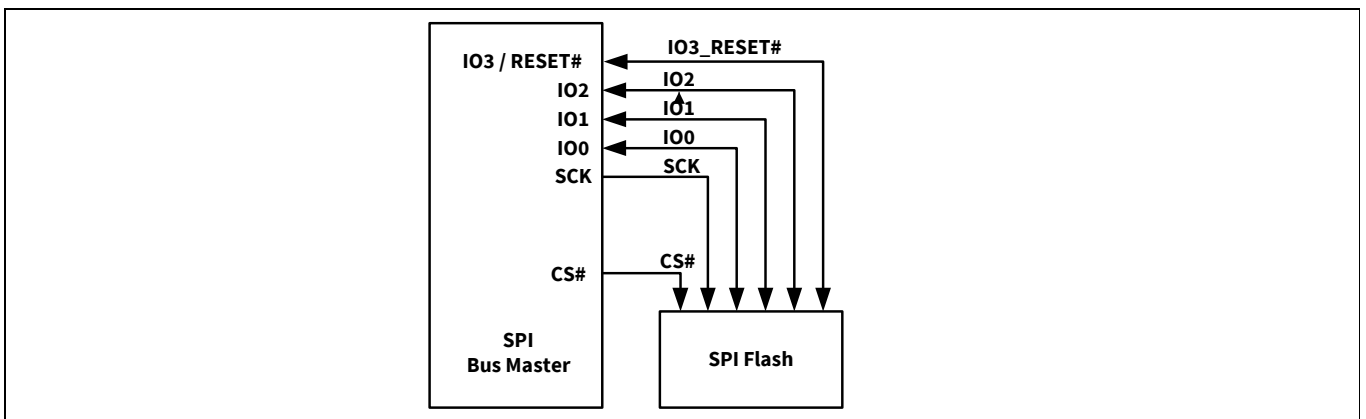


Figure 7 SPIバス上のバス マスターおよびメモリ デバイス - クアッドビット データ パス - IO3_RESET#

4 信号プロトコル

4.1 SPI クロック モード

4.1.1 シングル データ レート (SDR)

FS-S ファミリーは以下の 2 つのクロック モードのどちらかで、組込みマイクロコントローラー (バス マスター) によって駆動されます。

- **モード 0:** クロック極性 (CPOL) = 0、クロック位相 (CPHA) = 0
- **モード 3:** CPOL = 1、CPHA = 1

2 つのモードでは、デバイスへの入力データは常に SCK 信号の立ち上りエッジでラッチされ、出力データは常に SCK クロック信号の立ち下りエッジで得られます。

2 つのモードの異なる点は、バス マスターがスタンバイ モードであり、データを転送しないときのクロック極性です。

- CPOL = 0, CPHA = 0 のとき、SCK は論理 LOW の状態にあります。
- CPOL = 1, CPHA = 1 のとき、SCK は論理 HIGH の状態にあります。

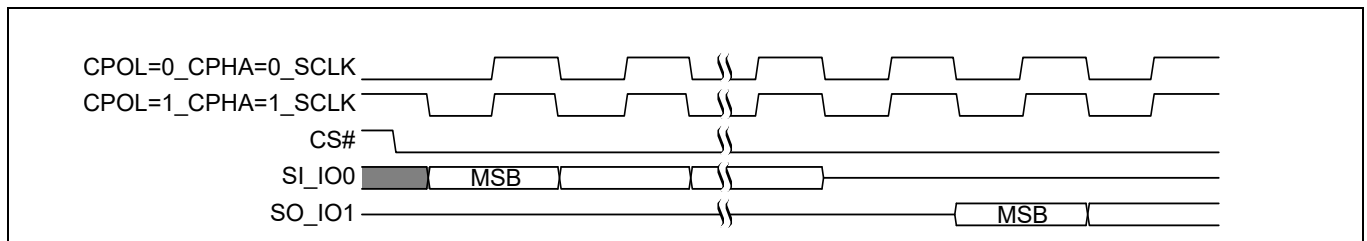


Figure 8 対応の SPI SDR モード

この文書の以降のタイミング図は、CS# の立ち下りのときに SCK が HIGH と LOW の両方として表示することにより、一般的にモード 0 とモード 3 の両方として示されます。場合によっては、タイミング図はモード 0 (CS# の立ち下り時に SCK が LOW) のみを示します。その場合において、モード 3 のタイミングは単に CS# の立ち下りのときにクロックが HIGH であることを意味し、CS# の立ち下りエッジまでの SCK の立ち上りエッジのセットアップまたはホールド時間はモード 3 に必要がありません。

SCK サイクルは SCK の 1 つの立ち下りエッジから次の立ち下りエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下りエッジから SCK の最初の立ち下りエッジまで測定されます。

4.1.2 ダブル データ レート (DDR)

モード 0 とモード 3 は DDR コマンドにも対応します。SDR コマンドと同様に DDR コマンドでは、命令ビットは常にクロックの立ち上りエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下りエッジの両方でラッチされます。最初のアドレスビットは、直前の命令ビットの終わりの立ち下りエッジの後に続く SCK の最初の立ち上りエッジでラッチされます。出力データの最初のビットは、直前のアクセスレイテンシ (ダミー) サイクルの最後の立ち下りエッジで駆動されます。

SDR コマンドと同様に、SCK サイクルは SCK の 1 つの立ち下りエッジから次の立ち下りエッジまで測定 (カウント) されます。モード 0 では、SCK がコマンドの開始時にすでに LOW であるため、コマンドの最初の SCK サイクルの始まりは CS# の立ち下りエッジから SCK の最初の立ち下りエッジまで測定されません。

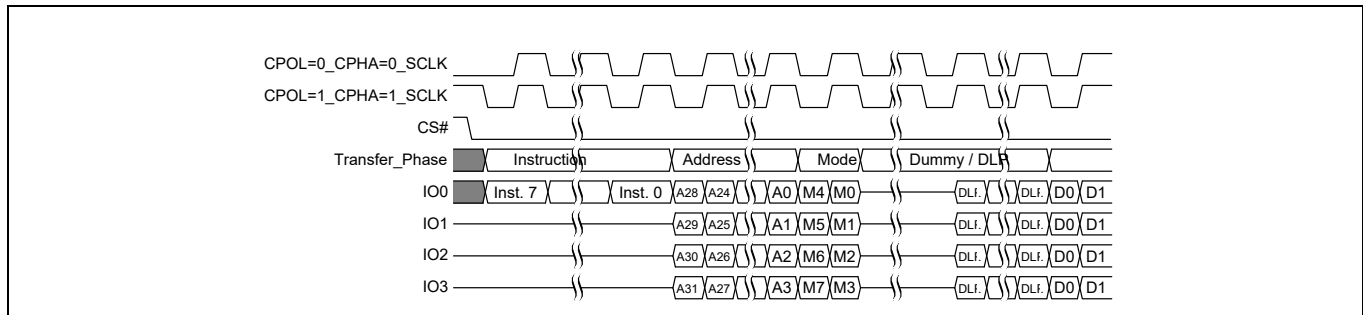


Figure 9 対応の SPI DDR モード

4.2 コマンド プロトコル

ホストシステムと FS-S ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。

すべてのコマンドは、情報転送のタイプ、または実行するデバイスの動作を選択する 8 ビットの命令で始まります。コマンドには、アドレス、命令修飾子、レイテンシ周期、メモリへのデータ転送、またはメモリからのデータ転送もあります。すべての命令、アドレス、およびデータ情報はホストシステムとメモリデバイスの間で順次に転送されます。

コマンド プロトコルは、下記 3 つのコマンド フェーズの転送幅を示すために 3 つの番号を使用する数値命名により分類されます。

- 命令
- アドレスおよび命令修飾子 (連続読み出しモードビット)
- データ

シングルビット幅コマンドは命令で開始し、SI 信号のみで送信されるアドレスまたはデータを提供します。データは SO 信号でホストへ順次戻されることがあります。シングルビット幅命令、シングルビット幅アドレスおよび修飾子、シングルビット データ用の 1-1-1 コマンド プロトコルと呼ばれます。

デュアル出力またはクアッド出力のコマンドは SI (IO0) 上でシリアルとしてホストから送信されるアドレスを提供してから、ダミーサイクルを提供します。データは IO0 と IO1 信号上でビットペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル出力用の 1-1-2 コマンド プロトコル、またはクアッド出力用の 1-1-4 コマンド プロトコルと呼ばれます。

デュアルまたはクアッド入出力 (I/O) コマンドは、IO0 と IO1 信号上でビットペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループとしてホストから送信されるアドレスを提供します。データは同様に IO0 と IO1 信号上でビットペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル I/O 用の 1-2-2 コマンド プロトコル、またはクアッド I/O 用の 1-4-4 コマンド プロトコルと呼ばれます。

FS-S ファミリは、命令、アドレス、修飾子、およびデータを含み、すべての情報が 4 ビットの幅で転送される QPI モードにも対応します。4-4-4 コマンド プロトコルと呼ばれます。

コマンドは下記のとおり構成されます。

- 各コマンドは CS# が LOW になることで開始され、CS# が HIGH に戻ることで終了されます。メモリ デバイスはホストがコマンドをとおしてチップセレクト (CS#) 信号を LOW に駆動することで選択されます。
- シリアルクロック (SCK) はホストとメモリの間の各ビットまたは各ビットグループの転送を示します。
- 各コマンドは 8 ビット (バイト) の命令で始まります。命令は、情報転送のタイプ、または実行するデバイスの動作を選択します。命令の転送は SCK の立ち上りエッジで実行されます。ただし、いくつかの読み出しコマンドは、命令が前のコマンドから黙示的に示されるように、前の読み出しコマンドにより修正されます。連続読み出しモードと呼ばれます。デバイスが連続読み出しモードにあるとき、命令は連続読み出しモードを開始した読み出しコマンドと同じであるため、命令ビットはコマンドの始まりには送信されません。連続読み出しモードでは、コマンドは読み出しアドレスで開始されます。したがって、連続読み出しモードは一連の同じタイプの読み出しコマンドの各読み出しコマンドから 8 命令ビットを取り除きます。

信号プロトコル

- 命令は単独であるか、またはその後にデバイスの1つのアドレス空間内の位置を選択するアドレスビットが続きます。命令は使用されるアドレス空間を決定します。アドレスは24ビットまたは32ビットのバイト境界アドレスです。アドレス転送はSDRコマンドではSCKの立ち上りエッジで、DDRコマンドではSCKの両エッジで実行されます。
- レガシー SPI モードでは、命令の後に続くすべての転送の幅は送信される命令により決められます。その次の転送はSIあるいはシリアル出力(SO)信号のみでのシングルビットシリアル転送であり続けるか、IO0とIO1信号上の1回の(デュアル)転送あたりに2ビットグループで、またはIO0～IO3信号上の1回の(クアッド)転送あたりに4ビットグループで実行されます。デュアルまたはクアッドのグループでは、最下位ビットはIO0信号上にあります。そのビットに比べて上位である各ビットはより高い番号付きのIO信号に有意の順序で(上位から下位へ)配置されます。シングルビットまたはパラレルビットグループは最上位ビットから最下位ビットまでの順で転送されます。
- QPI モードでは、すべての転送の幅はIO0～IO3信号上の4ビット幅(クアッド)転送です。
- デュアルとクアッド I/O 読み出し命令は、次のコマンドが黙示の命令(明示的な命令でなく)と同じタイプであるかどうかを示すために、アドレスの後に、連続読み出しモードビットと呼ばれる命令修飾子を送信します。モードビットは連続読み出しモードを開始させるか、または終了させます。そのため、連続読み出しモードでは、次のコマンドは命令のバイトを提供せずに新しいアドレスおよびモードビットのみを提供します。これにより、一連のコマンドで同じタイプのコマンドが繰り返された場合、各コマンドの送信に必要な時間を削減できます。モードビットの転送はSDRコマンドの場合、SCKの立ち上りエッジで行われ、DDRコマンドの場合、すべてのSCKエッジで行われます。
- アドレスまたはモードビットの後、メモリデバイスに保存される書き込みデータが続く場合もあり、または読み出しデータがホストに戻される前に読み出しレイテンシ期間が続く場合もあります。
- 書き込みデータビットの転送はSDRコマンドの場合、SCKの立ち上りエッジで行われ、DDRコマンドの場合、すべてのSCKエッジで行われます。
- SCKはすべての読み出しアクセスレイテンシ期間中は継続的にトグルします。レイテンシは0から数個のSCKサイクルです(ダミーサイクルとも呼ばれています)。最後の読み出しレイテンシサイクルの終わりに、最初の読み出しデータビットがSCK立ち下りエッジで出力から駆動されます。最初の読み出しデータビットは次のSCK立ち上りエッジでホストへ転送されるものと見なされます。その次の転送はSDRコマンドの場合、次のSCKの立ち上りエッジで行われ、DDRコマンドの場合、すべてのSCKエッジで行われます。
- コマンドが読み出しデータをホストへ戻す場合、デバイスはホストがCS#信号をHIGHにするまで、継続的にデータを送信します。CS#信号は読み出しデータシーケンスの任意の転送の後、HIGHに駆動できます。これにより、コマンドは終了します。
- データを戻さないコマンドの終わりに、ホストはCS#入力をHIGHに駆動します。CS#信号はスタンドアロン命令または転送される最後の書き込みデータバイトの8ビット目の転送後にHIGHにしなければなりません。すなわち、CS#信号をHIGHに駆動するのはLOWに駆動された後のビット数が8ビットの整数倍となる場合に限りです。CS#信号が命令または書き込みデータの8ビット境界できっかりにHIGHにならない場合、コマンドは拒否され、実行されません。
- すべての命令、アドレス、およびモードビットは最上位ビット(MSB)からデバイスにシフトインされます。データビットは、デバイスのシフトイン/シフトアウトはMSBから行われます。すべてのデータ転送はバイトの単位で、最下位アドレスバイトから行われます。その次のデータバイトは最下位アドレスバイトから最上位アドレスバイトまで(すなわち、バイトアドレスインクリメント)の順序で送信されます。
- プログラム、消去、または書き込みサイクル(組込み動作)中に、フラッシュメモリアレイを読み出そうとすると無視されます。組込み動作は何の影響も受けず、実行が継続されます。組込み動作中、ご制限されたコマンドセットは受け入れられます。各々のコマンド説明で記述します。
- コマンドによって実行時間が異なります。いつコマンドの実行が完了したか、およびコマンドが正常に完了したかどうかを判断するために、実行中のコマンドからステータス情報を読み出すコマンドが使用できます。

4.2.1 コマンドシーケンス例

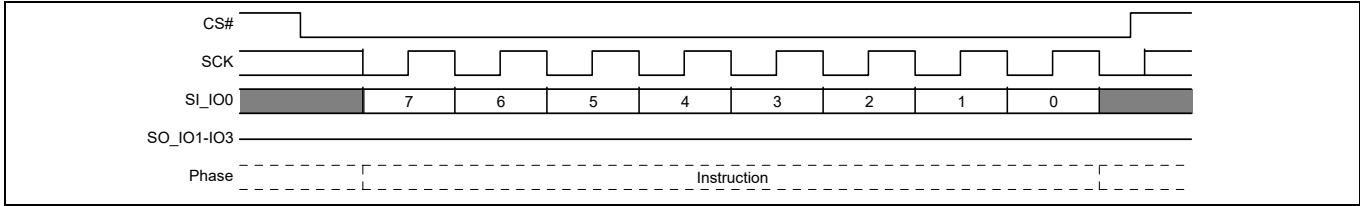


Figure 10 スタンドアロン命令コマンド

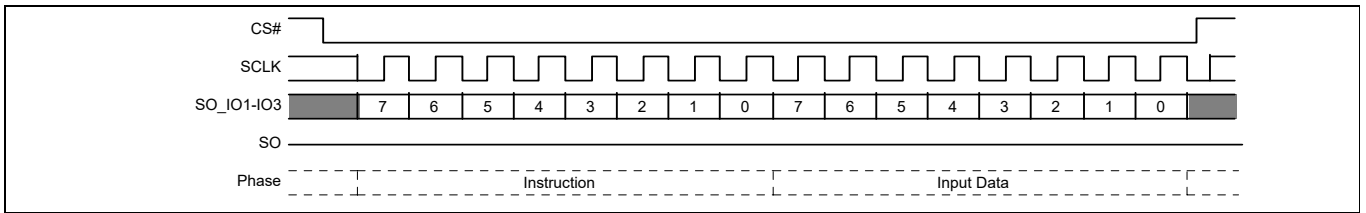


Figure 11 シングルビット幅の入力コマンド

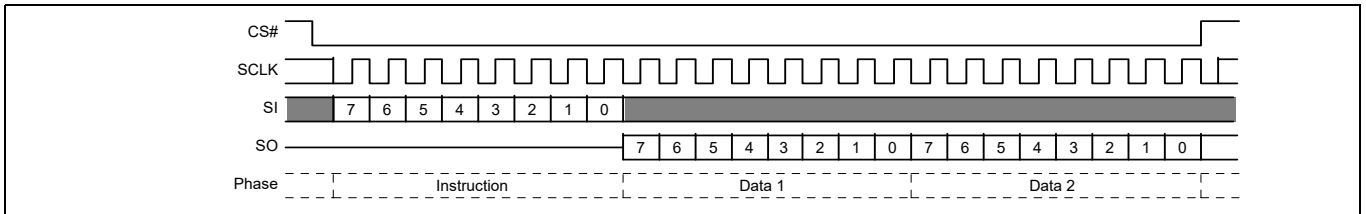


Figure 12 レイテンシなしのシングルビット幅の出力コマンド

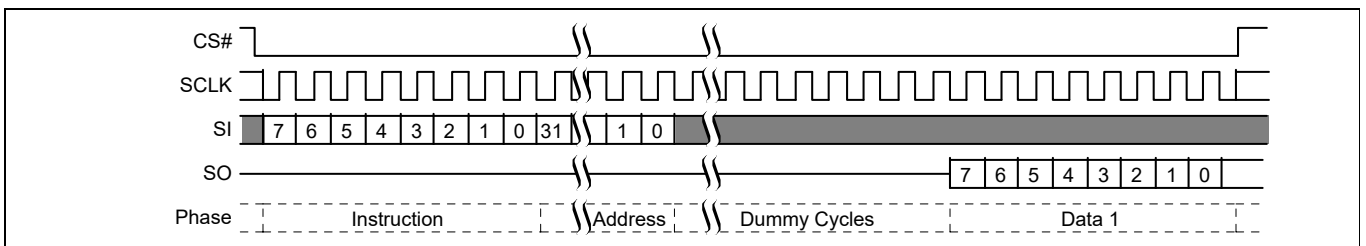


Figure 13 レイテンシありのシングルビット幅の I/O コマンド

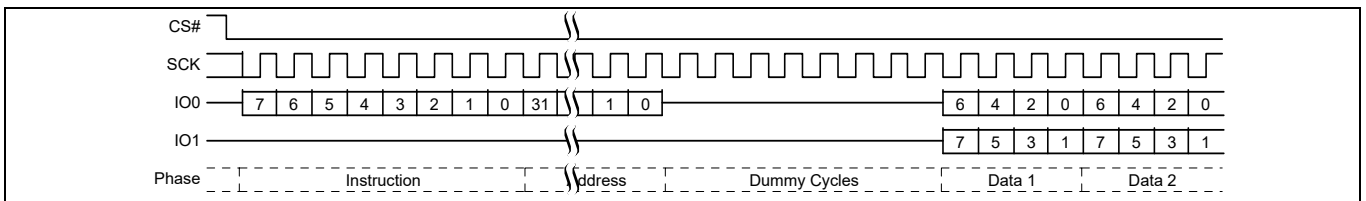


Figure 14 デュアル出力の読み出しコマンド

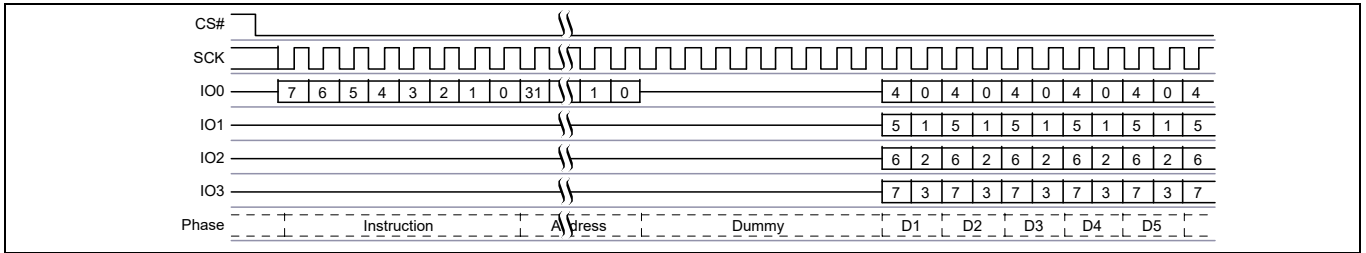


Figure 15 クアッド出力の読み出しコマンド

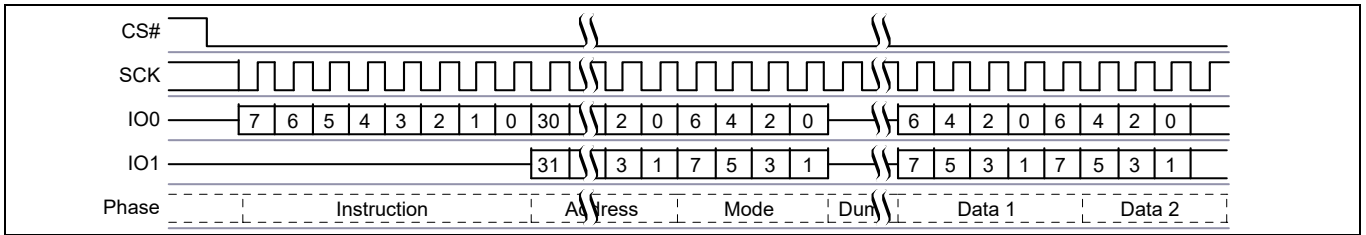


Figure 16 デュアル I/O コマンド

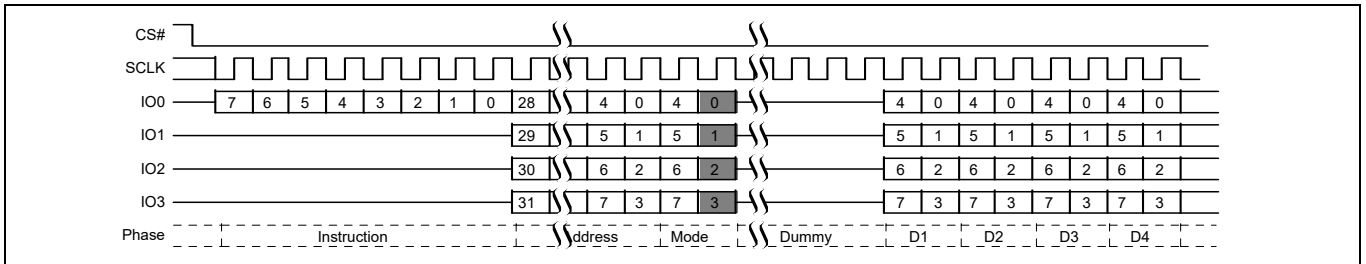


Figure 17 クアッド I/O コマンド [6]

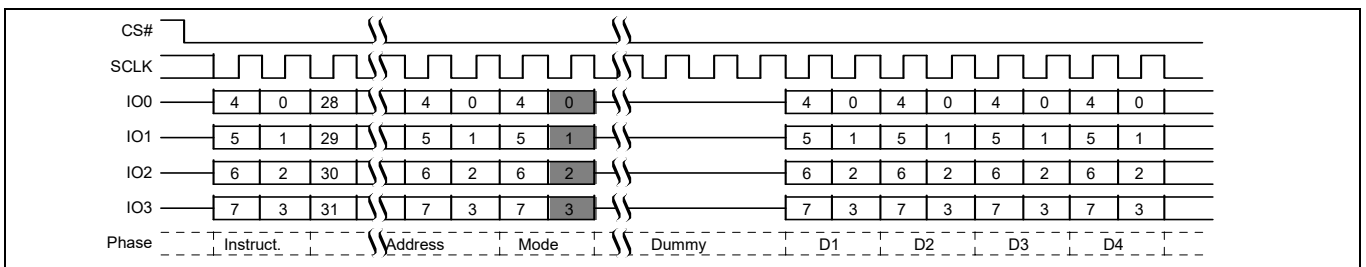


Figure 18 クアッド I/O 読み出しコマンド - QPI モード [6]

注:

- 6. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

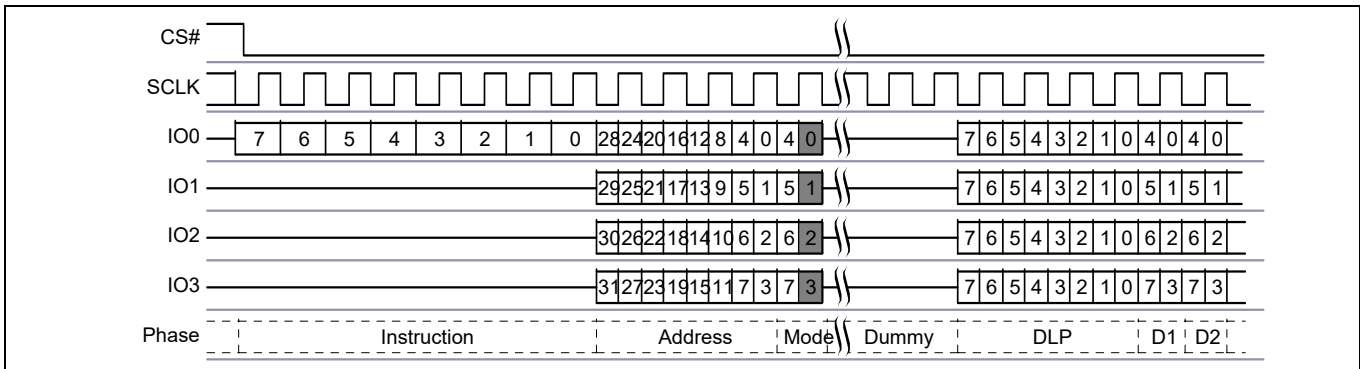


Figure 19 DDR クアッド I/O 読み出しコマンド [7]

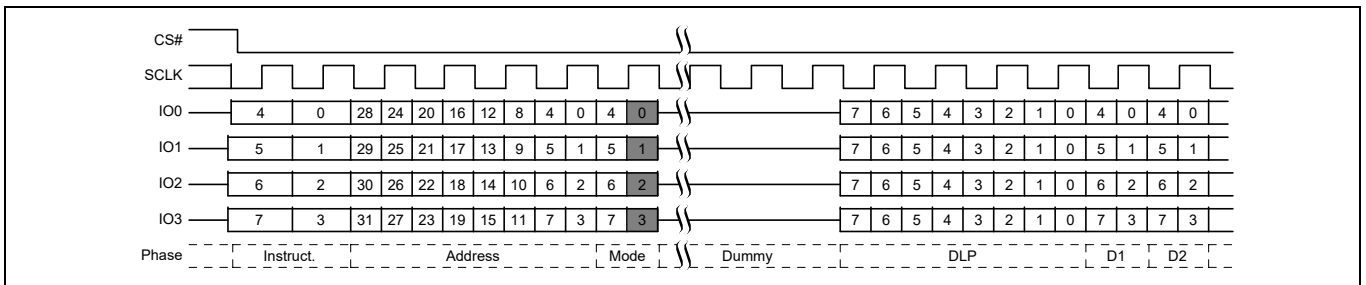


Figure 20 DDR クアッド I/O 読み出しコマンド - QPI モード [7]

各コマンド特定の更なるシーケンス図はコマンドで記述されます。

注:

- 7. 灰色のビットはオプションのビットであり、ホストはそのサイクル中にそれらのビットを駆動する必要がありません。

4.3 インターフェース状態

ここでは、SPI インターフェース動作に関連する入力と出力の信号レベルについて説明します。

Table 6 インターフェース状態のまとめ

インターフェース状態	V _{CC}	SCK	CS#	RESET#	IO3_ RESET#	WP#/ IO2	SO/ IO1	SI/ IO0
電源切断	<V _{CC} (low)	X	X	X	X	X	X	X
低消費電力 ハードウェア データ保護	<V _{CC} (cut-off)	X	X	X	X	X	Z	X
パワーオン (コールド) リセット	≥V _{CC} (min)	X	HH	X	X	X	Z	X
ハードウェア (ウォーム) リセット, 非クアッドモード	≥V _{CC} (min)	X	X	HL	HL	X	Z	X
ハードウェア (ウォーム) リセット, クアッドモード	≥V _{CC} (min)	X	HH	HL	HL	X	Z	X
インターフェーススタンバイ	≥V _{CC} (min)	X	HH	HH	X	X	Z	X
命令サイクル (レガシー SPI)	≥V _{CC} (min)	HT	HL	HH	HH	HV	Z	HV
シングル入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	Z	HV
シングルレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	HH	X	Z	X
シングル出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	MV	X
デュアル入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	HV	HV
デュアルレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	HH	X	X	X
デュアル出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	HH	X	MV	MV
クアッド入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HV	HV	HV	HV
クアッドレイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	X	X	X	X
クアッド出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	MV	MV	MV	MV
DDR クアッド入力サイクル ホストからメモリへの転送	≥V _{CC} (min)	HT	HL	HH	HV	HV	HV	HV
DDR レイテンシ (ダミー) サイクル	≥V _{CC} (min)	HT	HL	HH	MV または Z	MV または Z	MV または Z	MV または Z
DDR クアッド出力サイクル メモリからホストへの転送	≥V _{CC} (min)	HT	HL	HH	MV	MV	MV	MV

凡例:

Z = ドライバーなし - 開放信号

HL = ホスト駆動 V_{IL}

HH = ホスト駆動 V_{IH}

HV = HL または HH

X = HL または HH または Z

HT = HL と HH の間のトグル

ML = メモリ駆動 V_{IL}

MH = メモリ駆動 V_{IH}

MV = ML または MH

4.3.1 V_{CC} 電源切断

コア電源電圧が $V_{CC(Low)}$ 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できないようにされます。

4.3.2 低消費電力のハードウェア データ保護

V_{CC} が $V_{CC(Cut-off)}$ を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリ デバイスはコマンドを無視します。

4.3.3 パワーオン(コールド)リセット

コア電源電圧が t_{PD} 時間以上で $V_{CC(Low)}$ 電圧以下に維持してから $V_{CC(Minimum)}$ 以上に上がった場合、デバイスはパワーオンリセット (POR) プロセスを開始します。 t_{PU} の終わりまで POR は続きます。 t_{PU} 期間中に、デバイスは外部入力信号に反応せず、出力も駆動しません。 t_{PU} が経過した後、デバイスはインターフェーススタンバイ状態に移行して、コマンドを受け入れられるようになります。 POR の詳細については、[パワーオン\(コールド\)リセット](#)を参照してください。

4.3.4 ハードウェア(ウォーム)リセット

デバイスがクアッドモードまたは QPI モードにないとき、またはクアッドモードまたは QPI モードにありかつ CS# が HIGH のとき、IO3_RESET# をハードウェアリセット入力として使用できるようにするための設定オプションが提供されます。クアッドモードおよび QPI モードでは、いくつかのパッケージで別のリセット入力提供されます (RESET#)。IO3_RESET# または RESET# を t_{RP} 時間 LOW にした後、デバイスはハードウェアリセットのプロセスを開始します。プロセスは t_{RPH} 時間続きます。 t_{RPH} と、RESET# の立ち上りの後に続くリセットホールド時間 (t_{RH}) が両方とも経過した後、デバイスはインターフェーススタンバイ状態に移行して、コマンドを受け入れられます。ハードウェアリセットの詳細は [RESET# および IO3_RESET# 入力により開始されるハードウェア\(ウォーム\)リセット](#)を参照してください。

4.3.5 インターフェーススタンバイ

CS# が HIGH であるとき、SPI インターフェースはスタンバイ状態になります。RESET# 以外の入力は無視されます。インターフェースは新しいコマンドの開始を待ちます。CS# が新しいコマンドを開始するために LOW になるとき、次のインターフェース状態は命令サイクルです。

インターフェーススタンバイ状態の間、進行中の組込みアルゴリズムがない場合、メモリ デバイスはスタンバイ電流 (I_{SB}) を消費します。進行中の組込みアルゴリズムがある場合、対応する電流はアルゴリズムが終了するまで消費されます。その後、デバイス全体の消費電流はスタンバイ電流に戻ります。

ディープパワーダウン (DPD) モードは FS-S ファミリーデバイスで対応されます。DPD (B9h) コマンドでデバイスが DPD モードになるとき、インターフェーススタンバイ電流は I_{DPD} です。DPD コマンドは、デバイスが組込みアルゴリズムを実行していない (要するに揮発性ステータスレジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる (SR1V[0]=0)) ときのみ受け入れられます。DPD モードでは、 t_{RES} の遅延期間が経過した後デバイスをインターフェーススタンバイ状態に復帰させる DPD 終了 (RESABh) コマンド以外、デバイスはすべてのコマンドを無視します。

4.3.6 命令サイクル(レガシー SPI モード)

ホストが命令の MSB を駆動し、かつ CS# が LOW になると、SCK の次の立ち上りエッジでデバイスは新しいコマンドを開始する命令の MSB を取り込みます。SCK の各々の次の立ち上りエッジでデバイスは、8 ビット命令の次の下位ビットを取り込みます。ホストは CS# を LOW に維持し、書き込み保護 (WP#) と IO3_RESET#/RESET# 信号を命令の必要に応じて駆動します。しかし、WP# は、WRR, WRAR コマンド、またはステータスレジスタ、コンフィギュレーションレジスタ、および DLR レジスタに影響を与える他のコマンドの命令サイクル中にも有効です。それ以外では無視されます。デバイスがクアッドモードでもなく (CR1V[1]=0)、QPI モードでもない (CR2V[3]=0)、かつハードウェアリセットが不要なとき、IO3_RESET# は HIGH に駆動されます。

各命令は、操作するアドレス空間と、コマンドの残りで使用する転送フォーマットを選択します。転送フォーマットは、シングル、デュアル出力、クアッド出力、デュアル I/O、クアッド I/O、または DDR クアッド I/O です。起こりうる次のインターフェース状態は、受け取った命令によって異なります。

いくつかの命令はスタンドアロンであり、メモリへまたはメモリからのアドレスまたはデータ転送を必要としません。ホストはこのようなコマンドでの命令の 8 番目のビットのための SCK の立ち上りエッジ後に CS# を HIGH に戻します。この場合、次のインターフェース状態はインターフェーススタンバイです。

4.3.7 命令サイクル (QPI モード)

QPI モードでは、CR2V[6]=0 のとき、命令は 1 サイクルごとに 4 ビット転送されます。このモードでは、命令サイクルはクアッド出力サイクルと同様です。クアッド入力サイクルーホストからメモリへの転送を参照してください。

4.3.8 シングル入力サイクルーホストからメモリへの転送

いくつかのコマンドは、シングルシリアル入力 (SI) 信号上で命令の後に情報をホストからメモリデバイスに転送します。ホストは RESET# を HIGH に、CS# を LOW に維持し、コマンドの必要に応じて SI を駆動します。メモリはシリアル出力 (SO) 信号を駆動しません。

予期される次のインターフェース状態は、命令によって異なります。いくつかの命令は、追加のシングル入力サイクルを使用して、メモリにアドレスまたはデータを送信し続けます。他の命令はシングルレイテンシ状態に遷移するか、またはシングル、デュアル、クアッドの出力サイクル状態に直接遷移します。

4.3.9 シングルレイテンシ (ダミー) サイクル

読み出しコマンドは、0~数レイテンシサイクルがあります。それらのサイクルの間、読み出しデータはメインフラッシュメモリアレイから読み出されてから、ホストに転送されます。レイテンシサイクル数は、コンフィギュレーションレジスタ内のレイテンシコード (CR3V[3:0]) によって決まります。レイテンシサイクル中に、ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルします。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI 信号を駆動するか、または SI を開放のままにします。メモリは、レイテンシサイクル中に SI またはその他の I/O 信号上で駆動するデータを使用しません。レイテンシサイクル中にメモリはシリアル出力 (SI) または I/O 信号を駆動しません。

次のインターフェース状態はコマンドの構造 (すなわち、レイテンシサイクル数、および読み出しがシングル、デュアル、またはクアッド幅であるか) によって異なります。

4.3.10 シングル出力サイクルーメモリからホストへの転送

いくつかのコマンドは、シングルシリアル出力 (SO) 信号上でホストに情報を送り返します。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。メモリはシリアル入力 (SI) 信号を無視します。メモリはデータを SO に駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はシングル出力サイクルのままです。

4.3.11 デュアル入力サイクルーホストからメモリへの転送

デュアル I/O 読み出しコマンドは、各サイクルで 2 つのアドレスまたはモードビットをメモリに転送します。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。ホストは、SI/IO0 および SO/IO1 の上でアドレスを駆動します。

アドレスおよびモードビットの送信後の次のインターフェース状態は、レイテンシサイクルが必要であればデュアルレイテンシサイクルであり、レイテンシが必要でなければデュアル出力サイクルです。

4.3.12 デュアルレイテンシ (ダミー) サイクル

読み出しコマンドは、0~数レイテンシサイクルがあります。それらのサイクルの間、読み出しデータはメインフラッシュメモリアレイから読み出されてから、ホストに転送されます。レイテンシサイクル数は、コンフィギュレーションレジスタ (CR3V[3:0]) 内のレイテンシコードによって決まります。レイテンシサイクル中に、ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、SCK はトグルし続けます。書き込み保護 (WP#) 信号は無視されます。ホストは、これらのサイクル中に SI/IO0 および SO/IO1 信号を駆動するか、または SI/IO0 および SO/IO1 を開放のままにします。メモリは、レイテンシサイクル中に SI/IO0 および SO/IO1 上で駆動されるいかなるデータも使用しません。ホストは、最後のレイテンシサイクルの終了時に SCK の立ち下りエッジで SI/IO0 および SO/IO1 の駆動を停止する必要があります。メモリがレイテンシサイクルが終了後駆動を開始する前に、ホストドライバーがオフになるの

に十分な時間を持つように、ホストがすべてのレイテンシサイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。メモリは、レイテンシサイクル中に SI/I00 および SO/I01 信号を駆動しません。

最後のレイテンシサイクルの後に続く次のインターフェース状態はデュアル出力サイクルです。

4.3.13 デュアル出力サイクル – メモリからホストへの転送

デュアル出力読み出しとデュアル I/O 読み出しは、各サイクルごとに 2 データビットをホストに戻します。ホストは、RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持します。書き込み保護 (WP#) 信号は無視されます。デュアル出力サイクル中に、メモリは SCK の立ち下りエッジで SI/I00 および SO/I01 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はデュアル出力サイクルのままです。

4.3.14 QPP または QOR アドレス入力サイクル

クアッド ページ プログラム および クアッド 出力読み出し コマンドは I00 上でのみ、メモリにアドレスを送信します。他の IO 信号は無視されます。ホストは RESET# と IO3_RESET# を HIGH に、CS# を LOW に維持し、I00 を駆動します。

QPP の場合、アドレス送信後の次のインターフェース状態はクアッド入力サイクルです。QOR の場合、アドレス送信後の次のインターフェース状態は、レイテンシサイクルが必要であればクアッド レイテンシサイクルであり、レイテンシが必要でなければクアッド出力サイクルです。

4.3.15 クアッド入力サイクル – ホストからメモリへの転送

クアッド I/O 読み出し コマンドは、各サイクルで 4 つのアドレスまたはモード ビットをメモリに転送します。QPI モードでは、クアッド I/O 読み出しとページ プログラム コマンドは、命令サイクルを含む各サイクルでメモリに 4 データ ビットを転送します。ホストは CS# を LOW に維持し、IO 信号を駆動します。

クアッド I/O 読み出しの場合、アドレスおよびモード ビットの送信後の次のインターフェース状態は、レイテンシサイクルが必要であればクアッド レイテンシサイクルであり、レイテンシが必要でなければクアッド出力サイクルです。QPI モード ページ プログラム の場合、ホストはプログラムされるデータの送信後に CS# を HIGH に戻し、インターフェースはスタンバイ状態に戻ります。

4.3.16 クアッド レイテンシ (ダミー) サイクル

読み出し コマンドは、0 ~ 数レイテンシサイクルがあります。それらのサイクルの間、読み出しデータはメインフラッシュメモリ アレイから読み出されてからホストに転送されます。レイテンシサイクル数は、コンフィギュレーションレジスタ (CR3V[3:0]) 内のレイテンシコードによって決まります。レイテンシサイクル中に、ホストは CS# を LOW に維持し、SCK をトグルし続けます。ホストはこれらのサイクル中に IO 信号を駆動するか、または IO を開放のままにします。メモリはレイテンシサイクル中に IO 上で駆動されるいかなるデータも使用しません。ホストは最後のレイテンシサイクルの終了時に立ち下りエッジでの IO 信号の駆動を停止する必要があります。メモリがレイテンシサイクルの終了時に駆動を開始する前に、ホストドライバーにオフになるのに十分な時間を持たせるために、ホストがすべてのレイテンシサイクルでそれらの信号の駆動を停止することが推奨されます。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。レイテンシサイクル中にメモリは IO 信号を駆動しません。

最後のレイテンシサイクルの次のインターフェース状態はクアッド出力サイクルです。

4.3.17 クアッド出力サイクル – メモリからホストへの転送

クアッド出力とクアッド I/O 読み出しは、各サイクルごとに 4 データビットをホストに戻します。ホストは CS# を LOW に維持します。メモリはクアッド出力サイクル中に I00 ~ I03 信号上でデータを駆動します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態はクアッド出力サイクルのままです。

4.3.18 DDR クアッド入力サイクル – ホストからメモリへの転送

DDR クアッド I/O 読み出しコマンドは、すべての IO 信号上でアドレスおよびモードビットをメモリに送信します。各サイクルで 4 ビットは SCK の立ち上がりエッジで、4 ビットは立ち下りエッジで転送されます。ホストは CS# を LOW に維持します。

アドレスとモードビットの送信後の次のインターフェース状態は DDR レイテンシ サイクルです。

4.3.19 DDR レイテンシ サイクル

DDR 読み出しコマンドは、1～数レイテンシ サイクルがあります。それらのサイクルの間、読み出しデータはメインフラッシュメモリ アレイから読み出されてからホストに転送されます。レイテンシ サイクル数は、コンフィギュレーションレジスタ内のレイテンシ コード (CR2V[3:0]) によって決まります。レイテンシ サイクル中に、ホストは CS# を LOW に維持します。これらのサイクル中にホストは IO 信号を駆動しません。よって、メモリが駆動を開始する前に、ホストドライバーはオフになるのに十分な時間があります。そうすることにより、信号方向が変わるときのホストとメモリとのドライバー衝突を防ぎます。メモリは最後の 4 レイテンシ サイクル中にデータ ラーニング パターン (DLP) を使ってすべての IO 信号を駆動するオプションがあります。5 レイテンシ サイクル未満の場合、DLP オプションを有効にすることはできません。その理由は、メモリが DLP の駆動を開始する前に IO 信号のターンアラウンドのために高インピーダンスのサイクルが少なくとも 1 つあるようにするためです。4 サイクルより多くのレイテンシがある場合、メモリはレイテンシの最後の 4 サイクルまで IO 信号を駆動しません。

最後のレイテンシ サイクルの後に続く次のインターフェース状態は命令に応じて DDR シングルまたはクアッド出力サイクルです。

4.3.20 DDR クアッド出力サイクル – メモリからホストへの転送

DDR クアッド I/O 読み出しコマンドはすべての IO 信号上でビットをホストに戻します。各サイクルで 4 ビットは SCK の立ち上りエッジで、4 ビットは立ち下りエッジで転送されます。ホストは CS# を LOW に維持します。

ホストが CS# を HIGH に戻して、コマンドを終了させるまでは、次のインターフェース状態は DDR クアッド出力サイクルのままです。

4.4 コンフィギュレーションレジスタのインターフェースへの影響

揮発性コンフィギュレーションレジスタ 2 のビット 3 ~ 0 (CR2V[3:0]) は、読み出し、RUID、および SDFP 読み出し (RSFDP) コマンドを除き、すべてのアレイ読み出しコマンドの可変のレイテンシを選択します。読み出しコマンドは常にレイテンシサイクルがありません。RSFDP コマンドは常に 8 レイテンシサイクルがあります。可変のレイテンシは OPR, ECCRD, および RDAR コマンドにも使用されます。

コンフィギュレーションレジスタのビット 1 (CR1V[1]) は、クアッドモードを有効にして WP# を IO2 機能に切り替え、RESET# を IO3 機能に切り替えることでクアッド I/O 読み出しおよび QPI モードのコマンドを有効にするかどうかを選択します。DDR クアッド I/O 読み出しコマンドを有効にするためにクアッドモードを選択する必要があります。

4.5 データ保護

保存されたデータへの意図的でない変更に対するいくつかの基本的な保護は単にハードウェアデザインで提供かつ制御されます。それらは以下で説明されます。ソフトウェアで制御する他の保護方法は本書のソフトウェアの節で説明されます。

4.5.1 電源投入

コア電源電圧が $V_{CC(Low)}$ 電圧以下の場合、デバイスは電源切断と見なされます。デバイスは外部信号に反応せず、あらゆるプログラムまたは消去動作を実行できないようにされます。デバイスがパワーオンリセット (POR) からインターフェーススタンバイモードに戻るまではすべてのコマンドが受け入れられないため、プログラムおよび消去動作は POR 中に許可されません。

4.5.2 低電源電圧

V_{CC} が $V_{CC(Cut-off)}$ を下回った場合、コア電源電圧が動作範囲外にあるときにプログラムおよび消去動作が開始できないようにするために、メモリ デバイスはコマンドを無視します。

4.5.3 クロックパルスカウント

デバイスは、コマンドを実行する前に、すべての不揮発性メモリとレジスタデータ変更のコマンドが、8 ビット転送の倍数 (バイト境界) であるクロックパルスカウントを含むことを確認します。8 ビット (バイト) 境界で終わらないコマンドは無視され、そのコマンドに対してエラー状態がセットされません。

4.5.4 ディープパワーダウン (DPD)

DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) のみに応答します。他のコマンドは、DPD モードの間は無視されます。それによって、メモリはプログラムおよび消去動作から保護されます。IO3_RESET# 機能が有効になったとき (CR2V[7] = 1)、または RESET# がアクティブになったとき、IO3_RESET# または RESET# が LOW になると、ハードウェアリセットが開始され、デバイスを DPD モードから解放します。

5 タイミング仕様

5.1 スイッチング波形のポイント

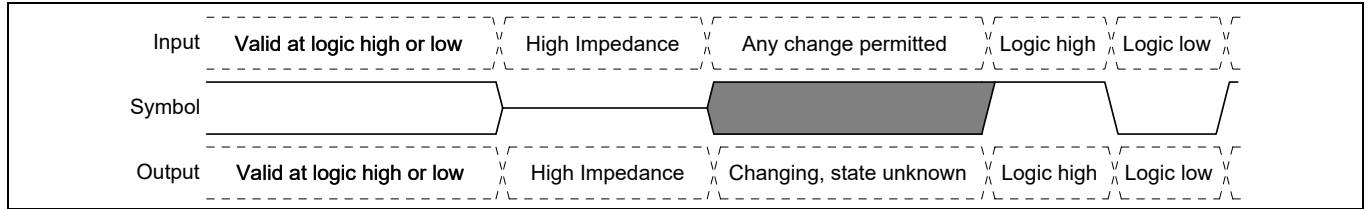


Figure 21 波形要素の意味

5.2 AC テスト条件

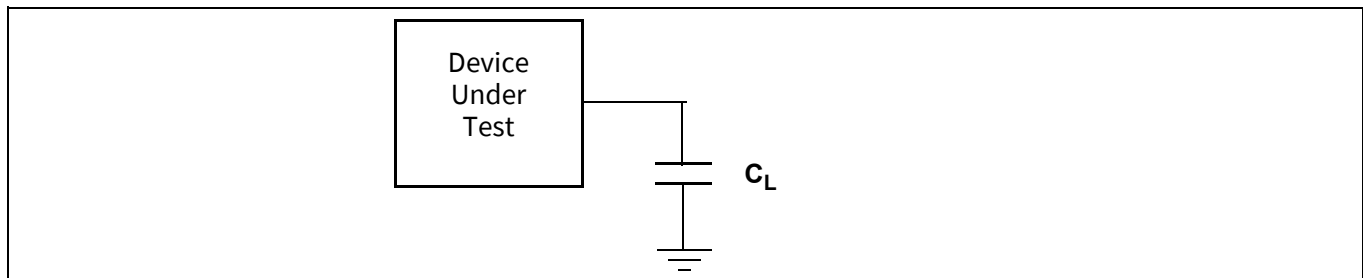


Figure 22 テストセットアップ

Table 7 AC 測定条件

記号	パラメーター	Min	Max	単位
C_L	負荷静電容量	-	30	pF
	入力パルス電圧	$0.2 \times V_{CC}$	$0.8 V_{CC}$	V
	入力スルーレート	0.23	1.25	V/ns
	入力立ち上り / 立ち下り時間	0.9	5	ns
	入力タイミング参照電圧	$0.5 V_{CC}$		V
	出力タイミング参照電圧	$0.5 V_{CC}$		V

注:

- 入力スルーレートは V_{CC} Max での、入力パルスの Min と Max の差で測定されます。例えば、 $(1.9 V \times 0.8) - (1.9 V \times 0.2) = 1.14 V$; $1.14 V / 1.25 V/ns = 0.9 ns$ の立ち上りまたは立ち下り時間です。
- AC 特性表ではクロックおよびデータ信号が同じスルーレート (スロープ) を持っていることを想定しています。

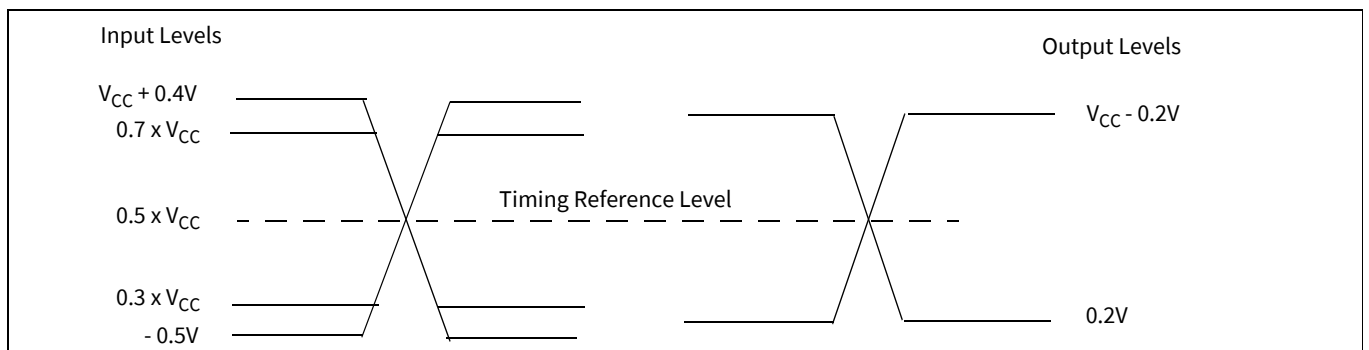


Figure 23 入力, 出力, およびタイミング参照レベル

5.2.1 静電容量特性

Table 8 静電容量

	パラメーター	テスト条件	パッケージ	Min	Max	単位
C_{IN}	入力静電容量 (SCK, CS#, IO3/RESET# に適用)	1 MHz	SOIC	-	12.5	pF
			LGA, BGA	-	8	
C_{OUT}	出力静電容量 (全 I/O に適用)	1 MHz	SOIC	-	12	pF
			LGA, BGA	-	8	

5.3 リセット

5.3.1 パワーオン(コールド)リセット

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、パワーオンリセット (POR) プロセスを実行します。Figure 122 および Table 57 を参照してください。電源投入 (t_{PU}) 中にデバイスは選択してはいけません (CS# が V_{CC} とともに HIGH になります)。すなわち、 t_{PU} の終わりまでデバイスに送られるコマンドはありません。

RESET# と IO3_RESET# は POR 中に無視されますが、HIGH または LOW でなければいけません。RESET# または IO3_RESET# が POR 中に LOW であり、 t_{PU} 時間中およびこの時間が経過した後も LOW のままであれば、RESET# と IO3_RESET# が HIGH に戻った後の t_{RH} まで CS# を HIGH に維持する必要があります。LOW に戻ってハードウェアリセットを開始する前に、RESET# と IO3_RESET# は、 t_{RS} より長い時間 HIGH に戻る必要があります。

IO3_RESET# 入力は、クアッドまたは QPI モードが有効でない ($CR1V[1]=0$ または $CR2V[6]=0$) 場合、および CS# が t_{CS} 値より長い時間 HIGH である場合、単に RESET# 信号として機能します。



Figure 24 POR 終了時に RESET# LOW

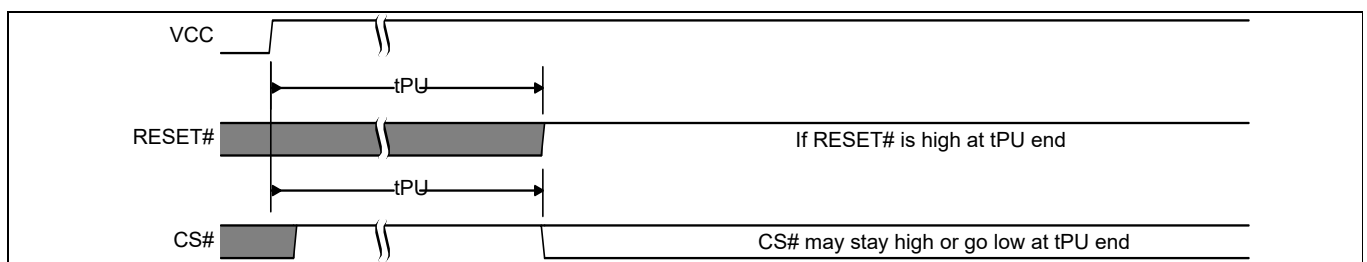


Figure 25 POR 終了時に RESET# HIGH

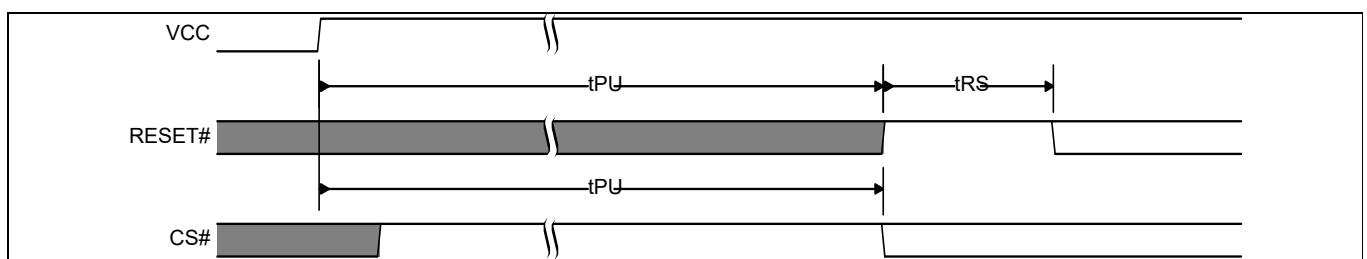


Figure 26 POR 後にハードウェアリセットが続く

5.3.2 RESET# および IO3_RESET# 入力により開始されるハードウェア (ウォーム) リセット

RESET# および IO3_RESET# 入力は RESET# 信号として機能できます。双方の入力は条件下でリセット動作を開始できます。

VIH から VIL へ遷移する時間が t_{RP} より長い場合、RESET# 入力はリセット動作を開始し、デバイスはパワーオンリセット (POR) と同じ方法でレジスタの状態をリセットしますが、POR 中に行われる完全なリセットプロセスを実行しません。ハードウェアリセットプロセスは完了するのに t_{RPH} を要します。RESET# 入力は BGA ボールパッケージのみで使用可能です。

IO3_RESET# 入力は、CS# が t_{CS} より長い時間 HIGH である場合、またはクアッドまたは QPI モードが有効でない (CR1V[1]=0 または CR2V[6]=0) 場合、リセット動作を開始します。IO3_RESET# 入力は V_{CC} に接続する内部プルアップ抵抗を備えており、クアッドまたは QPI モードが使用されない場合は開放のままにできます。CS# が HIGH になった後の t_{CS} 遅延により、メモリまたはホストシステムは CS# が LOW の間 IO3 をクアッドまたは QPI モードの I/O 信号として使用した後、HIGH に駆動する時間を取ることができます。その後、 V_{CC} に接続する内部プルアップはホストシステムが IO3_RESET# を駆動し始めるまで IO3_RESET# を HIGH に保持します。意図しないリセット動作を回避するために、CS# が HIGH である t_{CS} 時間の間、IO3_RESET# 入力は無視されます。新しいコマンドを開始するために CS# が LOW に駆動された場合、IO3_RESET# は IO3 として使用されます。

デバイスがクアッドまたは QPI モードでない場合、または CS# が HIGH になり、かつ t_{CS} の後に IO3_RESET# が V_{IH} から V_{IL} へ遷移する時間が t_{RP} より長い場合、デバイスはパワーオンリセットと同じ方法でレジスタの状態をリセットしますが、POR 中に実施される完全なリセットプロセスは実行しません。

ハードウェアリセットプロセスは完了するのに t_{RPH} を要します。電源投入 (t_{PU}) 中にパワーオンリセット (POR) プロセスが何らかの理由で正常に完了しなかった場合、RESET# が LOW になると、ハードウェアリセットプロセスの代わりに完全な POR プロセスが開始され、POR プロセスを完了するのに t_{PU} 時間を要します。

ソフトウェアリセットコマンド (RSTEN 66h の後に RST 99h が続く) は RESET# および IO3_RESET# の状態とは無関係です。RESET# および IO3_RESET# が HIGH または未接続になり、ソフトウェアリセットの命令が発行された場合、デバイスはソフトウェアリセットを実行します。

追加の IO3_RESET# の注意事項は以下のとおりです。

- RESET# と IO3_RESET# 入力の両方が使用可能な場合、お使いのシステムで 1 つのみのリセットオプションを使用してください。CR2NV[7] を 0 にセットして IO3 のみとして動作するよう IO3_RESET# を設定することで、IO3_RESET# 入力によるリセット動作を無効にできます (Table 25 を参照してください)。RESET# 入力を VIH に接続しないことにより、RESET# 入力を無効にできます。
- RESET# または IO3_RESET# は、LOW に戻ってハードウェアリセットを開始する前に、 t_{PU} または t_{RPH} の後に t_{RS} の間 HIGH でなければなりません。
- IO3_RESET# が t_{CS} の後、少なくとも t_{RP} の間 LOW に駆動された場合、デバイスは実行中の動作をすべて終了させ、すべての出力を高インピーダンスにし、 t_{RPH} の間読み出し / 書き込みコマンドをすべて無視します。デバイスはインターフェースをスタンバイ状態にリセットします。
- クアッドまたは QPI モードおよび IO3_RESET# 機能が有効な場合、IO3 上のドライバーの競合を避けるために、ホストシステムは t_{CS} の間 IO3 を LOW に駆動してはいけません。クアッドまたは QPI モードでデータをホストに転送するコマンド (クアッド I/O 読み出しなど) の直後に、意図的でないリセット動作を回避するために、メモリは t_{CS} の間 IO3_RESET# を HIGH に駆動します。クアッドモードでデータをメモリに転送するコマンド (ページプログラムなど) の直後、意図的でないリセット動作を回避するために、ホストシステムは t_{CS} の間 IO3_RESET# を HIGH に駆動する必要があります。
- クアッドモードが有効でなく、かつ IO3_RESET# が LOW にアサートされているときに CS# が LOW の場合、CS# は t_{RH} 後に再度 LOW にアサートされる前に、 t_{RPH} の間 HIGH に戻らなければなりません。

Table 9 ハードウェアリセットパラメーター

パラメーター	説明	限界	時間	単位
t_{RS}	リセットセットアップ時間: 先行のリセット終了かつ RESET# HIGH から RESET# LOW までの時間	Min	50	ns
t_{RPH}	リセットパルス ホールド時間: RESET# LOW から CS# LOW までの時間	Min	35	μ s
t_{RP}	RESET# パルス幅	Min	200	ns
t_{RH}	リセット ホールド時間: CS# LOW までの RESET# HIGH 時間	Min	50	ns

注:

10. 電源投入 (t_{PU}) 中は、RESET# および IO3_RESET# LOW は無視されます。 t_{PU} の終わりに RESET# がアサートされた場合、デバイスはリセット状態のままとなり、CS# が LOW になる時点は t_{RH} によって決まります。
11. クアッドモードが有効な場合、 t_{CS} の間 IO3_RESET# LOW は無視されます。
12. t_{RP} と t_{RH} の和は t_{RPH} 以上でなければいけません。

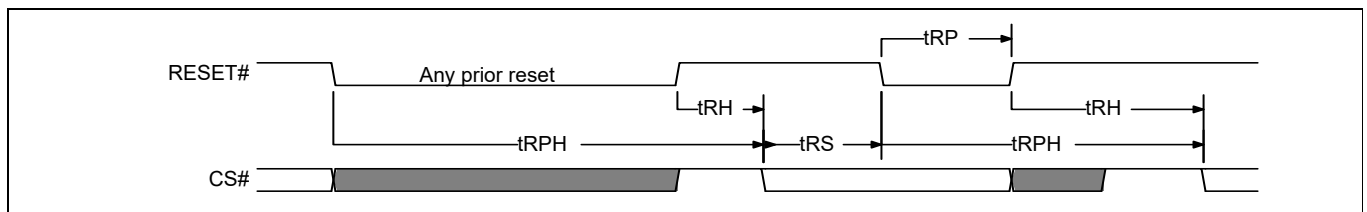


Figure 27 RESET# 入力によるハードウェアリセット

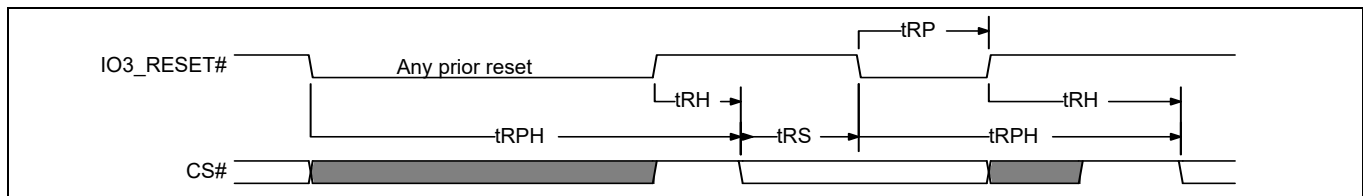


Figure 28 クアッドまたは QPI モードが無効で、IO3_RESET# が有効な場合のハードウェアリセット

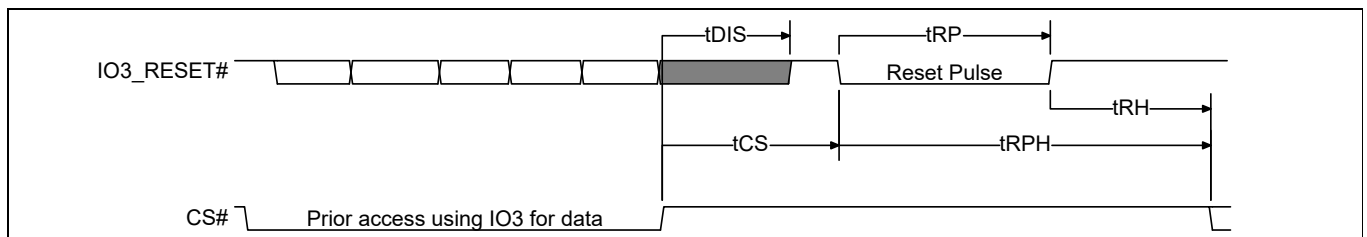


Figure 29 クアッドまたは QPI モードおよび IO3_RESET# が有効な場合のハードウェアリセット

5.4 SDR AC 特性

Table 10 SDR AC 特性

記号	パラメーター	Min	Max	単位
$F_{SCK,R}$	READ および 4READ 命令用 SCK クロック周波数	DC	50	MHz
$F_{SCK,C}$	DOR, 4DOR, DIOR, 4DIOR, QOR, 4QOR, QIOR, 4QIOR のデュアルおよびクアッド コマンド用 SCK 周波数	DC	133	MHz
P_{SCK}	SCK クロック周期	$1/F_{SCK}$		
t_{WH}, t_{CH}	クロック HIGH 時間	$50\% P_{SCK} - 5\%$	$50\% P_{SCK} + 5\%$	ns
t_{WL}, t_{CL}	クロック LOW 時間	$50\% P_{SCK} - 5\%$	$50\% P_{SCK} + 5\%$	ns
t_{CRT}, t_{CLCH}	クロック立ち上がり時間 (スルーレート)	0.1	-	V/ns
t_{CFT}, t_{CHCL}	クロック立ち下り時間 (スルーレート)	0.1	-	V/ns
t_{CS}	CS# HIGH 時間 (読み出し命令) CS# HIGH 時間 (リセット機能とクアッド モードの両方が有効時の読み出し命令) CS# HIGH 時間 (プログラム / 消去の命令)	10 20 ^[17] 50	-	ns
t_{CSS}	CS# アクティブセットアップ時間 (SCK を基準とする)	2	-	ns
t_{CSH}	CS# アクティブ ホールド時間 (SCK を基準とする)	3	-	ns
t_{SU}	データ入力セットアップ時間	2	-	ns
t_{HD}	データ入力ホールド時間	3	-	ns
t_v	クロック LOW から出力有効までの時間		8 ^[14] 6 ^[15] 6.5 ^[15,18]	ns
t_{HO}	出力ホールド時間	1	-	ns
t_{DIS}	出力無効時間 ^[16] 出力無効時間 (リセット機能とクアッド モードの両方が有効)	-	8 20 ^[17]	ns
t_{WPS}	WP# セットアップ時間 ^[13]	20	-	ns
t_{WPH}	WP# ホールド時間 ^[13]	100	-	ns
t_{DPD}	CS# HIGH からパワーダウン モードまでの時間	-	3	μ s
t_{RES}	CS# HIGH からスタンバイ モードまでの時間 (電子署名読み出しなし)	-	30	μ s

注:

13.SRWD を 1 にセットした場合、WRR または WRAR 命令の制約としてのみ適用可能です。

14. V_{CC} 範囲全体、CL = 30 pF。

15. V_{CC} 範囲全体、CL = 15 pF。

16.出力 HI-Z はデータがもはや駆動されなくなる点として定義されます。

17.リセット機能およびクアッド モードが有効になった場合 (CR2V[5] = 1, CR1V[1] = 1)、 t_{CS} と t_{DIS} は追加の時間を必要とします。

18.SOIC パッケージ。

5.4.1 クロック タイミング

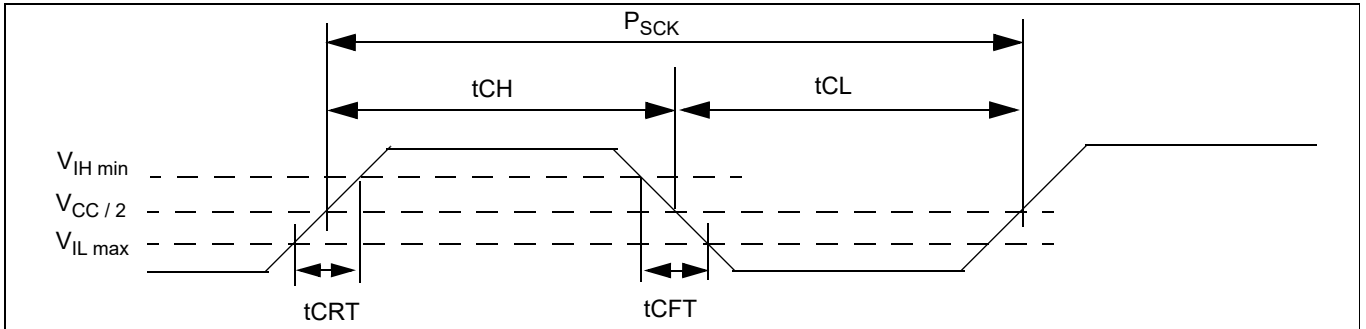


Figure 30 クロック タイミング

5.4.2 入力 / 出力 タイミング

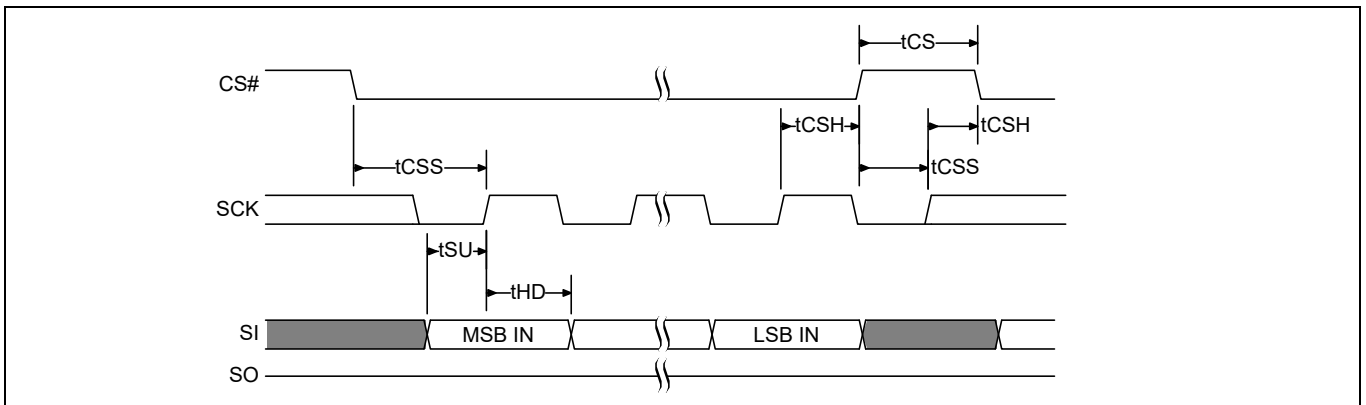


Figure 31 SPI シングルビットの入力タイミング

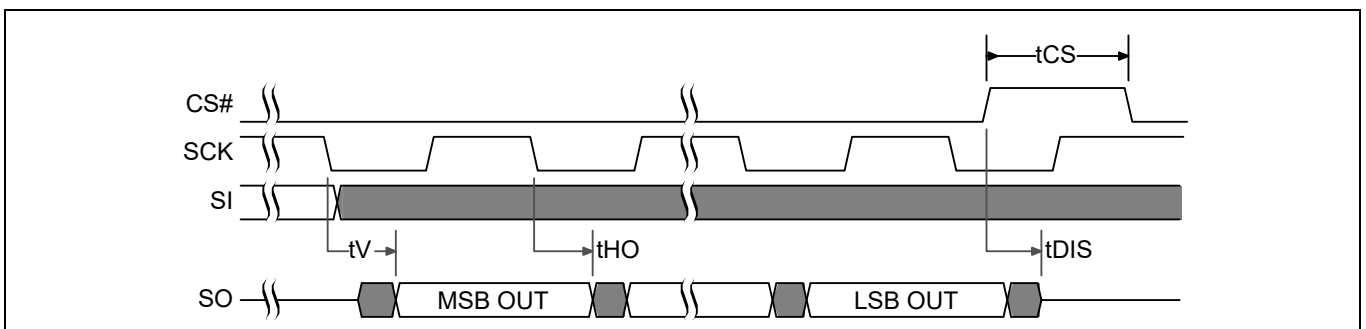


Figure 32 SPI シングルビットの出力タイミング

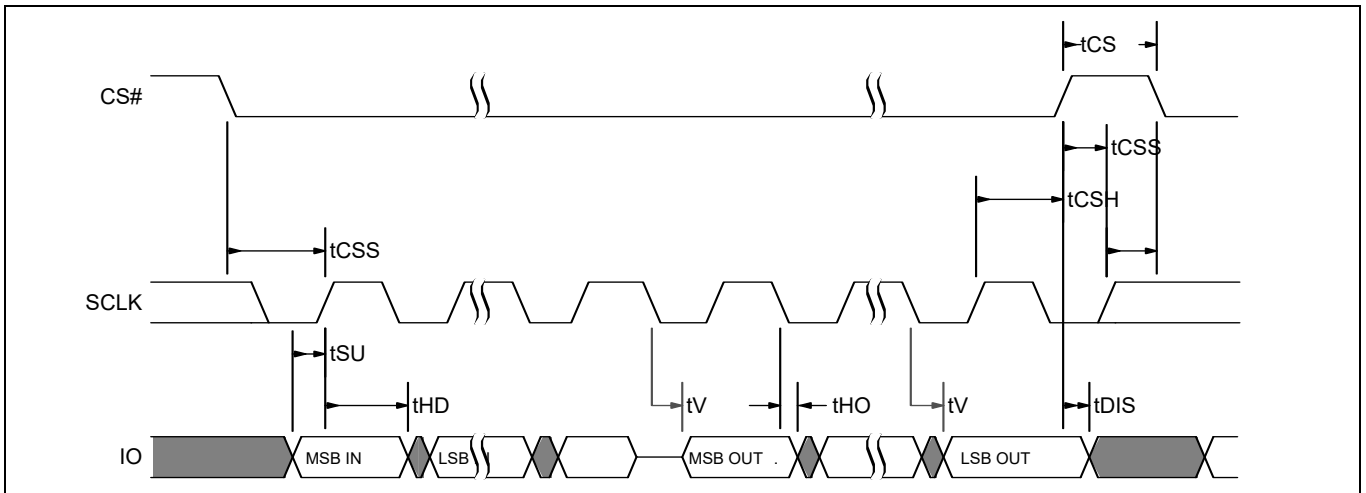


Figure 33 SDR MIO タイミング

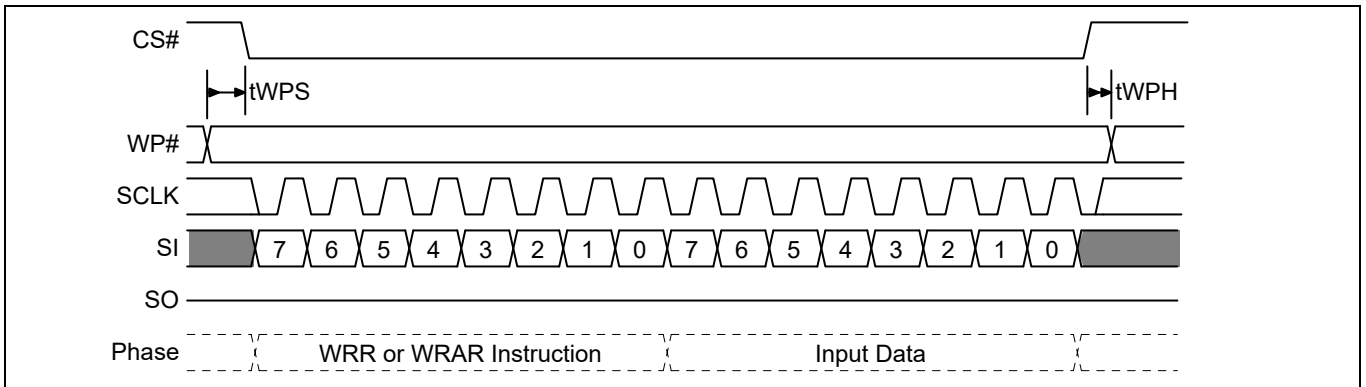


Figure 34 WP# 入力タイミング

5.5 DDR AC 特性

Table 11 DDR AC 特性

記号	パラメーター	Min	Max	単位
$F_{SCK,R}$	DDR READ 命令用 SCK クロック周波数	DC	80	MHz
$P_{SCK,R}$	DDR READ 命令用 SCK クロック周期	$1/F_{SCK}$	-	ns
t_{WH}, t_{CH}	クロック HIGH 時間	45% P_{SCK}	-	ns
t_{WL}, t_{CL}	クロック LOW 時間	45% P_{SCK}	-	ns
t_{CS}	CS# HIGH 時間 (読み出し命令) CS# HIGH 時間 (リセット機能が有効なときの読み出し命令)	10 20	-	ns
t_{CSS}	CS# アクティブセットアップ時間 (SCK を基準とする)	2	-	ns
t_{CSH}	CS# アクティブ ホールド時間 (SCK を基準とする)	3	-	ns
t_{SU}	IO 入力セットアップ時間	1.5	-	ns
t_{HD}	IO 入力ホールド時間	1.5	-	ns
t_v	クロック LOW から出力有効までの時間	1.5	6.0 ^[19] 6.5 ^[19,21]	ns
t_{HO}	出力ホールド時間	1.5	-	ns
t_{DIS}	出力無効時間 出力無効時間 (リセット機能が有効)	-	8 20	ns
t_{IO_skew}	最初の IO から最後の IO までのデータ有効時間 ^[20]	-	600 700 ^[21]	ps
t_{DPD}	CS# HIGH からパワーダウンモードまでの時間	-	3	μ s
t_{RES}	CS# HIGH からスタンバイモードまでの時間 (電子署名読み出しなし)	-	30	μ s

注:

19. CL = 15 pF。

20. テストは行われていません。

21. SOIC パッケージ。

5.5.1 DDR 入力タイミング

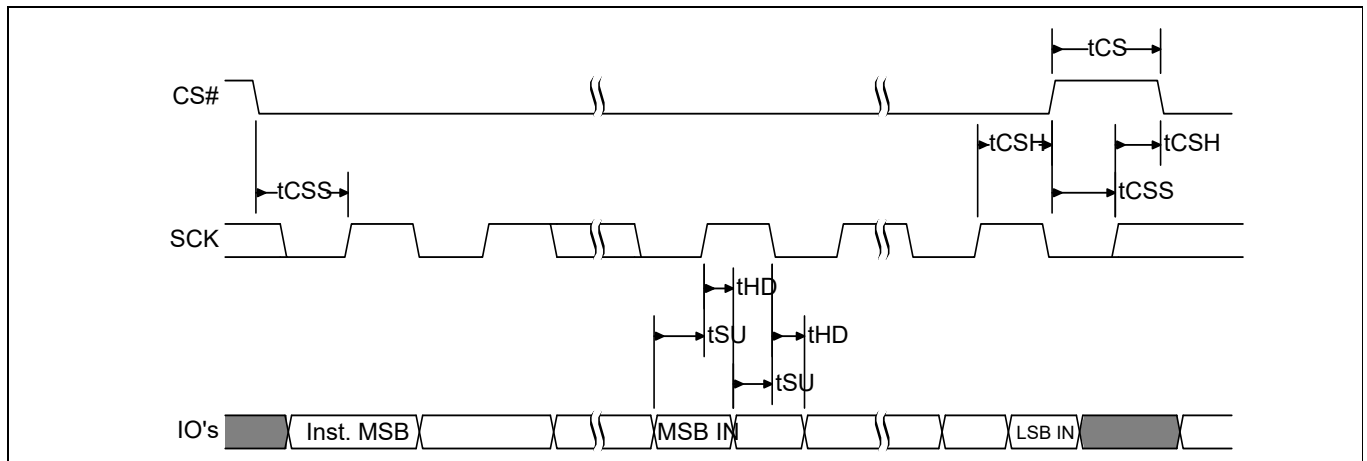


Figure 35 SPI DDR 入力タイミング

5.5.2 DDR 出力タイミング

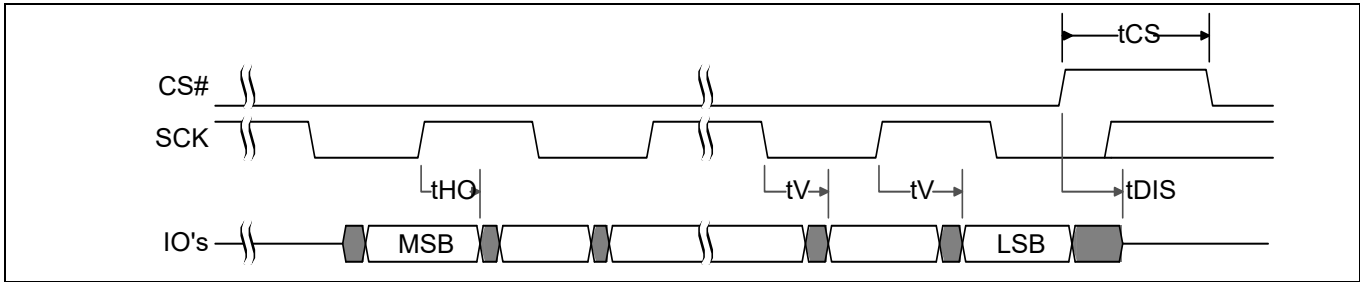


Figure 36 SPI DDR 出力タイミング

5.5.3 DLP 使用時の DDR データ有効時間

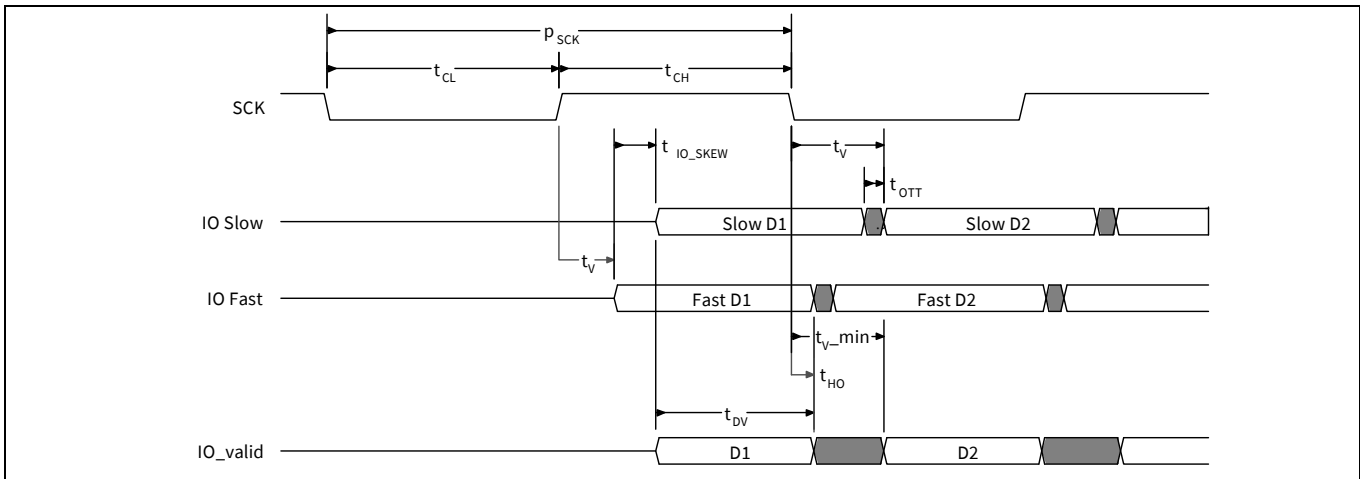


Figure 37 SPI DDR データ有効時間

データ有効ウィンドウの最小値 (t_{DV}) および最小 t_V は以下のように計算します。

$$t_{DV}^{[25]} = \text{最小ハーフクロックサイクル時間 } (t_{CLH})^{[22]} - t_{OTT}^{[24]} - t_{IO_SKEW}^{[23]}$$

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT}$$

注:

22. t_{CLH} は t_{CL} または t_{CH} より短い期間です。

23. t_{IO_SKEW} は、すべての IO 信号にわたる、 t_V (出力有効時間) の Min と Max の間の最大差 (デルタ) です。

24. t_{OTT} は、各 IO 上の 1 つの有効なデータ値から次の有効なデータ値への最大出力遷移時間です。 t_{OTT} は以下のシステムレベルの項目に依存します。

- メモリ デバイスの出力インピーダンス (駆動能力)。
- IO 上のシステムレベル寄生容量 (主にバス容量)。
- 0 から 1 へおよび 1 から 0 への遷移が認識される V_{IH} および V_{IL} レベルでのホスト メモリ コントローラー入力。
- t_{OTT} はインフィニオンがテストした仕様ではありません。システムに依存し、システム設計者が上記の項目に基づいて計算する必要があります。

25. t_{DV} はデータ有効ウィンドウです。

タイミング仕様

例:

80 MHz のクロック周波数 = 12.5 ns のクロック周期, DDR 動作, および 45% 以上のデューティ比を前提にします。

$$t_{CLH} = 0.45 \times PSCK = 0.45 \times 12.5 \text{ ns} = 5.625 \text{ ns}$$

45 Ω のバス インピーダンス, 22 pf の静電容量, 0.75V_{CC} のタイミング リファレンスを前提として、0 から 1 までの立ち上がり時間または 1 から 0 までの立ち下り時間は、 $1.4^{[27]} \times RC$ 時定数 (Tau)^[26] = 1.4 x 0.99 ns = 1.39 ns。

$$t_{OTT} = \text{立ち上がり時間} + \text{立ち下り時間} = 1.39 \text{ ns} + 1.39 \text{ ns} = 2.78 \text{ ns}$$

データ有効ウィンドウ

$$t_{DV} = t_{CLH} - t_{IO_SKEW} - t_{OTT} = 5.625 \text{ ns} - 400 \text{ ps} - 2.78 \text{ ns} = 2.45 \text{ ns}$$

t_V の最小値

$$t_{V_min} = t_{HO} + t_{IO_SKEW} + t_{OTT} = 1.0 \text{ ns} + 400 \text{ ps} + 2.78 \text{ ns} = 4.38 \text{ ns}$$

注:

26. Tau = R (出力インピーダンス) x C (負荷容量)。

27. 電圧が V_{CC} の 75% に達するまでの Tau 時間の乗数です。

6 アドレス空間マップ

6.1 概要

6.1.1 拡張アドレス

FS-S ファミリーは 32 ビット (4 バイト) アドレスに対応しており、24 ビット (3 バイト) アドレスだけに対応した前世代 (レガシー) の SPI デバイスに比べると、より高容量のデバイスを可能にします。24 ビット、バイト分解能のアドレスは、16 MB (128 Mb) の最大容量までしかアクセスできません。一方、32 ビット、バイト分解能のアドレスは最大 4 GB (32 Gb) のアドレス空間の直接アドレス指定が可能で、4 MB (32 Mb) ~ 4 GB (32 Gb) のデバイスのソフトウェア互換性を実現できます。

レガシー コマンドはソフトウェア下位互換性のために 24 ビット アドレスの対応を継続しています。拡張 32 ビット アドレスは次の 2 つの方法によって有効にされます。

- 拡張アドレス モード: すべてのレガシー コマンドを、ホストシステムから供給される 32 ビット アドレスを期待するものに変更する、揮発性コンフィギュレーションレジスタビットです。
- 4 バイト アドレス コマンド: レガシー機能と常に 32 ビット アドレスを期待する新機能の両方を実行します。

電源投入またはリセット後の拡張アドレスモードのデフォルト状態は不揮発性コンフィギュレーションビットによって制御されます。デフォルト拡張アドレスモードは 24 または 32 ビットのアドレスに設定できます。これにより、デバイスの最初の 128 Mb へのレガシー ソフトウェア互換アクセスが可能になるか、またはデバイスが 32 ビット アドレス モードで直接起動できます。

FS-S ファミリーの 64 Mb デバイスは同様に拡張アドレス空間に対応していますが、実質的にはメインフラッシュアレイが 23 か 22 アドレスビットのみを必要とするため、すべてのアドレスのビット 31 ~ 23 または 31 ~ 22 を無視します。これにより、ソフトウェアのアドレス処理を変更せず、64 Mb 容量のデバイスをより高い容量のデバイスに置き換えることが簡単になります。

6.1.2 複数のアドレス空間

多くのコマンドはメインフラッシュメモリアレイ上で動作します。メインフラッシュアレイから独立したアドレス空間で動作するコマンドもいくつかあります。それぞれ独立したアドレス空間は完全な 24 ビットか 32 ビット アドレスを使用しますが、利用可能なアドレス空間の小さな部分のみを定義する場合もあります。

6.2 フラッシュメモリアレイ

メインフラッシュアレイは物理セクタと呼ばれる消去ユニット (複数) に分けられています。

FS-S ファミリーの物理セクタは、アドレス空間の最上部か最下部にある 8 個の 4 KB パラメーターセクタと、1 つを除く残りのすべてのセクタがユニフォームサイズのハイブリッド組合せに設定できます。8 個の 4 KB パラメーターセクタのグループが合計で 1 個のユニフォームセクタより小さいため、4 KB 物理セクタのグループはそれぞれ最上位か最下位アドレスのユニフォームセクタの最上部か最下部の 32 KB を重ねます (置き換えます)。

パラメーターセクタ消去コマンド (20h または 21h) は、別々の 4 KB セクタを消去するために使用されます。セクタ (ユニフォームブロック) 消去コマンド (D8h または DCh) は、パラメーターセクタによって重ねられない最上位か最下位アドレスのセクタの部分を含む残りのすべてのセクタを消去するために使用されます。ユニフォームブロック消去コマンドはパラメーターセクタに影響を与えません。

不揮発性コンフィギュレーションレジスタ 1 のビット 2 (CR1NV[2]) = 0 の場合、最下位アドレスのユニフォームセクタの最下部にあるパラメーターセクタは重ねられます。CR1NV[2] = 1 の場合、最上位アドレスのユニフォームセクタの最上部にあるパラメーターセクタは重ねられます。詳細については、[レジスタ](#)を参照してください。

また、すべてのセクタがユニフォームサイズであるように 4 KB パラメーターセクタをアドレスマップから除去するコンフィギュレーションオプションもあります。揮発性コンフィギュレーションレジスタ 3 のビット 3 (CR3V[3]) = 0 の場合、4 KB パラメーターセクタのあるハイブリッドセクタアーキテクチャは選択されます。CR3V[3] = 1 の場合、パラメーターセクタがないユニフォームセクタアーキテクチャは選択されます。物理ユニフォームセクタは以下のとおりです。

- 64 KB または 256 KB

デバイスは、セクタ (ユニフォーム ブロック) 消去コマンドを使用して、個別の 64 KB 物理セクタでなく 256 KB 論理ブロックを消去するよう設定できます。このコンフィギュレーション オプション (CR3V[1] = 1) を使うと、低い容量のデバイスは 256 KB 物理セクタを使用するファミリのより高い容量のデバイスと同じセクタ消去動作を模倣できるようになります。これにより、ファミリのより高い容量のデバイスへのソフトウェア置き換えが簡単になります。

Table 12 S25FS064S セクタとメモリ アドレス マップ, 下位 4 KB セクタ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
4	8	SA00	00000000h ~ 00000FFFh	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA07	00007000h ~ 00007FFFh	
32	1	SA08	00008000h ~ 0000FFFFh	
64	127	SA09	00010000h ~ 0001FFFFh	
		:	:	
		SA135	007F0000h ~ 007FFFFFh	

Table 13 S25FS064S セクタとメモリ アドレス マップ, 上位 4 KB セクタ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
64	127	SA00	0000000h ~ 000FFFFh	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA126	007E0000h ~ 007EFFFFh	
32	1	SA127	007F0000h ~ 007F7FFFh	
4	8	SA128	007F8000h ~ 007F8FFFh	
		:	:	
		SA135	007FF000h ~ 007FFFFFh	

Table 14 S25FS064S セクタとメモリ アドレス マップ, ユニフォーム 64 KB ブロック

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
64	128	SA00	0000000h ~ 0000FFFFh,	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA127	007F0000h ~ 07FFFFFh	

Table 15 S25FS064S セクタ アドレス マップ, 下位 4 KB セクタ, 256 KB 論理ユニフォーム セクタ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
4	8	SA00	00000000h ~ 00000FFFh	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA07	00007000h ~ 00007FFFh	
224	1	SA08	00008000h ~ 0003FFFFh	
256	31	SA09	00040000h ~ 0007FFFFh	
		:	:	
		SA39	007C0000h ~ 007FFFFFh	

Table 16 S25FS064S セクタ アドレス マップ, 上位 4 KB セクタ, 256 KB 論理ユニフォーム セクタ

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
256	31	SA00	00000000h ~ 0003FFFFh	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA30	00780000h ~ 007BFFFFh	
224	1	SA31	007C0000h ~ 007F7FFFh	
4	8	SA32	007F8000h ~ 007F8FFFh	
		:	:	
		SA39	007FF000h ~ 007FFFFFh	

Table 17 S25FS064S セクタとメモリ アドレス マップ, ユニフォーム 256 KB ブロック

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (バイトアドレス)	備考
256	32	SA00	00000000h ~ 0003FFFFh	セクタ開始アドレス ~ セクタ終了アドレス
		:	:	
		SA31	007C0000h ~ 007FFFFFh	

注: 上記の表は参考としていくつつかのセクタを使用する短縮された表です。明確的に示されていないアドレス範囲があります。すべての 4 KB セクタのパターンは XXXX000h ~ XXXXFFFh です。すべての 64 KB セクタのパターンは XXX0000h ~ XXXFFFFh です。すべての 256 KB セクタのパターンは XX00000h ~ XX3FFFFh, XX40000h ~ XX7FFFFh, XX80000h ~ XXCFFFFh, または XXD0000h ~ XXFFFFFh です。

6.3 ID-CFI アドレス空間

RDID コマンド (9Fh) は、デバイス識別子 (ID) および共通フラッシュ インターフェース (CFI) 情報を取得するために、独立したフラッシュ メモリ アドレス空間から情報を読み出します。ID-CFI アドレス空間の内容を定義する表については、[デバイス ID と共通フラッシュ インターフェース \(ID-CFI\) アドレス マップ 標準](#)を参照してください。ID-CFI アドレス空間はインフィニオンによってプログラムされ、ホストシステムからは読み出し専用です。

6.3.1 インフィニオンによってプログラムされる固有 ID

64 ビット固有番号が固有デバイス ID アドレス空間の 8 バイトにあります。固有 ID はデバイス固有のソフトウェア読み出し可能なシリアル番号として使用できます。

6.4 JEDEC JESD216 シリアルフラッシュ検出可能パラメーター (SFDP) 空間

RSFDP コマンド (5Ah) はシリアルフラッシュ検出可能パラメーター向けの JEDEC JESD216 Rev B 規格に準拠して、デバイス ID、機能、およびコンフィギュレーション情報を取得するために、独立したフラッシュメモリアドレス空間から情報を読み出します。ID-CFI アドレス空間は SFDP パラメーターの 1 つとして組み込まれています。SFDP アドレス空間の内容を定義する表については[デバイス識別](#)を参照してください。SFDP アドレス空間はインフィニオンによってプログラムされ、ホストシステムからは読み出し専用です。

6.5 OTP アドレス空間

各 FS-S ファミリメモリデバイスには、メインフラッシュアレイから独立した 1024 バイトのワンタイムプログラム (OTP) アドレス空間があります。OTP エリアは 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイト領域の構造は以下のとおりです。

- 16 の最下位アドレスバイトが、インフィニオンによって 128 ビットの乱数でプログラムされます。インフィニオンのみがこれらのバイトに 0 をプログラムできます。これらのバイト位置に 1 をプログラムすることは無視され、インフィニオンによってプログラムされた値に影響を与えません。これらのバイト位置に 0 をプログラムしようとすると失敗し、P_ERR がセットされます。
- 次の 4 つの上位アドレスバイト (OTP ロックバイト) は、各領域をプログラムから恒久的に保護するために、OTP 領域ごとに 1 ビットを提供するために使用されます。インフィニオン出荷時にこれらのバイトは消去されています。OTP 領域はプログラムした後、さらなるプログラムができないようにするために、OTP ロックバイト内の関連する保護ビットをプログラムすることでロックできます。
- 最下位アドレス領域の次の上位 12 バイトは、将来使用のために予約済み (RFU) です。RFU バイト内のビットはホストシステムによってプログラムできますが、将来のデバイスがより大きな OTP 領域の保護のために使用する場合があることを理解しておいてください。インフィニオン出荷時にこれらのバイトは消去されています。

残りの領域は、インフィニオン出荷時に消去されており、追加の恒久的なデータのプログラミングに使用できます。

Figure 38 に OTP メモリ空間の図を示します。

OTP メモリ空間はシステムセキュリティ強化のために使用されます。インフィニオンによってプログラムされた乱数などの OTP 値は、フラッシュコンポーネントをシステム CPU/ASIC と一体化して、デバイス置き換えを回避するために使用できます。

コンフィギュレーションレジスタの FREEZE ビット (CR1V[0]) が 1 にセットされると、OTP メモリ空間全体をプログラムから保護します。これにより、信頼できるブートコードが OTP 領域のプログラムを制御し、次に FREEZE ビットをセットして、通常の電源投入のシステム動作の残りの間 OTP メモリ空間がさらにプログラムされないようにできます。

レジスタ

7 レジスタ

レジスタは、FS-S ファミリメモリ デバイスの動作方法を設定する、またはデバイス動作のステータスを報告するために使用される小さなメモリ セルグループです。レジスタは特定のコマンドによりアクセスされます。レジスタに使用されるコマンド(と 16進の命令コード)は各レジスタの説明に記載しています。

レガシー SPI メモリ デバイスでは、個別レジスタ ビットは同じレジスタ内で、揮発性、不揮発性、またはワンタイム プログラマブル (OTP) ビットが混合されています。コンフィギュレーション オプションによってはレジスタ ビットのタイプは変更可能です (例えば、不揮発性から揮発性に変更できます)。

FS-S ファミリは、異なるレジスタ ビットのタイプを実装するために、個別の不揮発性または揮発性メモリ セルグループ (領域) を使用します。ただし、レガシー ソフトウェアとの互換性のために、レガシー レジスタとコマンドは以前と変わらず対応され、動作し続けます。レガシー レジスタに揮発性ビットがある場合、またはレガシー レジスタを読み出すコマンドの読み出しレイテンシがゼロの場合、各レガシー レジスタには不揮発性と揮発性バージョンが存在します。そのようなレジスタが読み出される時、レジスタの揮発性バージョンが提供されます。パワーオンリセット (POR)、ハードウェアリセット、またはソフトウェアリセットの間、揮発性レジスタのデフォルト状態を提供するために、レジスタの不揮発性バージョンは揮発性バージョンにコピーされます。不揮発性レジスタ ビットが書き込まれたとき、レジスタの不揮発性バージョンは消去され、新しいビット値でプログラムされ、その後、揮発性バージョンは不揮発性バージョンの新しい内容で更新されます。OTP ビットがプログラムされると、レジスタの不揮発性バージョンがプログラムされ、レジスタの揮発性バージョン中の適切なビットが更新されます。揮発性レジスタ ビットが書き込まれると、レジスタの揮発性バージョンのみ適切なビットが更新されます。

各ビットのタイプはそれぞれのレジスタの説明に記載されています。ビットが揮発性である場合、各ビットのデフォルト状態はパワーオンリセット、ハードウェアリセット、またはソフトウェアリセットの後の状態です。ビットが不揮発性または OTP である場合、デフォルト状態はインフィニオンから出荷されたときのビット値です。不揮発性ビットはメインフラッシュ アレイと同じ耐久性 (消去 / プログラム可能回数) を持っています。

Table 19 レジスタの説明

レジスタ	タイプ	ビット	略語
ステータス レジスタ 1	不揮発性	7:0	SR1NV[7:0]
	揮発性	7:0	SR1V[7:0]
ステータス レジスタ 2	揮発性	7:0	SR2V[7:0]
コンフィギュレーション レジスタ 1	不揮発性 /OTP	7:0	CR1NV[7:0]
	揮発性	7:0	CR1V[7:0]
コンフィギュレーション レジスタ 2	不揮発性 /OTP	7:0	CR2NV[7:0]
	揮発性	7:0	CR2V[7:0]
コンフィギュレーション レジスタ 3	不揮発性 /OTP	7:0	CR3NV[7:0]
	揮発性	7:0	CR3V[7:0]
コンフィギュレーション レジスタ 4	不揮発性 /OTP	7:0	CR4NV[7:0]
	揮発性	7:0	CR4V[7:0]
ECC ステータス レジスタ	揮発性 読み出し専用	7:0	ECCSRV[7:0]
ASP レジスタ	OTP	15:0	ASPR[15:0]
パスワード レジスタ	OTP	63:0	PASS[63:0]
PPB ロック レジスタ	揮発性 読み出し専用	7:0	PPBL[7:0]
PPB アクセス レジスタ	不揮発性	7:0	PPBAR[7:0]
DYB アクセス レジスタ	揮発性	7:0	DYBAR[7:0]
SPI DDR データ ラーニング レジスタ	OTP	7:0	NVDLR[7:0]
	揮発性	7:0	VDLR[7:0]

レジスタ

7.1 ステータス レジスタ 1

7.1.1 不揮発性ステータス レジスタ 1 (SR1NV)

関連コマンド : レジスタ書き込み (WRR 01h), 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)

Table 20 不揮発性ステータス レジスタ 1 (SR1NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	SRWD_NV	ステータスレジスタ書き込みディセーブルデフォルト	不揮発性	0	1=WP#はLOWのとき、SR1NV, SR1V, CR1NV, または CR1V に影響する可能性がある WRR 命令または WRAR 命令を実行しないことにより、SRWD, BP, およびコンフィギュレーションレジスタ 1 のビットの状態をロック 0=保護なし (WP# が LOW の場合を含む)
6	P_ERR_D	プログラミングエラーデフォルト	不揮発性読み出し専用	0	プログラミングエラーステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
5	E_ERR_D	消去エラーデフォルト	不揮発性読み出し専用	0	消去エラーステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
4	BP_NV2	不揮発性ブロック保護	不揮発性	000b	BP ビットが不揮発性として設定される (CR1NV[3]=0) 場合、選択したセクタ (ブロック) 範囲をプログラムまたは消去から保護します。BP ビットが揮発性として設定される (CR1NV[3]=1) 場合、111b にプログラムされます。その後、これらビットはもはやユーザーによってプログラムできなくなります。
3	BP_NV1				
2	BP_NV0				
1	WEL_D	WEL デフォルト	不揮発性読み出し専用	0	WEL ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。
0	WIP_D	WIP デフォルト	不揮発性読み出し専用	0	WIP ステータスのデフォルト状態を示します。ユーザーによってプログラムできません。

不揮発性ステータス レジスタ書き込み (SRWD_NV) SR1NV[7]: ビットが 1 にセットされ、WP# 入力が LOW に駆動されると、デバイスはハードウェア保護モードに入ります。このモードでは、レジスタ書き込み (WRR) と任意レジスタ書き込み (WRAR) コマンド (ステータスレジスタ 1 またはコンフィギュレーションレジスタ 1 を選択するもの) は無視され、実行のためには受け入れられず、ステータスレジスタ 1 とコンフィギュレーションレジスタ 1 (SR1NV, SR1V, CR1NV, または CR1V) を読み出し専用レジスタにすることで、レジスタのビットの状態を効果的にロックします。WP# が HIGH の場合、ステータスレジスタ 1 とコンフィギュレーションレジスタ 1 は WRR または WRAR コマンドで変更できます。SRWD_NV=0 の場合、WP# は何の影響も与えず、ステータスレジスタ 1 とコンフィギュレーションレジスタ 1 は WRR または WRAR コマンドで変更できます。WP# は他のレジスタの書き込みに影響しません。SRWD_NV ビットはメインフラッシュアレイと同じ不揮発性の耐久性を持っています。SRWD ビット (SR1V[7]) はゼロの読み出しレイテンシを提供するために SRWD_NV ビットのコピーとしてのみ機能します。

プログラムエラー デフォルト (P_ERR_D) SR1NV[6]: SR1V[6] でのプログラミングエラーステータスのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

消去エラー (E_ERR) SR1V[5]: SR1V[5] での消去エラーステータスのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

レジスタ

ブロック保護 (BP_NV2, BP_NV1, BP_NV0) SR1NV[4:2]: ビットは、プログラムおよび消去コマンドからソフトウェアで保護されるメインフラッシュアレイ領域を定義します。BP ビットはコンフィギュレーションレジスタ CR1NV[3] での BP 不揮発性ビット (BPNV_0) の状態に応じて揮発性か不揮発性としてかを選択されます。CR1NV[3]=0 の場合、BP ビットの揮発性バージョン (SR1NV[4:2]) はブロック保護を制御するために使用され、WRR コマンドが SR1NV[4:2] に書き込んで SR1V[4:2] を同じ値に更新します。CR1NV[3]=1 の場合、BP ビットの揮発性バージョン (SR1V[4:2]) はブロック保護を制御するために使用され、WRR コマンドは SR1V[4:2] に書き込み、SR1NV[4:2] に影響を与えません。1 つ以上の BP ビットが 1 にセットされると、対応するメモリ領域はプログラムと消去から保護されます。バルク消去 (BE) コマンドは、BP ビットが 0 にクリアされたときのみ実行できます。BP ビット値が保護対象のメモリアレイ領域をどのように選択するかについては、[ブロック保護](#)を参照してください。BP ビットの揮発性バージョンはメインフラッシュアレイと同じ揮発性の耐久性を持っています。

書き込みイネーブルラッチデフォルト (WEL_D) SR1NV[1]: SR1V[1] での WEL ステータスのデフォルト状態を示します。ビットはインフィニオンによってプログラムされ、ユーザーはプログラムできません。

書き込み中デフォルト (WIP_D) SR1NV[0]: SR1V[0] での WIP ステータスのデフォルト状態を示します。ビットはインフィニオンによってプログラムされ、ユーザーはプログラムできません。

7.1.2 揮発性ステータス レジスタ 1 (SR1V)

関連コマンド : ステータスレジスタ読み出し (RDSR1 05h), レジスタ書き込み (WRR 01h), 書き込みイネーブル (WREN 06h), 書き込みディセーブル (WRDI 04h), ステータスレジスタクリア (CLSR 30h または 82h), 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。RDSR1 コマンドの実行で表示されるレジスタです。

Table 21 揮発性ステータス レジスタ 1 (SR1V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	SRWD	ステータスレジスタ書き込みディセーブル	揮発性読み出し専用	SR1NV	SR1NV[7] の揮発性コピーです。
6	P_ERR	プログラミングエラー発生	揮発性読み出し専用		1 = エラーが発生 0 = エラーなし
5	E_ERR	消去エラー発生	揮発性読み出し専用		1 = エラーが発生 0 = エラーなし
4	BP2	揮発性ブロック保護	揮発性		BP ビットが揮発性として設定される (CR1NV[3]=1) 場合、選択したセクタ (ブロック) 範囲をプログラムまたは消去から保護します。BP ビットが不揮発性として設定される場合、SR1NV[4:2] の揮発性コピーになります。BP ビットが揮発性として設定される場合は、ユーザーによって書き込めます。
3	BP1				
2	BP0				
1	WEL	書き込みイネーブルラッチ	揮発性		1 = デバイスはレジスタ書き込み (WRR と WRAR)、プログラムまたは消去コマンドを受け入れる 0 = デバイスはレジスタ書き込み (WRR と WRAR)、プログラムまたは消去コマンドを無視する ビットは WRR または WRAR に影響されず、WREN と WRDI コマンドのみから影響を受けます。
0	WIP	書き込み中	揮発性読み出し専用		1 = デバイスはビジーであり、プログラムや消去などの組込み動作は処理中 0 = デバイスはスタンバイモードでレディであり、コマンドを受け入れられる ビットは WRR または WRAR コマンドに影響されず、WIP 状態のみを示します。

ステータスレジスタ書き込み (SRWD) SR1V[7]: SRWD は SR1NV[7] の揮発性コピーです。このビットは不揮発性バージョンに対する変更を追跡します。

プログラムエラー (P_ERR) SR1V[6]: プログラムエラービットはプログラム動作の成功/失敗を示すために使用されます。プログラムエラービットが「1」にセットされたとき、直前のプログラム動作にエラーが発生したことを示します。また、ユーザーが保護されたメインメモリセクタまたはロックされた OTP 領域内でプログラムしようとしたときにもビットはセットされます。プログラムエラービットは「1」にセットされたとき、ステータスレジスタクリア (CLSR) コマンドにより「0」にクリアされます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

消去エラー (E_ERR) SR1V[5]: 消去エラービットは消去動作の成功/失敗を示すために使用されます。消去エラービットが「1」にセットされたとき、直前の消去動作にエラーが発生したことを示します。また、ユーザーが個別の保護されたメインメモリセクタを消去しようとしたときにもビットはセットされます。コマンドの実行中に保護されたセクタが見つかったとき、バルク消去コマンドは E_ERR をセットしません。消去エラービットは「1」にセットされたとき、ステータスレジスタクリア (CLSR) コマンドにより「0」にクリアされます。読み出し専用ビットであり、WRR または WRAR コマンドに影響されません。

ブロック保護 (BP2, BP1, BP0) SR1V[4:2]: ビットは、プログラムおよび消去コマンドからソフトウェアで保護されるメインフラッシュアレイ領域を定義します。BP ビットはコンフィギュレーションレジスタ CR1NV[3] での BP 不揮発性ビット (BPNV_O) の状態に応じて揮発性か不揮発性としてかを選択されます。CR1NV[3]=0 の場合、BP ビットの揮発性バージョン (SR1NV[4:2]) はブロック保護を制御するために使用され、WRR コマンドが SR1NV[4:2] に書き込んで SR1V[4:2] を同じ値に更新します。CR1NV[3]=1 の場合、BP ビットの揮発性バージョン (SR1V[4:2]) はブロック保護を制御するために使用され、WRR コマンドは SR1V[4:2] に書き込み、SR1NV[4:2] に影響を与えません。1 つ以上の BP ビットが 1 にセットされると、対応するメモリ領域はプログラムと消去から保護されます。バルク消去 (BE) コマンドは、BP ビットが 0 にクリアされたときにのみ実行できます。BP ビット値が保護対象のメモリアレイ領域を選択する方法については、[ブロック保護](#)を参照してください。

書き込みイネーブルラッチ (WEL) SR1V[1]: メモリやレジスタ値への不注意による意図しない変更に対する保護手段として、プログラム、書き込み、または消去動作を可能にするためには WEL ビットを「1」にセットする必要があります。書き込みイネーブル (WREN) コマンドを実行すると、書き込みイネーブルラッチを「1」にセットし、その後のすべてのプログラム、消去、または書き込みコマンドの実行を可能にします。書き込みディセーブル (WRDI) コマンドは書き込みイネーブルラッチを「0」にセットし、すべてのプログラム、消去、および書き込みコマンドの実行を防止します。WEL ビットはプログラム、書き込み、または消去動作が正常に終了した時点で「0」にクリアされます。動作が正常に終了しない場合、WEL ビットはセットされたままであり、WRDI コマンドとその後続く CLSR コマンドによりクリアする必要があります。電源切断/電源投入シーケンス、ハードウェアリセット、またはソフトウェアリセットの後、書き込みイネーブルラッチは「0」にセットされます。WRR または WRAR コマンドはビットに影響を与えません。

書き込み中 (WIP) SR1V[0]: デバイスがプログラム、書き込み、消去動作またはその他の動作を実行しているかどうかを示します (これらの動作の実行中、新しい動作コマンドを無視します)。ビットが「1」にセットされたとき、デバイスが動作の実行でビジーになっていることを示します。WIP が「1」のときに許可されるコマンドは、ステータスレジスタ読み出し (RDSR1 または RDSR2)、任意レジスタ読み出し (RDAR)、消去一時停止 (ERSP)、プログラム一時停止 (PGSP)、ステータスレジスタクリア (CLSR)、およびソフトウェアリセット (RESET) コマンドだけです。ERSP と PGSP コマンドは、メモリアレイが消去/プログラム中のみ許可されます。ステータスレジスタの E_ERR と P_ERR ビットは WIP が「1」のときに更新されます。P_ERR または E_ERR ビットが「1」にセットされたとき、WIP ビットは「1」にセットされたままで、デバイスがまだビジーの状態であり新しい動作のコマンドを受信できないことを示します。デバイスをスタンバイモードに戻らせるためにステータスレジスタクリア (CLSR) コマンドを受信しなければいけません。WIP ビットが「0」にクリアされたとき、実行中の動作はありません。読み出し専用ビットです。

7.2 揮発性ステータス レジスタ 2 (SR2V)

関連コマンド : ステータス レジスタ 2 読み出し (RDSR2 07h), 任意レジスタ読み出し (RDAR 65h)。ステータス レジスタ 2 はユーザー プログラム可能な不揮発性ビットを持ちません。定義されたすべてのビットは揮発性読み出し専用の状態にあります。ビットのデフォルト状態はハードウェアにより設定されます。

Table 22 揮発性ステータス レジスタ 2 (SR2V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	予約済み		0	将来使用するために予約済み
6	RFU	予約済み		0	将来使用するために予約済み
5	RFU	予約済み		0	将来使用するために予約済み
4	RFU	予約済み		0	将来使用するために予約済み
3	RFU	予約済み		0	将来使用するために予約済み
2	ESTAT	消去状態	揮発性 読み出し専用	0	1 = セクタ消去状態コマンドの結果 = 直前の消去は成功 0 = セクタ消去状態コマンドの結果 = 直前の消去は未完了
1	ES	消去一時停止	揮発性 読み出し専用	0	1 = 消去一時停止モード 0 = 消去一時停止モードでない
0	PS	プログラム一時停止	揮発性 読み出し専用	0	1 = プログラム一時停止モード 0 = プログラム一時停止モードでない

消去ステータス (ESTAT) SR2V[2]: 消去ステータスビットは、直前の消去ステータス コマンドによって選択されたセクタに対する消去コマンドが完了したかどうかを示します。有効な消去ステータスを得るために、SR2V を読み出す直前に消去ステータス コマンドを発行する必要があります。プログラム / 消去一時停止中に SR2V を読み出したら、有効な消去ステータスを得られません。システムソフトウェアは消去ステータスビットを使用して、直前の消去動作が失敗したセクタを検出できます。ビットは、消去動作中の電力喪失に起因して失敗した消去動作を検出するために使用できます。

消去一時停止 (ES) SR2V[1]: 消去一時停止ビットは、いつデバイスが消去一時停止モードに入るかを決定するために使用されます。ビットはステータスビットであり、ユーザーからの書き込みはできません。消去一時停止ビットを「1」にセットすると、デバイスは消去一時停止モードになります。消去一時停止ビットを「0」にクリアしたとき、デバイスは消去一時停止モードにありません。消去一時停止 / 再開コマンドの詳細については[消去 / プログラム一時停止 \(EPS 85h, 75h, B0h\)](#) を参照してください。

プログラム一時停止 (PS) SR2V[0]: プログラム一時停止ビットは、いつデバイスがプログラム一時停止モードに入るかを決定するために使用されます。ビットはステータスビットであり、ユーザーからの書き込みはできません。プログラム一時停止ビットを「1」にセットすると、デバイスはプログラム一時停止モードになります。プログラム一時停止ビットを「0」にクリアしたとき、デバイスはプログラム一時停止モードにありません。詳細は[消去 / プログラム一時停止 \(EPS 85h, 75h, B0h\)](#) を参照してください。

7.3 コンフィギュレーションレジスタ 1

コンフィギュレーションレジスタ 1 は一定のインターフェースとデータ保護機能を制御します。レジスタビットは 16 入力サイクルの WRR コマンドや WRAR コマンドを使用して変更できます。

7.3.1 不揮発性コンフィギュレーションレジスタ 1 (CR1NV)

関連コマンド: レジスタ書き込み (WRR 01h), 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。

Table 23 不揮発性コンフィギュレーションレジスタ 1 (CR1NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	将来使用するために予約済み	不揮発性	0	予約済み
6	RFU			0	
5	TBPROT_O	ブロック保護の開始設定	OTP	0	1 = BP は最下部 (下位アドレス) から開始 0 = BP が最上部 (上位アドレス) から開始
4	RFU	将来使用するために予約済み	RFU	0	予約済み
3	BPNV_O	ステータスレジスタの BP2 ~ 0 設定	OTP	0	1 = 揮発性 0 = 不揮発性
2	TBPARAM_O	セクタ ロケーションパラメータ設定	OTP	0	1 = 最上部 (上位アドレス) の 4KB 物理セクタ 0 = 最下部 (下位アドレス) の 4KB 物理セクタ ユニフォームセクタ コンフィギュレーションでは RFU です。
1	QUAD_NV	クアッド不揮発性	不揮発性	0	QUAD ビットのデフォルト状態を示します。
0	FREEZE_D	FREEZE デフォルト	不揮発性読み出し専用	0	FREEZE ビットのデフォルト状態を示します。ユーザーによってプログラムできません。

最上部 / 最下部保護 (TBPROT_O) CR1NV[5]: ビットは、ステータスレジスタでのブロック保護ビット BP2, BP1, BP0 の動作を定義します。ステータスレジスタの節で説明したとおり、BP2 ~ 0 ビットを使用すると、ユーザーはアレイの一部 (1/64, 1/4, 1/2, など) から全部までオプションとして保護できます。TBPROT_O が「0」にセットされた場合、ブロック保護の開始アドレスはアレイの最上部 (最大アドレス) になります。TBPROT_O が「1」にセットされた場合、ブロック保護の開始アドレスはアレイの最下部 (ゼロアドレス) になります。TBPROT_O ビットは OTP であり、インフィニオン出荷時に「0」にセットされています。TBPROT_O が 1 にプログラムされたとき、ビットに 0 を書き込んでもビット値が変更されず、プログラムエラービット (SR1V[6] での P_ERR) もセットされません。

TBPROT_O の所望状態は、システム製造中のデバイス初期設定時に、メインフラッシュアレイに対する最初のプログラム / 消去動作の前に選択する必要があります。プログラム / 消去がメインフラッシュアレイで行われた後は TBPROT_O をプログラムしてはいけません。

不揮発性ブロック保護 (BPNV_O) CR1NV[3]: BPNV_O ビットは、ブロック保護機能を制御するためにステータスレジスタでの BP_NV2 ~ 0 ビットまたは BP2 ~ 0 ビットが選択されるかどうかを定義します。BPNV_O ビットは OTP であり、インフィニオンから出荷する時点では、「0」にクリアされており、BP_NV ビットが「000」にクリアされています。BPNV_O が「0」にセットされたとき、ステータスレジスタでの BP_NV2 ~ 0 ビットはブロック保護を制御するために選択され、WRR コマンドで書き込まれます。BP_NV ビットを書き込むために必要な時間は t_w です。BPNV が 1 にセットされたとき、ステータスレジスタでの BP2 ~ 0 ビットはブロック保護を制御するために選択され、BP_NV2 ~ 0 ビットは「111」の 2 進数にプロ

レジスタ

グラムされます。これによって、BP2 ~ 0 ビットは POR、ハードウェアリセットまたはコマンドリセットの後に「111」の 2 進数にセットされます。BPNV が 1 にセットされたとき、WRR コマンドは BP ビットの揮発性バージョン (SR1V[4:2]) のみを書き込みます。BP ビットの不揮発性バージョン (SR1NV[4:2]) は、もはや WRR コマンドの影響を受けません。これによって、BP ビットが何回でも書き込めます。理由は、BP ビットが揮発性であり、揮発性 BP ビットを書き込むために必要な時間が揮発性レジスタ書き込み時間 t_{CS} よりずっと速いためです。BPNV_O が 1 にセットされた場合、ビットに 0 を書き込んでもビット値が変更されず、プログラムエラービット (SR1V[6] での P_ERR) もセットされません。

TBPARAM_O CR1NV[2]: TBPARAM_O はパラメーターブロックの論理的な位置を定義します。パラメーターブロックは、最上位または最下位アドレスセクタの 32KB 部分を置き換える 8 個の 4KB パラメーターセクタで構成されます。TBPARAM_O が「1」にセットされた場合、パラメーターブロックはメモリアレイのアドレス空間の最上部にあります。TBPARAM_O が「0」にセットされた場合、パラメーターブロックはアレの最下部にあります。TBPARAM_O ビットは OTP であり、インフィニオン出荷時に「0」にセットされています。TBPARAM_O が 1 にプログラムされたとき、ビットに 0 を書き込んでもビット値が変更されず、プログラムエラービット (SR1V[6] での P_ERR) もセットされません。

TBPARAM_O の所望状態は、システム製造中のデバイス初期設定時に、メインフラッシュアレイに対する最初のプログラム / 消去動作の前に選択する必要があります。プログラム / 消去がメインフラッシュアレイで行われた後は TBPARAM_O をプログラムしてはいけません。

TBPROT_O は TBPARAM_O ビットから独立してセットまたはクリアできます。したがって、ユーザーはアレの最下部からパラメーター情報を保存し、アレの最上部から始まるブートコードを保護すること、またはその逆を選択できます。また、ユーザーはアレの最上位または最下位から始まるパラメーター情報を保存と保護するオプションの両方を選択できます。

メモリアレイがユニフォームセクタとして設定されている場合、TBPARAM_O ビットは将来使用のために予約済み (RFU) であり、すべてのセクタが均一な大きさであるため影響はありません。

不揮発性クアドデータ幅 (QUAD_NV) CR1NV[1]: CR1V[1] の QUAD ビットのデフォルト状態を示します。WRR または WRAR コマンドはこのビットに影響を与えます。CR2NV[6] を 1 にプログラムすることによる QPI モードの不揮発性の選択は、QUAD_NV も 1 にプログラムし、不揮発性のデフォルトをクアドデータ幅モードに変更します。QPI モードが CR2V[6] = 1 で選択されている間、Quad_NV ビットは 0 にクリアできません。

フリーズ保護デフォルト (FREEZE) CR1NV[0]: CR1V[0] の FREEZE ビットのデフォルト状態を示します。ビットはユーザーによってプログラムできません。

レジスタ

7.3.2 揮発性コンフィギュレーションレジスタ 1 (CR1V)

関連コマンド : コンフィギュレーションレジスタ読み出し (RDCR 35h), レジスタ書き込み (WRR 01h), 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。RDCR コマンドの実行で表示されるレジスタです。

Table 24 揮発性コンフィギュレーションレジスタ 1 (CR1V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	将来使用するために予約済み	揮発性	CR1NV	予約済み
6	RFU				
5	TBPROT	TBPROT_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込めません。CR1NV[5] TBPROT_O を参照してください。
4	RFU	RFU	RFU		将来使用するために予約済みです。
3	BPNV	BPNV_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込めません。CR1NV[3] BPNV_O を参照してください。
2	TBPARAM	TBPARAM_O の揮発性コピー	揮発性読み出し専用		ユーザーによって書き込めません。CR1NV[2] TBPARAM_O を参照してください。
1	QUAD	クアッド I/O モード	揮発性		1 = クアッド 0 = デュアルまたはシリアル
0	FREEZE	次のパワーサイクルまでのロックダウン ロック保護	揮発性		ブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。 1 = ブロック保護と OTP はロックされます。 0 = ブロック保護と OTP はロック解除されます。

TBPROT, BPNV, and TBPARAM CR1V[5, 3, 2]: ビットは CR1NV の関連不揮発性ビットの揮発性コピーです。対応する不揮発性バージョンに対する変更を追跡します。

クアッド データ幅 (QUAD) CR1V[1]: 1 にセットされると、ビットはデバイスのデータ幅を 4 ビット クアッドモードに切り替えます。つまり、WP# は IO2 になり、IO3_RESET# は CS# が LOW のときアクティブな I/O 信号になり、CS# が HIGH のとき RESET# 入力になります。WP# 入力は通常機能が監視されず、内部で HIGH (非アクティブ) にセットされます。シリアルおよびデュアル I/O 読み出しのコマンドはまだ正常に動作しますが、異なるデータパス幅を使ってコマンドを切り替える際はコマンドのために WP# 入力を駆動する必要がありません。同様に、CS# が LOW のとき、それらのコマンドの実行中に IO3_RESET# を駆動する必要がありません。クアッド I/O 読み出し, DDR クアッド I/O 読み出し, QPI モード (CR2V[6] = 1) およびクアッド ID 読み出しコマンドを使用する際、QUAD ビットを 1 にセットする必要があります。QPI モードが CR2V[6] = 1 で選択されている間、QUAD ビットは 0 にクリアされません。WRR コマンドは QUAD ビットの不揮発性バージョン (CR1NV[1]) を書き込み、これによって揮発性バージョン (CR1V[1]) も更新されます。WRR コマンドはまず不揮発性バージョン CR1NV[1] に影響することなしには揮発性バージョン CR1V[1] を書き込めません。不揮発性バージョン CR1NV[1] に影響を与えずに揮発性 QUAD ビット CR1V[1] を書き込もうとすれば、WRAR コマンドを使用しなければいけません。

フリーズ保護 (FREEZE) CR1V[0]: FREEZE ビットは 1 にセットされれば、下記を含むブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。

- 不揮発性ステータスレジスタ 1 の BPNV_2 ~ 0 ビット (SR1NV[4:2])
- 揮発性ステータスレジスタ 1 の BP2 ~ 0 ビット (SR1NV[4:2])
- 不揮発性コンフィギュレーションレジスタの TBPROT_O, TBPARAM_O, BPNV_O ビット (CR1NV[5, 3, 2])
- 揮発性コンフィギュレーションレジスタの TBPROT, TBPARAM, BPNV ビット (CR1V[5, 3, 2]) は対応する CR1NV OTP ビットのシャドウバージョンで、読み出し専用である点において間接的に保護されます。
- OTP メモリ空間全体

レジスタ

FREEZE = 1 の間、上記のビットの変更が防止されます。

- WRR コマンドは上記のビットに影響を与えず、エラー ステータスがセットされません。
- WRAR コマンドは上記のビットに影響を与えず、エラー ステータスがセットされません。
- OTP 領域内のアドレスを指す OTPP コマンドは失敗し、P-ERR ステータスがセットされます。

FREEZE ビットが論理 0 にクリアされるかぎり、ブロック保護制御ビットと FREEZE ビットは書き込み可能で、OTP アドレス空間はプログラム可能です。

FREEZE ビットは一度論理 1 にセットされると、電源を切断してからまた投入するサイクルまたはハードウェアリセットでのみ論理 0 にクリアできます。ソフトウェアリセットは FREEZE ビットの状態に影響を与えません。

CR1V[0] FREEZE ビットは揮発性で、電源投入後の FREEZE ビットのデフォルト状態は CR1NV[0] での FREEZE_D ビットから得られます。FREEZE ビットは CR1V 内の他の値の更新と同時に WRR または WRAR コマンドの実行で設定できます。

FREEZE ビットは WRR または WRAR コマンドが SRWD_NV (SR1NV[7]), Quad_NV (CR1NV[1]), または QUAD (CR1V[1]) ビットを変更するのを防ぎません。

7.4 コンフィギュレーションレジスタ 2

コンフィギュレーションレジスタ 2 は一定のインターフェース機能を制御します。レジスタ ビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。レジスタの不揮発性バージョンにより、POR、ハードウェアリセット、またはソフトウェアリセット時の制御を設定できます。コンフィギュレーションビットは OTP であり、そのデフォルト状態はシステムコンフィギュレーション中に 1 回のみ反対値に変更できます。レジスタの揮発性バージョンは通常動作での機能を制御します。

7.4.1 不揮発性コンフィギュレーションレジスタ 2 (CR2NV)

関連コマンド : 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。

Table 25 不揮発性コンフィギュレーションレジスタ 2 (CR2NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	AL_NV	アドレス長	OTP	0	1=4 バイト アドレス 0=3 バイト アドレス
6	QA_NV	QPI		0	1=有効 -- QPI (4-4-4) プロトコルを使用します。 0=無効 -- 従来の SPI プロトコルを使用します。 命令は SI 上で常にシリアルです。
5	IO3R_NV	IO3 リセット		0	1=有効 -- CS# が HIGH のとき、またはクアッドモードが無効 (CR1V[1]=1) のとき、IO3 は RESET# として使用されます。 0=無効 -- IO3 は代替機能を持っておらず、ハードウェアリセットは無効です。
4	RFU	予約済み		0	将来使用するために予約済みです。
3	RL_NV	読み出しレ イテンシ		1	読み出しアドレスまたは連続モード ビットの後に続く 0 ~ 15 のレイテンシ (ダミー) サイクルです。 ビット 3 はデフォルトで 1 であり、いったん 0 にプログラムすると 1 に戻すことはできない点に注意してください。
2			0		
1			0		
0			0		

不揮発性アドレス長 CR2NV[7]: ビットは、アドレスを必要とし 3 バイトまたは 4 バイト (32 ビット) アドレスのみに固定しないすべてのコマンドに対して、POR、ハードウェアリセット、またはソフトウェアリセット時の所望するアドレス長を制御します。アドレスを必要とするほとんどのコマンドは、従来 3 バイト (24 ビット) のアドレスを使用するレガシーの SPI コマンドです。容量が 128M ビット以上のデバイスの場合、メモリアレイ全体にアクセスするために 4 バイトのアドレスが必要です。アドレス長コンフィギュレーションビットはほとんどの 3 バイト アドレス コマンドを所望の 4 バイト アドレスに変更するために使用されます。コマンドアドレス長については、Table 46 を参照してください。4 バイトアドレス長の使用は FS-S ファミリの 128M ビット デバイスにも適用されます。よって、ファミリのすべてのデバイスに同じ 4 バイト アドレスのハードウェアとソフトウェアインターフェースを使用でき、容量が異なるデバイス間の置き換えは簡単になります。FS-S ファミリの 128M ビット デバイスは単に 4 番目の上位アドレスバイトの内容を無視します。不揮発性アドレス長コンフィギュレーションビットを使用すると、デバイスは、レガシーの 3 バイト アドレス モードではなく 4 バイト アドレス モードで直ちに起動 (ブート) できます。

不揮発性 QPI CR2NV[6]: ビットは、すべてのコマンドに対して、POR、ハードウェアリセット、またはソフトウェアリセット時のすべてのコマンドに対する所望の命令幅を制御します。レガシーの SPI コマンドは 1 ビット幅 (シリアル I/O) の命令を SI (IO0) 信号上に送信します。FS-S ファミリは、ホストシステムとメモリ間のすべての転送 (すべての命令転送を含む) が 4 ビット幅で IO0 ~ IO3 を介して実行される QPI モードにも対応します。不揮発性 QPI コンフィギュレーションビットを使用すると、デバイスは、レガシーのシリアル命令モードではなく QPI モードで直ちに起動 (ブート) できます。ビットが QPI モードにプログラムされたとき、QUAD_NV ビットもクアッドモードにプログラムされます (CR1NV[1]=1)。QPI モードに遷移する推奨手順は、まず WRAR コマンドを使用して CR2V[6] を「1」(QPI モード) をセットすることです。QPI モードでの揮発性レジスタ書き込みは、QPI モードにデバイスインターフェースを

レジスタ

切り替えるための短くて明確に定義された時間 (tCS) を要します。その後、後続するコマンドは直ちに QPI プロトコルで送信できます。WRAR コマンドを使用して CR2NV[6] を「1」にプログラムし、その後、SR1V[0] をポーリングしていつプログラム動作が終了するかを判定します。同様に、QPI モードを終了するために、WRAR コマンドを使用して CR2V[6] を「0」にクリアします。CR2NV[6] は OTP であるため「0」に消去はできません。

不揮発性 IO3 リセット CR2NV[5]: ビットは、POR、ハードウェアリセット、またはソフトウェアリセット時の IO3 信号動作を制御します。ほとんどのレガシー SPI デバイスは、従来の SPI デバイスパッケージにおける信号数および使用可能な接続数に制限があるため、ハードウェアリセットの入力信号を有しません。FS-S ファミリでは、IO3 信号がホストシステムとメモリ間の情報通信に使用されていないとき、IO3 信号をハードウェアリセット入力として使用するオプションがあります。不揮発性 IO3 リセットコンフィギュレーションビットは、IO3 が RESET# 信号として使用可能な状態でデバイスを直ちに起動 (ブート) させます。

不揮発性読み出しレイテンシ CR2NV[3:0]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時のすべての可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミー サイクル) 遅延を制御します。以下の読み出しコマンドは、アドレス / モードの終わりからホストに返される読み出しデータの始まりまでの、可変のレイテンシ期間があります。

- 高速読み出し
- デュアル出力読み出し
- クアッド出力読み出し
- デュアル I/O 読み出し
- クアッド I/O 読み出し
- DDR クアッド I/O 読み出し
- OTPR
- ECCRD
- RDAR

不揮発性読み出しレイテンシ コンフィギュレーションビットは、使用される読み出しレイテンシ (ダミー サイクル) 数を設定します。これにより、デバイスはホストシステムの適切な読み出しレイテンシで直ちに起動 (ブート) できます。

Table 26 レイテンシコード (サイクル) と周波数

レイテンシ コード	読み出しコマンドの最大周波数 (MHz)				
	高速読み出し (1-1-1) デュアル出力 (1-1-2) クアッド出力 (1-1-4) OTPR (1-1-1) ECCRD (1-1-1) RDAR (1-1-1) RDAR (4-4-4)	デュアル I/O (1- 2-2)	クアッド I/O (1- 4-4) QPI (4-4-4)	ECCRD (4-4-4)	DDR クアッド I/O (1-4-4) DDR QPI (4-4-4)
	モード サイクル = 0	モード サイクル = 4	モード サイクル = 2	モード サイクル = 0	モード サイクル = 1
0	50	80	40	16	該当なし
1	66	92	53	26	22
2	80	104	66	40	34
3	92	116	80	53	45
4	104	129	92	66	57
5	116	133	104	80	68
6	129	133	116	92	80
7	133	133	129	104	80
8	133	133	133	116	80
9	133	133	133	129	80
10	133	133	133	133	80
11	133	133	133	133	80
12	133	133	133	133	80
13	133	133	133	133	80
14	133	133	133	133	80
15	133	133	133	133	80

注:

28. デバイス ファミリは 133 MHz SDR 以上、または 80 MHz DDR 以上の SCK 周波数に対応しません。
29. デュアル I/O, クアッド I/O, QPI, DDR クアッド I/O, および DDR QPI コマンド プロトコルには、アドレスの後に続く連続読み出しモードのビットが含まれます。ビットのクロックサイクルはこの表に示されるレイテンシサイクルの一部として計算されません。例えば、レガシーのクアッド I/O コマンドでは、アドレスの後に 2 つの連続読み出しモード サイクルが続きます。したがって、追加の読み出しレイテンシがないレガシーのクアッド I/O コマンドは、0 サイクルの読み出しレイテンシのためにこの表に示されている周波数までだけが対応されます。可変読み出しレイテンシを増加することで、クアッド I/O コマンドの周波数は最大周波数 (133 MHz) の動作に対応できるように増加できます。
30. その他の読み出しコマンドは固定レイテンシを持っています。例えば、読み出しは常にゼロレイテンシ, RSFDP は常に 8 サイクルのレイテンシ, RUID は常に 32 サイクルのレイテンシ, RUID は常に 4 ダミー バイトまたは QPI モードでは 16 ダミー バイト (32 クロック サイクル) を持っています。

レジスタ

7.4.2 揮発性コンフィギュレーションレジスタ 2 (CR2V)

関連コマンド : 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h), 4BAM。

Table 27 揮発性コンフィギュレーションレジスタ 2 (CR2V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	AL	アドレス長	揮発性	CR2NV	1=4 バイト アドレス 0=3 バイト アドレス
6	QA	QPI			1=有効 -- QPI (4-4-4) プロトコルを使用します。 0=無効 -- 従来の SPI プロトコルを使用します。 命令は SI 上で常にシリアルです。
5	IO3R_S	IO3 リセット			1=有効 -- CS# が HIGH のとき、またはクアッドモードが無効 (CR1V[1]=1) のとき、IO3 は RESET# として使用されます。 0=無効 -- IO3 は代替機能を持っておらず、ハードウェアリセットは無効です。
4	RFU	予約済み			将来使用するために予約済み
3	RL	読み出しレイテンシ			読み出しアドレスまたは連続モード ビットの後に続く 0 ~ 15 のレイテンシ (ダミー) サイクルです。
2					
1					
0					

アドレス長 CR2V[7]: ビットは、アドレスを必要とし 3 バイトまたは 4 バイト (32 ビット) アドレスのみに固定しないすべてのコマンドに対して、所望するアドレス長を制御します。コマンド アドレス長については、Table 46 を参照してください。揮発性アドレス長コンフィギュレーションビットは、通常動作中にアドレス長を変更できます。4 バイト アドレス モード (4BAM) コマンドはビットを 4 バイト アドレスモードに直接設定します。

QPI CR2V[6]: ビットはすべてのコマンドに対して所望の命令幅を制御します。揮発性 QPI コンフィギュレーションビットは、デバイスが通常動作中に QPI モードを開始 / 終了できます。ビットが QPI モードにセットされたとき、QUAD ビットもクアッドモードにセットされます (CR1NV[1]=1)。ビットをレガシーの SPI モードにクリアしても、QUAD ビットは影響されません。

IO3 リセット CR2V[5]: ビットは IO3_RESET# 信号の動作を制御します。揮発性 IO3 リセット コンフィギュレーションビットは通常動作で IO3 を RESET# 入力として使用することを可能にします。

読み出しレイテンシ CR2V[3:0]: ビットは、可変レイテンシ読み出しコマンドの読み出しレイテンシ (ダミーサイクル) 遅延を制御します。揮発性コンフィギュレーションビットを使用することにより、ユーザーは通常動作での読み出しレイテンシを調整でき、異なるコマンドまたは必要な場合に異なる動作周波数に応じてレイテンシを最適化できます。

7.5 コンフィギュレーションレジスタ 3

コンフィギュレーションレジスタ 3 は特定のコマンドの動作を制御します。レジスタビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。不揮発性レジスタは、POR、ハードウェアリセット、またはソフトウェアリセット時の制御を提供します。コンフィギュレーションビットは OTP であり、必要に応じて、システムコンフィギュレーション中に 1 回反対値にプログラムできます。コンフィギュレーションレジスタ 3 の揮発性バージョンは、システムの動作やテスト中にコンフィギュレーションを変更できるようにします。

7.5.1 不揮発性コンフィギュレーションレジスタ 3 (CR3NV)

関連コマンド : 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。

Table 28 不揮発性コンフィギュレーションレジスタ 3 (CR3NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	予約済み	OTP	0	将来使用するために予約済みです。
6	RFU	予約済み		0	将来使用するために予約済みです。
5	BC_NV	ブランクチェック		0	1=消去中のブランクチェックは有効です。 0=ブランクチェックは無効です。
4	02h_NV	ページバッファラップ		0	1=512 バイトでラップします。 0=256 バイトでラップします。
3	20h_NV	4 KB 消去		0	1=4KB 消去は無効です (ユニフォームセクタアーキテクチャ) 0=4KB 消去は有効です (ハイブリッドセクタアーキテクチャ)
2	30h_NV	ステータスクリア / 再開の選択		0	1=30h は消去 / プログラム再開コマンドです。 0=30h はステータスクリアコマンドです。
1	D8h_NV	ブロック消去サイズ		0	1=256KB 消去 0=64KB 消去
0	F0h_NV	レガシーソフトウェアリセットイネーブル		0	1=ソフトウェアリセット F0h は有効です。 0=ソフトウェアリセット F0h は無効です (無視されます)。

不揮発性ブランクチェック CR3NV[5]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時の消去中のブランクチェックを制御します。

不揮発性 02h CR3NV[4]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時のページプログラミムバッファアドレスラップポイントを制御します。

不揮発性 20h CR3NV[3]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時のメインフラッシュアレイアドレスマップでの 4KB パラメーターセクタの利用可能性を制御します。

不揮発性 30h CR3NV[2]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時の 30h 命令コードの使用を制御します。

不揮発性 D8h CR3NV[1]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時の、FS-S ファミリの D8h または DCh 命令によって消去される領域のサイズの設定を制御します。

不揮発性 F0h CR3NV[0]: ビットは POR、ハードウェアリセット、またはソフトウェアリセット時のインフィニオンレガシー FL-S ファミリのソフトウェアリセット命令の利用可能性を制御します。

7.5.2 揮発性コンフィギュレーションレジスタ 3 (CR3V)

関連コマンド: 任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

Table 29 揮発性コンフィギュレーションレジスタ 3 (CR3V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	RFU	予約済み	揮発性	CR3NV	将来使用するために予約済みです。
6	RFU	予約済み			将来使用するために予約済みです。
5	BC_V	ブランクチェック			1 = 消去中のブランクチェックは有効です。 0 = ブランクチェックは無効です。
4	02h_V	ページバッファラップ			1 = 512 バイトでラップします。 0 = 256 バイトでラップします。
3	20h_V	4 KB 消去	揮発性、読み出し専用		1 = 4KB 消去は無効です (ユニフォームセクタアーキテクチャ)。 0 = 4KB 消去は有効です (ハイブリッドセクタアーキテクチャ)。
2	30h_V	ステータスクリア / 再開の選択	揮発性		1 = 30h は消去 / プログラム再開コマンドです。 0 = 30h はステータスクリアコマンドです。
1	D8h_V	ブロック消去サイズ			1 = 256 KB 消去 0 = 64 KB 消去
0	F0h_V	レガシーソフトウェアリセットイネーブル			1 = ソフトウェアリセット F0h は有効です。 0 = ソフトウェアリセット F0h は無効です (無視されます)。

揮発性ブランクチェック CR3V[5]: ビットは消去中のブランクチェックを制御します。機能を有効にすると、消去コマンドはまずセクタの消去状態を評価します。セクタに対する直前の消去が正常に完了していないことが検出されると、そのセクタは無条件に消去されます。直前の消去が正常に完了した場合、セクタはまだ消去中 (ブランク) であるかどうかを判断するために読み出されます。消去動作は、0 にプログラムされたビットが見つかった直後に開始されます。セクタはすでにブランクであった (0 にプログラムされたビットが見つからない) 場合、消去動作の残りの部分はスキップされます。これにより、消去中のセクタに消去動作が不要である場合、消去時間を劇的に低減できます。ブランクチェック機能は有効にされたとき、パラメーター消去、セクタ消去、およびバルク消去のコマンドに使用されます。ブランクチェック機能は無効にされたとき、消去コマンドによって消去動作が無条件に開始されます。

揮発性 02h CR3V[4]: ビットはページプログラムバッファアドレスラップポイントを制御します。レガシー SPI デバイスは、一般的に 256 バイトページプログラムバッファを使用し、データが 255 バイトの位置を越えたバッファにロードされた場合、追加バイトがロードされるアドレスがバッファのアドレス 0 にラップされることを定義します。FS-S ファミリはプログラム性能を向上できる 512 バイトページプログラムバッファを提供します。レガシーソフトウェアとの互換性のために、コンフィギュレーションビットは、256 バイト境界でラップ動作を継続するオプション、または 256 バイト境界でロードアドレスをラップしないことで使用可能な 512 バイトバッファをフルに活用できるオプションを提供します。

揮発性 20h CR3V[3]: ビットはメインフラッシュアレイアドレスマップでの 4 KB パラメーターセクタの利用可能性を制御します。パラメーターセクタはデバイスの最上位 / 最下位 32 KB アドレス範囲を重ねることができます。またこれらのセクタは、すべてのセクタが均一な大きさになるために、アドレスマップから削除されることもあります。ビットには、CR3NV[3] の値とは異なる値を書き込んではいけません。CR3V[3] の値は CR3NV[3] に書き込むことでのみ変更できます。

揮発性 30h CR3V[2]: ビットは 30h 命令コードの使用方法を制御します。命令は、ステータスクリアコマンド、または代替のプログラム / 消去再開コマンドとして使用できます。これにより、インフィニオンのレガシー SPI デバイスまたは代替のベンダーのデバイスとのソフトウェア互換性があります。

揮発性 D8h CR3V[1]: ビットは FS-S ファミリでの D8h または DCh 命令により消去される領域を制御します。命令は 64 KB の物理セクタ、またはアラインされた 256 KB ブロックを消去するために使用できます。ファミリのより小さい容量のデバイスでの 256 KB ブロックを消去するオプションにより、すべての容量のデバイスにわたってソフトウェア動作は一貫性があり、異なる容量のデバイス間の置き換えが容易になります。

レジスタ

揮発性 F0h CR3V[0]: ビットはインフィニオンのレガシー FL-S ファミリ ソフトウェア リセット 命令の利用可能性を制御します。FS-S ファミリは、ソフトウェア リセット用の業界共通 66h + 99h 命令シーケンスに対応します。コンフィギュレーションビットは、ソフトウェア リセット用にレガシー F0h シングルコマンドを使用し続けるオプションを可能にします。

7.6 コンフィギュレーションレジスタ 4

コンフィギュレーションレジスタ 4 はメインフラッシュアレイの読み出しコマンドのバーストラップ動作を制御します。バーストラップコンフィギュレーションは、レジスタまたは OTP アレイからの読み出しコマンドなどのメインフラッシュアレイでない領域から読み出すコマンドに影響しません。POR、ハードウェアリセット、またはソフトウェアリセット時にレジスタの内容がレジスタの揮発性バージョンにコピーされるため、レジスタの不揮発性バージョンは起動時(ブート)の制御状態を設定できるようにします。レジスタの揮発性バージョンは通常動作での機能を制御します。レジスタビットは任意レジスタ読み出しと任意レジスタ書き込みコマンドを実行することで読み出され、変更が可能です。レジスタの揮発性バージョンはバースト長設定 (C0h) コマンドを実行することによっても書き込まれます。

7.6.1 不揮発性コンフィギュレーションレジスタ 4 (CR4NV)

関連コマンド : 任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

Table 30 不揮発性コンフィギュレーションレジスタ 4 (CR4NV)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	OI_O	出力インピーダンス	OTP	0	Table 31 を参照してください。
6				0	
5				0	
4	WE_O	ラップイネーブル		1	0 = ラップが有効です。 1 = ラップが無効です。
3	RFU	予約済み		0	将来使用するため予約済みです。
2	RFU	予約済み		0	将来使用するため予約済みです。
1	WL_O	ラップ長		0	00 = 8 バイト ラップ 01 = 16 バイト ラップ 10 = 32 バイト ラップ 11 = 64 バイト ラップ
0				0	

不揮発性出力インピーダンス CR4NV[7:5]: ビットは、POR、ハードウェアリセット、またはソフトウェアリセット時の IO 信号の出力インピーダンス (駆動能力) を制御します。出力インピーダンスをプリント基板のシステム環境に一致させ、オーバーシュートおよびリングングを最小限に抑えるために、多くの駆動能力を利用できます。不揮発性出力インピーダンスのコンフィギュレーションビットにより、デバイスは適切な駆動能力で直ちに起動 (ブート) できます。

Table 31 出力インピーダンス制御

CR4NV[7:5] インピーダンス選択	V _{SS} に対する 標準インピーダンス (Ω)	V _{CC} に対する 標準インピーダンス (Ω)	備考
000	47	45	工場出荷時
001	124	105	
010	71	64	
011	47	45	
100	34	35	
101	26	28	
110	22	24	
111	18	21	

レジスタ

不揮発性ラップイネーブル CR4NV[4]: ビットは POR, ハードウェアリセット, またはソフトウェアリセット時のラップイネーブルを制御します。ラップイネーブルに影響されるコマンドはクアッド I/O 読み出し, DDR クアッド I/O 読み出し, クアッド出力読み出し, および QPI 読み出しです。コンフィギュレーションビットを使用すると、デバイスはレガシーの順次読み出しモードではなくラップバースト読み出しモードで直ちに起動(ブート)できます。

不揮発性ラップ長 CR4NV[1:0]: ビットは、POR, ハードウェアリセット, またはソフトウェアリセット時のラップ読み出しの長さおよびアラインメントを制御します。不揮発性コンフィギュレーションビットを使用すると、デバイスは、レガシーの順次読み出しモードではなくラップバースト読み出しモードで直ちに起動(ブート)できます。

7.6.2 揮発性コンフィギュレーションレジスタ 4 (CR4V)

関連コマンド: 任意レジスタ読み出し (RDAR65h), 任意レジスタ書き込み (WRAR71h), バースト長設定 (SBLCOh)。

Table 32 揮発性コンフィギュレーションレジスタ 4 (CR4V)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7	OI	出力インピーダンス	揮発性	CR4NV	Table 31 を参照してください。
6					
5					
4	WE	ラップイネーブル			0 = ラップは有効です。 1 = ラップは無効です。
3	RFU	予約済み			将来使用するために予約済みです。
2	RFU	予約済み			将来使用するために予約済みです。
1	WL	ラップ長			00 = 8 バイト ラップ
0			01 = 16 バイト ラップ 10 = 32 バイト ラップ 11 = 64 バイト ラップ		

出力インピーダンス CR2V[7:5]: ビットは IO 信号の出力インピーダンス (駆動能力) を制御します。揮発性出力インピーダンス コンフィギュレーションビットを使用すると、ユーザーは通常動作での駆動能力を調整できます。

ラップイネーブル CR4V[4]: ビットはバーストラップ機能を制御します。揮発性コンフィギュレーションビットを使用すると、デバイスは通常動作中にバーストラップ読み出しモードを開始/終了できます。

ラップ長 CR4V[1:0]: ビットは、通常動作でのラップ読み出しの長さおよびアラインメントを制御します。揮発性コンフィギュレーションビットを使用すると、ユーザーは通常動作でのバーストラップ読み出しの長さを調整できます。

7.7 ECC ステータス レジスタ (ECCSR)

関連コマンド: ECC 読み出し (ECCRD 18h または 19h)。ECCSR には、ユーザープログラム可能な不揮発性ビットがありません。

すべての定義済みビットは揮発性の読み出し専用状態です。ビットのデフォルト状態はハードウェアにより設定されます。自動 ECC を参照してください。

各 ECC ユニット内の ECC の状態は 8 ビット ECC ステータス レジスタ (ECCSR) により提供されます。ECC レジスタ読み出しコマンドが書き込まれた後、ECC ユニットアドレスが続きます。ステータスレジスタの内容は、ECC ユニットの 8 ビット エラー訂正コードまたは 16 バイト データにエラーがあるかどうか、または ECC ユニットののための ECC が無効にされたかどうかを示します。

レジスタ

Table 33 ECC ステータス レジスタ (ECCSR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7～3	RFU	予約済み		0	将来使用するために予約済みです。
2	EECC	ECC でのエラー	揮発性, 読み出し専用	0	1=ECC ユニット 8 ビット エラー訂正コードでシングルビットエラーが発生 0=エラーなし
1	EECCD	ECC ユニットデータでのエラー	揮発性, 読み出し専用	0	1=ECC ユニットデータでシングルビットエラーが訂正 0=エラーなし
0	ECCDI	ECC 無効	揮発性, 読み出し専用	0	1=選択した ECC ユニットで ECC が無効 0=選択した ECC ユニットで ECC が有効

ECCSR[2]=1 は、ECC でエラーが訂正されたことを示します。ECCSR[1]=1 は、ECC ユニットデータでエラーが訂正されたことを示します。ECCSR[0]=1 は ECC が無効にされたことを示します。ビットのデフォルト状態「0」はエラーがない、かつ ECC が有効であることを示します。

ECCSR[7:3] が予約済みです。未定義の HIGH または LOW の値を持っており、この値は、あるステータス読み出しから別のステータス読み出しに変更できます。ビットは、「ドントケア」として扱うべきであり、ステータスを読み出すすべてのソフトウェアによって無視されます。

7.8 ASP レジスタ (ASPR)

関連コマンド : ASP 読み出し (ASPRD 2Bh), ASP プログラム (ASPP 2Fh), 任意レジスタ読み出し (RDAR 65h), 任意レジスタ書き込み (WRAR 71h)。

ASP レジスタは、高度セクタ保護 (ASP) 機能の動作を恒久的に設定するための 16 ビットの OTP メモリ位置を示します。ASPR にはユーザーがプログラム可能な揮発性ビットがありません。すべての定義されたビットは OTP です。

ASPR ビットのデフォルト状態はインフィニオンによってプログラムされています。

Table 34 ASP レジスタ (ASPR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
15～9	RFU	予約済み	OTP	1	将来使用するために予約済みです。
8	RFU	予約済み	OTP	1	将来使用するために予約済みです。
7	RFU	予約済み	OTP	1	将来使用するために予約済みです。
6	RFU	予約済み	OTP	1	将来使用するために予約済みです。
5	RFU	予約済み	OTP	1	将来使用するために予約済みです。
4		予約済み	RFU	1	将来使用するために予約済みです。
3		予約済み	RFU	1	将来使用するために予約済みです。
2	PWDMLB	パスワード保護モードロックビット	OTP	1	0=パスワード保護モードが永久的に有効にされます。 1=パスワード保護モードが永久的に有効にされません。
1	PSTMLB	持続的保護モードロックビット	OTP	1	0=持続的保護モードが永久的に有効にされます。 1=持続的保護モードが永久的に有効にされません。
0		予約済み	RFU	1	将来使用するために予約済みです。

パスワード保護モードロックビット (PWDMLB) ASPR[2]: PWDMLB が「0」にプログラムされると、パスワード保護モードが恒久的に選択されます。

レジスタ

持続的保護モード ロック ビット (PSTMLB) ASPR[1]: PSTMLB が「0」にプログラムされると、持続的保護モードが恒久的に選択されます。

PWDMLB (ASPR[2]) と PSTMLB (ASPR[1]) は相互に排他的であり、1つのみを「0」にプログラムできます。

ASPR[2:1] = 11b の場合のみ、ASPR ビットをプログラムできます。ASPR[2:1] が 11b でない場合、ASPR ビットをプログラムしようとする、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。ASPR[2:1] を 10b または 01b にプログラムすることで ASP 保護モードを選択した後、すべての ASPR ビットの状態はロックされ、将来のプログラムから永久的に保護されます。ASPR[2:1] を 00b にプログラムしようとする、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。

同様に、ASPR[2:1] = 11b の場合のみ、ASP レジスタ説明 (ASP レジスタを参照) で記載された OTP コンフィギュレーションビットをプログラムできます。ASP 保護モードを選択する前に、OTP コンフィギュレーションを選択する必要があります。ASP 保護モードを選択したとき、OTP コンフィギュレーションビットは将来の変更から永久的に保護されます。ASPR[2:1] が 11b でない場合、OTP コンフィギュレーションビットをプログラムしようとする、プログラミング エラーが発生し、P_ERR (SR1V[6]) が「1」にセットされます。

ASP 保護モードは、後で不正なプログラムが望まない保護モードを選択しないようにするため、システム コンフィギュレーションのときに選択する必要があります。ASP モードの選択によりすべての保護コンフィギュレーションをロックすることで、後で不正なプログラムが保護方式を変更できません。

7.9 パスワード レジスタ (PASS)

関連コマンド : パスワード読み出し (PASSRD E7h)、パスワード プログラム (PASSP E8h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。PASS レジスタは、高度セクタ保護 (ASP) 機能のパスワードを永久的に設定するための 64 ビット OTP メモリ位置です。PASS にはユーザーがプログラム可能な揮発性ビットがありません。すべての定義されたビットは OTP です。読み出しレイテンシ要件を満たすために PASS の揮発性コピーが使用されますが、揮発性レジスタはユーザー書き込み不可であり、さらなる説明はされません。

Table 35 **パスワード レジスタ (PASS)**

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
63 ~ 0	PWD	隠しパスワード	OTP	FFFFFFFF ~ FFFFFFFFh	64 ビットパスワードの不揮発性 OTP ストレージです。ASP レジスタのビット 2 を「0」にプログラムすることでパスワード保護モードを選択した後、パスワードは読み出し不可となります。

7.10 PPB ロック レジスタ (PPBL)

関連コマンド : PPB ロック読み出し (PLBRD A7h, PLBWR A6h)、任意レジスタ読み出し (RDAR 65h)。

PPBL にはユーザーがプログラム可能な個別の不揮発性ビットがありません。すべての定義されたビットは、揮発性の読み出し専用状態です。RFU ビットのデフォルト状態はハードウェアで設定されます。

PPBLOCK ビットのデフォルト状態は ASPR[2:1] での ASP 保護モードビットにより定義されます。PPBL レジスタの不揮発性バージョンはありません。

PPBLOCK ビットは PPB ビットを保護するために使用されます。PPBL[0] = 0 の場合、PPB ビットをプログラムできません。

Table 36 **PPB ロック レジスタ (PPBL)**

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 1	RFU	予約済み	揮発性	00h	将来使用するため予約済みです。
0	PPBLOCK	PPB アレイ保護	揮発性読み出し専用	ASPR[2:1] = 1xb = 持続的保護モード = 1 ASPR[2:1] = 01b = パスワード保護モード = 0	0 = PPB アレイは保護されます。 1 = PPB アレイはプログラムまたは消去できます。

レジスタ

7.11 PPB アクセス レジスタ (PPBAR)

関連コマンド : PPB 読み出し (PPBRD FCh または 4PPBRD E2h)、PPB プログラム (PPBP FDh または 4PPBP E3h)、PPB 消去 (PPBE E4h)。

PPBAR にはユーザーが書き込み可能な揮発性ビットがありません。すべての PPB アレイ ビットは不揮発性です。インフィニオンは PPB アレイのデフォルト状態を FFh に消去します。PPBAR レジスタの揮発性バージョンはありません。

Table 37 PPB アクセス レジスタ (PPBAR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	PPB	セクタ PPB 単位の読み出し / プログラム	不揮発性	FFh	00h = PPBRD または PPBP コマンドでアドレス指定された PPB が「0」にプログラムされ、そのセクタはプログラムまたは消去から保護されます。FFh = PPBRD コマンドでアドレス指定された PPB が「1」にセットされ、そのセクタはプログラムまたは消去から保護されません。

7.12 DYB アクセス レジスタ (DYBAR)

関連コマンド : DYB 読み出し (DYBRD FAh または 4DYBRD E0h) と DYB 書き込み (DYBWR FBh または 4DYBWR E1h)。

DYBAR にはユーザーがプログラム可能な不揮発性ビットがありません。すべてのビットは DYB アレイの揮発性ビットのコピーです。DYB アレイ ビットのデフォルト状態はハードウェアで設定されます。DYBAR レジスタの不揮発性バージョンはありません。

Table 38 DYB アクセス レジスタ (DYBAR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	DYB	セクタ DYB 単位の読み出しまたは書き込み	Volatile		00h = DYBRD または DYBWR コマンドでアドレス指定された DYB が「0」にクリアされ、そのセクタはプログラムまたは消去から保護されます。FFh = DYBRD または DYBWR コマンドでアドレス指定された DYB が「1」にセットされ、そのセクタはプログラムまたは消去から保護されません。

7.13 SPI DDR データ ラーニング レジスタ

関連コマンド : NVDLR プログラム (PNVDLR 43h)、VDLR 書き込み (WVDLR 4Ah)、データ ラーニング パターン 読み出し (DLPRD41h)、任意レジスタ読み出し (RDAR 65h)、任意レジスタ書き込み (WRAR 71h)。

データ ラーニング パターン (DLP) は 8 ビット不揮発性データ ラーニング レジスタ (NVDLR) および 8 ビット揮発性データ ラーニング レジスタ (VDLR) にあります。インフィニオン出荷時の NVDLR 値は 00h です。いったんプログラムされた NVDLR は、再プログラムも消去もできません。NVDLR のデータ パターンのコピーは VDLR にも書き込まれます。VDLR はいつでも書き込めますが、パワー サイクルでデータ パターンは NVDLR 内のものに戻ります。説明された SPI DDR モードのラーニング フェーズでは、DLP は VDLR から得られます。それぞれの IO はクロック エッジごとに同じ DLP 値を出力します。例えば、DLP が 34h (2 進で 00110100) の場合、1 番目のクロック エッジですべての I/O は 0 を出力します。続いて、2 番目のクロック エッジで 0 を、3 番目のクロック エッジで 1 を、というように順番に出力します。

Table 39 不揮発性 データ ラーニング レジスタ (NVDLR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7 ~ 0	NVDLP	不揮発性 データ ラーニング パターン	OTP	00h	ホストが受信データ ビットでデータ キャプチャ ポイントを正確に中央に位置付けるのに役立つトレーニング パターンを提供するために DDR 読み出しコマンド レイテンシ (ダミー) サイクル中にホストに転送される OTP 値です。

Table 40 揮発性データ ラーニング レジスタ (VDLR)

ビット	フィールド名	機能	タイプ	デフォルト状態	説明
7～0	VDLP	揮発性データ ラーニング パターン	揮発性	POR または リセット中 に NVDLR の値を取得	データ ラーニング パターン (DLP) を有効にして出力に供給するための NVDLP の揮発性コピーです。VDLP はシステム動作中にホストによって変更される場合があります。

8 組込みアルゴリズム性能表

Table 41 プログラムと消去の性能

記号	パラメーター	Min	Typ ^[31]	Max	単位
t_W	不揮発性レジスタ書き込み時間	-	240	750	ms
t_{PP}	ページプログラム時間 (512 バイト) ページプログラム時間 (256 バイト)	-	475 360	2000 2000	μ s
t_{SE}	セクタ消去時間 (64 KB または 4 KB 物理セクタ)	-	240	725	ms
	セクタ消去時間 (256 KB 論理セクタ = 4x64K 物理セクタ)	-	930	2900	ms
t_{BE}	バルク消去時間 (S25FS064S)	-	30	94	s
t_{EES}	消去状態評価時間 (64 KB または 4 KB 物理セクタ)	-	20	25	μ s
	消去状態評価時間 (256 KB 物理セクタ または 論理セクタ)	-	80	100	

注:

- 31.プログラム時間と消去時間の Typ 値は、次の条件を想定したものです : 25°C, $V_{CC} = 1.8$ V, ランダムデータパターン。
- 32.任意の OTP プログラム コマンドのプログラム時間は t_{PP} と同じです。OTPP 42h, PNVDLR 43h, ASPP 2Fh, PASSP E8h があります。
- 33.PPBP E3h コマンドのプログラム時間は t_{PP} と同じです。PPBE E4h コマンドの消去時間は t_{SE} と同じです。

Table 42 プログラムまたは消去一時停止の AC パラメーター

パラメーター	Typ	Max	単位	備考
一時停止レイテンシ (t_{SL})	-	50	μ s	一時停止コマンドから WIP ビットが 0 になるまでの時間
再開からの次のプログラム一時停止までの時間 (t_{RS})	100	-	μ s	これは次の一時停止コマンド発行に必要な時間ですが、プログラムまたは消去を実行して完了するのに Typ 値以上の時間が必要です。

9 データ保護

9.1 セキュアシリコン領域

デバイスにはメインフラッシュアレイから独立した 1024 バイトワンタイムプログラム (OTP) アドレス空間があります。OTP 領域は 32 の領域に分割され、それぞれが単独にロックでき、32 バイト整列長です。OTP メモリ空間はシステムセキュリティ強化のために使用されます。OTP 値は、フラッシュコンポーネントをシステム CPU/ASIC と一体化してデバイス置き換えを回避できます。[OTP アドレス空間](#)、[OTP プログラム \(OTPP 42h\)](#)、[OTP 読み出し \(OTPR 4Bh\)](#) を参照してください。

9.1.1 OTP メモリ空間の読み出し

OTP 読み出しコマンドは高速読み出しと同じプロトコルを使用します。1 KB の有効な OTP アドレス範囲外の OTP 読み出し動作は不定値を生じます。

9.1.2 OTP メモリ空間のプログラム

OTP プログラムコマンドのプロトコルは、ページプログラムと同じです。OTP プログラムコマンドは、特定の OTP のアドレスに複数回実行できますが、このアドレス空間を消去できません。

自動 ECC は各 16 バイト領域に対する最初のプログラム動作によりプログラムされます。16 バイト領域内で 2 回以上プログラムすると、ECC が無効になります。ECC が有効状態のまま最高のデータ完全性を実現するためには、各 32 バイト領域の各 16 バイト部分を 1 回プログラムすることを推奨します。

OTP プログラムの有効なアドレス範囲を [Figure 38](#) に示します。有効な OTP アドレス範囲外の OTP プログラム動作は無視され、SR1V の P_ERR ビットが「1」にセットされません。FREEZE=1 の場合、有効な OTP アドレス範囲内の OTP プログラム動作は失敗し、SR1V での P_ERR ビットが「1」にセットされません。ASP 保護モードを選択しても、OTP アドレス空間が保護されません。FREEZE ビット (CR1V[0]) は OTP アドレス空間を保護するために使用できます。

9.1.3 インフィニオンによってプログラムされる乱数

インフィニオンの標準的な手順は線形合同乱数方法を使用し、128 ビットの乱数を OTP メモリ空間 (0x0 ~ 0xF) の下位 16 バイトにプログラムすることです。アルゴリズムのシード値はテスター挿入の日付と時刻と関連づけられた乱数です。

9.1.4 ロックバイト

各ロックバイトの LSB はバイトに関連する最下位アドレス領域を保護し、MSB はバイトに関連する最上位アドレス領域を保護します。同じように、次のより上位アドレスは次のより上位 8 領域を保護します。最下位アドレスロックバイトの LSB ビットは最下位アドレス領域のより上位アドレス 16 バイトを保護します。つまり、ロケーション 0x10 の LSB は最下位アドレス領域のすべてのロックバイトおよび RFU バイトを将来のプログラムから保護します。[OTP アドレス空間](#) を参照してください。

9.2 書き込みイネーブル コマンド

書き込みイネーブル (WREN) コマンドは、不揮発性データを変更するすべてのコマンドの前に書き込む必要があります。WREN コマンドは書き込みイネーブル ラッチ (WEL) ビットをセットします。WEL ビットは、電源投入、ハードウェアリセットのとき、またはデバイスが以下のコマンドを完了した後、0 にクリアされます (書き込み不可になります)。

- リセット
- ページ プログラム (PP または 4PP)
- パラメーター 4 KB 消去 (P4E または 4P4E)
- セクタ消去 (SE または 4SE)
- バルク消去 (BE)
- 書き込みディセーブル (WRDI)
- 書き込みレジスタ (WRR)
- 任意レジスタ書き込み (WRAR)
- OTP バイト プログラム (OTPP)
- 高度セクタ保護レジスタ プログラム (ASPP)
- 持続的保護ビット プログラム (PPBP)
- 持続的保護ビット 消去 (PPBE)
- パスワード プログラム (PASSP)
- 不揮発性データ ラーニング レジスタ プログラム (PNVDLR)

9.3 ブロック保護

ブロック保護ビット (ステータスレジスタビット BP2、BP1、BP0) はコンフィギュレーションレジスタ TBPROT_0 ビットと併用して、メインフラッシュアレイのアドレス範囲をプログラムや消去動作から保護します。範囲のサイズは BP ビットの値で決まり、範囲の上限と下限のスタートポイントはコンフィギュレーションレジスタの TBPROT_0 ビット (CR1NV[5]) で選択されます。

Table 43 S25FS064S 上位アレイ保護開始ポイント (TBPROT_0 = 0)

ステータス レジスタの内容			メモリアレイの 保護部分	保護メモリ (KB)
BP2	BP1	BP0		
0	0	0	なし	0
0	0	1	上位 64 番目	128
0	1	0	上位 32 番目	256
0	1	1	上位 16 番目	512
1	0	0	上位 8 番目	1024
1	0	1	上位 4 番目	2048
1	1	0	上位半分	4096
1	1	1	すべてのセクタ	8192

Table 44 S25FS064S 下位アレイ保護開始ポイント (TBPROT_0 = 1)

ステータスレジスタの内容			メモリアレイの保護部分	保護メモリ (KB)
BP2	BP1	BP0		
0	0	0	なし	0
0	0	1	下位 64 番目	128
0	1	0	下位 32 番目	256
0	1	1	下位 16 番目	512
1	0	0	下位 8 番目	1024
1	0	1	下位 4 番目	2048
1	1	0	下位半分	4096
1	1	1	すべてのセクタ	8192

ブロック保護が有効になった場合 (例えば、BP2 ~ 0 のいずれかが「1」にセットされた)、高度セクタ保護 (ASP) はブロック保護方式により保護されないセクタを保護するためにまだ使用できます。ASP とブロック保護が同じセクタで使用された場合、ASP とセクタに対応するブロック保護の論理 OR が使用されます。

9.3.1 Freeze ビット

コンフィギュレーションレジスタ 1 のビット 0 (CR1V[0]) は FREEZE ビットです。FREEZE ビットは 1 にセットされれば、次のパワーオフ / オンサイクルまでブロック保護制御ビットおよび OTP 領域の現時点の状態をロックします。詳細は[揮発性コンフィギュレーションレジスタ 1 \(CR1V\)](#)を参照してください。

9.3.2 書き込み保護信号

書き込み保護 (WP#) 入力、ステータスレジスタ書き込みディセーブル (SRWD) ビット (SR1NV[7]) とともに、ハードウェア入力信号で制御される保護を提供します。WP# が LOW で、SRWD が「1」にセットされている場合、ステータスレジスタ 1 (SR1NV と SR1V)、コンフィギュレーションレジスタ 1 (CR1NV と CR1V) は変更できません。これにより、ブロック保護ビットで定義された保護の無効化あるいは変更を防ぎます。[ステータスレジスタ 1](#)を参照してください。

9.4 高度セクタ保護

ASP (高度セクタ保護) は、1 つのセクタまたはすべてのセクタで、プログラム動作や消去動作を個別に無効または有効にするための、独立したハードウェアおよびソフトウェア方式の一式です。

各メインフラッシュアレイセクタには、不揮発性持続的保護ビット (PPB) と揮発性ダイナミック保護ビット (DYB) が整備されています。どちらのビットが「0」になると、セクタはプログラム動作や消去動作から保護されます。PPB ビットは、揮発性 PPB ロックビットが 0 のとき、プログラムおよび消去から保護されます。PPB ロックビットの状態の管理方式には、パスワード保護と持続的保護の 2 つがあります。これらの方式の概要を [Figure 40](#) に示します。

各セクタのブロック保護および ASP 保護設定は、各セクタの保護を定義するために論理 OR を取ります。例えば、どちらのメカニズムでもセクタを保護している場合、セクタをプログラム / 消去できません。BP2 ~ 0 ビットの完全な詳細については、[ブロック保護](#)を参照してください。

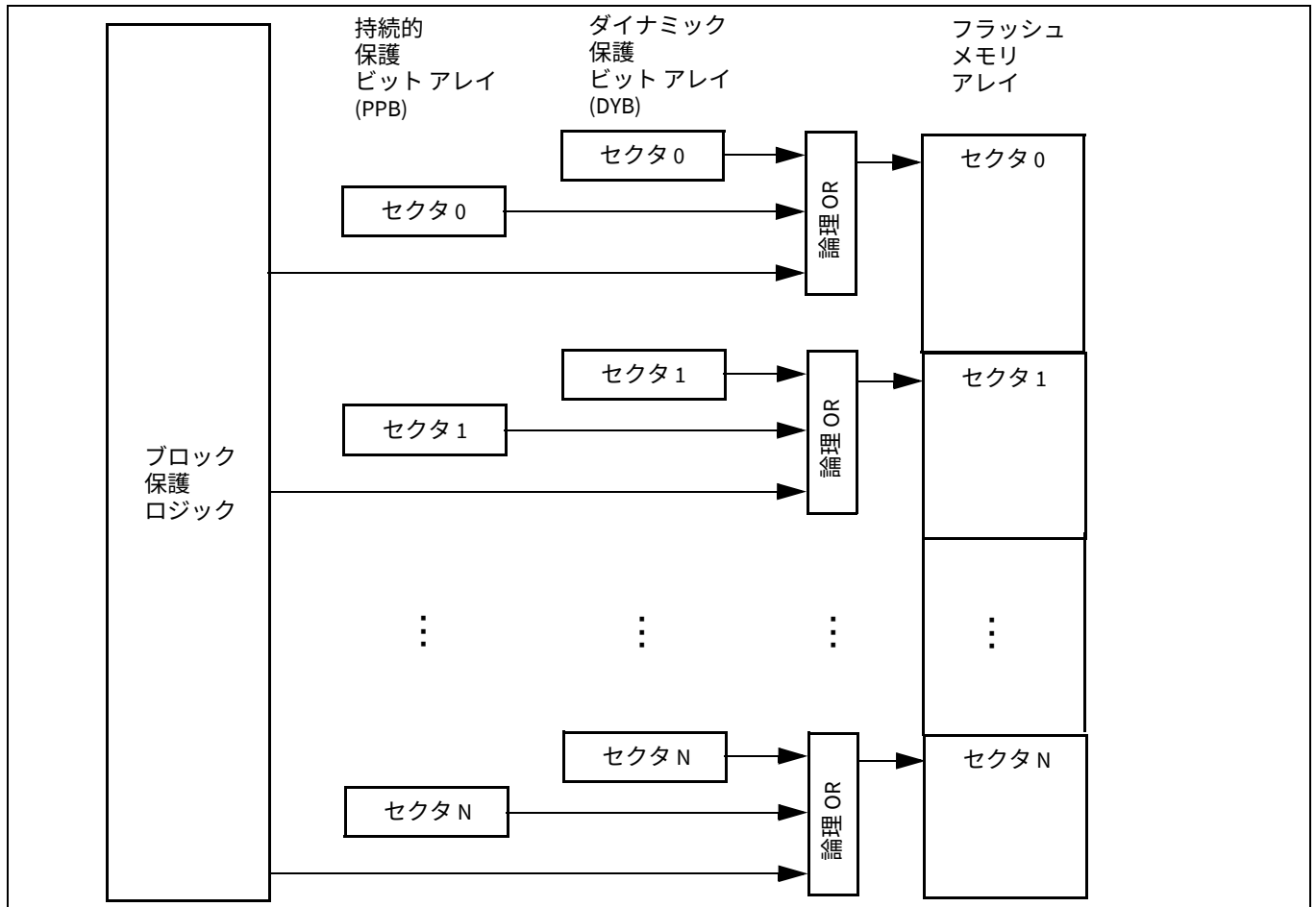


Figure 39 セクタ保護の制御

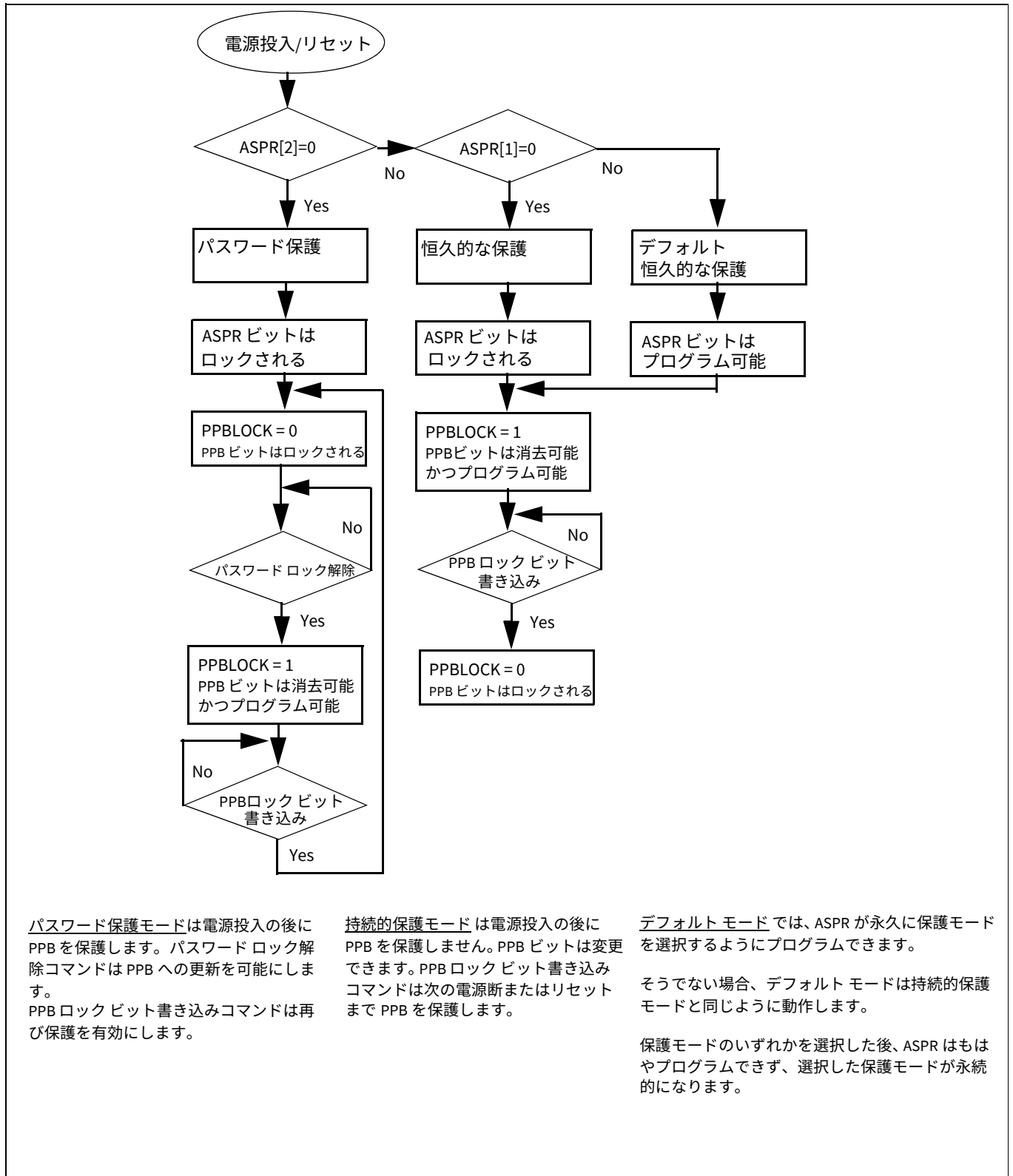


Figure 40 高度セクタ保護の概要

持続的保護方式では、POR またはハードウェアリセット時に PPB ロックビットを「1」にセットし、PPB ビットがデバイスリセットによって非保護となるようにします。PPB を保護するために PPB ロックビットを「0」にクリアするためのコマンドがあります。持続的保護方式では、PPB ロックビットを「1」にセットするコマンドがないため、次の電源切断またはハードウェアリセットまで PPB ロックビットは「0」のままです。持続的保護方式は、PPB のプログラムまたは消去によってセクタ保護を変更し、次に PPB ロックビットを「0」にクリアすることでその後の通常システム動作の間 PPB ビットをさらなる変更から保護するオプションをブートコードに提供します。時にブートコード制御によるセクタ保護とも呼ばれます。

パスワード方式では、POR またはハードウェアリセット時に PPB ロックビットを「0」にクリアして PPB ビットを保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠すことができます。隠しパスワードと比較するためのパスワードを提供するコマンドがあります。パスワードが一致した場合、PPB ロックビットは PPB を保護解除するために「1」にセットされます。PPB ロックビットを「0」に消去するコマンドがあります。この方法では、PPB 保護を制御するためにパスワードの使用が必要です。

PPB ロックビットの管理方式は、ASP レジスタの OTP ビットをプログラムすることによって恒久的に選択されます。

9.4.1 ASP レジスタ

ASP レジスタは、高度セクタ保護 (ASP) 機能の動作を永久的に設定するために使用されます。60 ページの [Table 34](#) を参照してください。

工場出荷時は、すべてのデバイスの ASP はデフォルトで持続的保護モードであり、電力が印加されたときはすべてのセクタが非保護になっています。その後、デバイス プログラムまたはホストシステムは使用するセクタ保護方式を選択する必要があります。ワンタイム プログラマブルの保護モード ロックビットのいずれかをプログラムすると、選択したモードでデバイスが恒久的にロックされます。

- ASPR[2:1] = 「11」の場合、ASP モードが選択されず、持続的保護モードがデフォルトです。
- ASPR[2:1] = 「10」の場合、持続的保護モードが恒久的に選択されます。
- ASPR[2:1] = 「01」の場合、パスワード保護モードが恒久的に選択されます。
- ASPR[2:1] = 「00」の場合は無効条件になります。1 つ以上のビットをゼロにプログラムしようとする、プログラミング エラーが発生します。

ASP レジスタのプログラミングルールは次のとおりです。

- パスワード モードを選択した場合、保護モード ロックビットをセットする前にパスワードをプログラムしなければいけません。
- 保護モードを選択したとき、下記の OTP コンフィギュレーションレジスタ ビットは永久的にプログラムから保護され、さらなる変更は不可です。
 - CR1NV
 - CR2NV
 - CR3NV
 - CR4NV
 - ASPR
 - PASS
 - NVDLR
- ASP モードを選択した後、上記のレジスタのいずれかを変更しようとする、失敗し、P_ERR (SR1V[6]) が「1」にセットされます。

ASP レジスタのプログラム時間は、通常のページプログラムに要する時間と同じです。システムはステータスレジスタの WIP ビットを読み出すことで、ASP レジスタのプログラム動作の状態を判定できません。WIP の詳細については [ステータスレジスタ 1](#) を参照してください。 [セクタ保護状態の概要](#) を参照してください。

9.4.2 持続的保護ビット

持続的保護ビット (PPB) は、個別の不揮発性フラッシュ アレイに配置されています。各セクタごとに 1 つの PPB ビットが対応します。PPB が「0」の場合、その対応するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムしますが、グループとして消去する必要があります。これは、個々のワードがメイン アレイでプログラム可能であるが、全セクタを一括消去する必要があることと同様です。PPB はメインフラッシュメモリ アレイと同じプログラム / 消去耐久性があります。消去前のプリプログラムと検証はデバイスが行います。

PPB ビットのプログラムには、通常のページプログラムのための時間が必要です。すべての PPB を消去するためには、通常のセクタ消去時間が必要です。PPB ビットのプログラム / 消去中、ステータスレジスタを読み出すことで状態が確認できます。PPB ビットを読み出すためには、デバイスの初期アクセス時間を要します。

注：

1. 各 PPB は個別に「0」にプログラムされ、すべては並行して「1」に消去されます。
2. PPB ロックビットが「0」の場合、PPB プログラム / 消去コマンドは、PPB のプログラム / 消去を行わずに失敗します。
3. 特定のセクタの PPB 状態は PPB 読み出しコマンドで検証されます。

9.4.3 ダイナミック保護ビット

ダイナミック保護ビットは、揮発性でセクタ固有であり、個別に変更できます。DYB は、「1」にセットした PPB を持つセクタのみに対して保護を制御します。DYB 書き込みコマンドを実行することで、DYB が「0」にクリアされるか、または「1」にセットされ、各セクタがそれぞれ保護または非保護の状態になります。この機能により、意図しない変更からソフトウェアでセクタを簡単に保護できますが、変更が必要な場合は簡単に保護を解除できます。DYB ビットは揮発性ビットであるため、何回でもセット / クリアできます。

9.4.4 PPB ロックビット (PPBL[0])

PPB ロックビットは、すべての PPB ビットを保護するための揮発性ビットです。「0」にクリアするとすべての PPB をロックし、「1」にセットすると PPB の変更を許可します。詳細については、[PPB ロックレジスタ \(PPBL\)](#) を参照してください。

PLBWR コマンドは、PPB ロックビットを「0」にクリアするために使用されます。PPB ロックビットは、すべての PPB を所望の設定に構成した後でのみ、「0」にクリアする必要があります。

持続的保護モードでは、POR またはハードウェアリセット時に、PPB ロックが「1」にセットされます。「0」にクリアされると、PPB ロックビットを「1」にセットするソフトウェアコマンドシーケンスはありません。別のハードウェアリセットまたは電源投入でのみ PPB ロックビットをセットできます。

パスワード保護モードでは、POR またはハードウェアリセット時に、PPB ロックビットが「0」にクリアされます。PPB ロックビットは、パスワードロック解除コマンドによってのみ「1」にセットできます。

9.4.5 セクタ保護状態の概要

セクタは次の保護状態があります。

- **ロック解除** : セクタは非保護です。簡単なコマンドで保護を変更できます。インフィニオン出荷時のデフォルトの保護状態は非保護です。
- **動的ロック** : セクタは保護され、保護は簡単なコマンドで変更できます。パワー サイクルまたはリセットを通じて保護状態は保存されません。
- **恒久ロック** : セクタは保護され、PPB ロックビットが「1」にセットされた場合のみ保護を変更できます。保護状態は不揮発性で、パワー サイクルまたはリセットを通じて保存されます。保護状態を変更するためには、PPB ビットのプログラムまたは消去が必要です。

Table 45 セクタ保護状態

保護ビット値			セクタ状態
PPB ロック	PPB	DYB	
1	1	1	非保護 - PPB と DYB は変更可能
1	1	0	保護 - PPB と DYB は変更可能
1	0	1	保護 - PPB と DYB は変更可能
1	0	0	保護 - PPB と DYB は変更可能
0	1	1	非保護 - PPB は変更不可、DYB は変更可能
0	1	0	保護 - PPB は変更不可、DYB は変更可能
0	0	1	保護 - PPB は変更不可、DYB は変更可能
0	0	0	保護 - PPB は変更不可、DYB は変更可能

9.4.6 持続的保護モード

持続的保護方式では、POR またはハードウェアリセット時に PPB ロックビットを「1」にセットし、PPB ビットがデバイスハードウェアリセットによって非保護となるようにします。ソフトウェアリセットは PPB ロックビットに影響しません。PPB を保護するために PLBWR コマンドで PPB ロックビットを「0」にクリアできます。PPB ロックビットをセットするコマンドがないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは「0」のままです。

9.4.7 パスワード保護モード

パスワード保護モードを使用すると、PPB ロックビットをロック解除するために 64 ビットのパスワードを必要とすることによって、持続的セクタ保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはハードウェアリセット後、電源投入時の保護を確実にするために PPB ロックビットは「0」にクリアされます。完全なパスワードを入力してパスワードロック解除コマンドを正常に完了すると、PPB ロックビットが「1」にセットされ、セクタの PPB の変更が可能になります。

パスワード保護の注意事項は以下のとおりです。

- パスワードをプログラムおよび検証した後、パスワードの読み出しを防ぐためにはパスワードモード (ASPR[2]=0) をセットしなければなりません。
- パスワードプログラムコマンドでプログラムできるのは、「0」だけです。「0」にプログラムされたセルを「1」にプログラムしようとしても、セルは「0」のままであり、プログラミングエラーがセットされません。
- インフィニオン出荷時のパスワードはすべて「1」です。パスワードは自身のメモリ空間内にあり、パスワードプログラム、パスワード読み出し、RDAR および WRAR コマンドによりアクセス可能です。パスワードロックモードを選択した後は、これらのコマンドによるアクセスができません。
- あらゆる 64 ビットパスワードの組合せがパスワードとして有効です。
- パスワードモードをプログラムすると、64 ビットパスワードの読み出しができなくなり、以降のパスワードのプログラムもできなくなります。これ以降、パスワード領域に対するプログラムコマンドや読み出しコマンドは無効になり、これらのコマンドは無視されるか、または未定義データが返されます。パスワードモードロックビットが選択された後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのはパスワード保護モードを選択する前のときのみです。
- 保護モードロックビットは消去不可です。
- ロック解除機能が有効になるためには、正確なパスワードを入力する必要があります。パスワードロック解除コマンドが提供したパスワードが、内部の隠しパスワードと一致しない場合は、保護されているセクタにおけるプログラム動作と同様に、ロック解除動作は失敗します。P_ERR ビットが「1」にセットされ、WIP ビットがセットされたのままで、PPB ロックビットが「0」にクリアされたままです。

- パスワード ロック解除コマンドを一度に $100\mu\text{s} \pm 20\mu\text{s}$ より高速に実行できません。これによって、ハッカーがパスワードを正しく一致させるためにすべての 64 ビットの組合せを実行するためには、非現実的な長さの時間 (5800 万年) がかかります。ステータスレジスタ 1 読み出しコマンドを使用して WIP ビットを読み出すことで、デバイスがいつパスワード ロック解除コマンドを完了したか、またはいつ新しいパスワード コマンドを受け入れる準備ができたかを判断できます。有効なパスワードが提供されると、パスワード ロック解除コマンドは、WIP ビットをゼロに戻す前に $100\mu\text{s}$ の遅延を挿入しません。
- パスワード モード選択後にパスワードを失くした場合、PPB ロック ビットをセットする方法はありません。
- ECC 状態は、読み出し可能なセクタからのみ読み出しができます。読み出し保護モードでは、アドレスはブートセクタ アドレスになります。ECC 状態は、読み出し保護モードが有効なときにそのセクタに示されます。

9.5 推奨の保護プロセス

システムの製造時には、フラッシュ デバイスのコンフィギュレーションは以下のように定義する必要があります。

1. 必要に応じて CR1NV[5, 3:2], CR2NV, CR3NV, および CR4NV の OTP コンフィギュレーション ビットをプログラムします。
2. 必要に応じてセキュアシリコン領域 (OTP 領域) をプログラムします。
3. 必要に応じて PPBP コマンドで PPB ビットをプログラムします。
4. 不揮発性データ ラーニング パターン (NVDLR) を DDR 読み出しコマンドで使用する場合、NVDLR をプログラムします。
5. パスワード保護を使用する場合、パスワード レジスタ (PASS) をプログラムします。
6. 必要に応じて ASP レジスタをプログラムします (ASPR[2:1] の持続的 / パスワード ASP 保護モードの選択を含みます)。ASP レジスタおよび OTP コンフィギュレーションのその後の偶発的な、あるいは故意的なプログラムを防止するために、保護モードを明白に選ぶ必要があります。これにより、意図した OTP 保護およびコンフィギュレーション機能だけが有効になっていることを確保できます。

システム電源投入時およびブート コードの実行中。

1. 信頼できるブート コードは追加の SSR (OTP 領域) 情報をプログラムする必要があるかどうかを判定できます。SSR の変更が必要ない場合、FREEZE ビット (CR1V[0]) を「1」にセットすることで、電源が投入されたままであれば通常システム動作の残りの部分中に SSR を変更から保護できます。
2. 持続的保護モードの場合、信頼できるブート コードは PPBP または PPBE コマンドで持続的 (PPB) セクタ保護を変更する必要があるかどうかを判定できます。PPB の変更が必要ない場合、PPBL コマンドを使用して PPBLOCK ビットを「0」にクリアすることで、電源が投入されたままであれば残りの通常システム動作中に PPB ビットを変更から保護できます。
3. ダイナミック (DYB) セクタ保護ビットは必要に応じて DYBAR で書き込まれます。

コマンド

10 コマンド

ホストシステムと FS-S ファミリ メモリ デバイスの間のすべての通信はコマンドの形で行われます。

すべてのコマンドは、情報転送のタイプまたは実行するデバイスの動作を選択する命令で始まります。コマンドには、アドレス、命令修飾子、レイテンシ周期、メモリへのデータ転送、またはメモリからのデータ転送もあります。すべての命令、アドレスおよびデータ情報はホストシステムとメモリ デバイスの間で順次に転送されます。

コマンド プロトコルは、下記 3 つのコマンド フェーズの転送幅を示すために 3 つの番号を使用する数値命名により分類されます。

- 命令
- アドレスおよび命令修飾子 (モード)
- データ

シングルビット幅コマンドは命令で始まり、SI / IO0 信号のみで送信されるアドレスまたはデータを提供します。データは SO/IO1 信号でホストへ順次戻されることがあります。シングルビット幅命令、シングルビット幅アドレスおよび修飾子、シングルビット データ用の 1-1-1 コマンド プロトコルと呼ばれます。

デュアル出力コマンドまたはクアッド出力コマンドは IO0 信号上でホストから送信されたアドレスを提供します。データは IO0 と IO1 信号上でビット ペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル出力用の 1-1-2 コマンド プロトコル、またはクアッド出力用の 1-1-4 コマンド プロトコルと呼ばれます。

デュアルまたはクアッド入出力 (I/O) コマンドは、IO0 と IO1 信号上でビット ペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループとしてホストから送信されるアドレスを提供します。データは同様に IO0 と IO1 信号上でビット ペア、または IO0, IO1, IO2, IO3 信号上で 4 ビット (ニブル) グループでホストへ戻されます。デュアル I/O 用の 1-2-2 コマンド プロトコル、またはクアッド I/O 用の 1-4-4 コマンド プロトコルと呼ばれます。

FS-S ファミリは、命令、アドレス、修飾子およびデータを含み、すべての情報が 4 ビットの幅で転送される QPI モードにも対応します。4-4-4 コマンド プロトコルと呼ばれます。

コマンドは下記のように構成されます。

- 各コマンドは 8 ビット (バイト) の命令で始まります。ただし、いくつかの読み出しコマンドは、命令が前のコマンドから默示的に示されるように、前の読み出しコマンドにより修飾されます。連続読み出しモードと呼ばれます。デバイスが連続読み出しモードにあるとき、命令は連続読み出しモードを開始した読み出しコマンドと同じであるため、命令ビットはコマンドの始まりには送信されません。連続読み出しモードでは、コマンドは読み出しアドレスで開始されます。したがって、連続読み出しモードは一連の同じタイプの読み出しコマンドの各読み出しコマンドから 8 命令ビットを取り除きます。
- 命令は単独であるか、またはその後にデバイスの 1 つのアドレス空間内の位置を選択するアドレス ビットが続きます。アドレスは 24 ビットまたは 32 ビットのバイト境界アドレスです。
- 複数の IO を備えたシリアルペリフェラルインターフェースは各アドレス / データ情報の転送を実行するオプション (並列に 1, 2, または 4 ビット) を提供します。これにより、信号接続の数 (IO バス幅) と情報転送のトレードオフが可能です。ホストが 2 または 4 ビット幅 IO バスに対応できる場合、2 ビット (デュアル) / 4 ビット (クアッド) の並列転送を提供する命令を使用することで、性能を向上させます。
- レガシーの SPI 複数 IO モードでは、命令の後に続くすべての転送の幅は、送信される命令で決まります。その次の転送は SI あるいはシリアル出力 (SO) 信号のみでのシングルビットシリアル転送であり続けるか、IO0 と IO1 信号上の 1 回の (デュアル) 転送当たりに 2 ビットグループで、または IO0 ~ IO3 信号上の 1 回の (クアッド) 転送当たりに 4 ビットグループで実行されます。デュアルまたはクアッドのグループでは、最下位ビットは IO0 信号上にあります。そのビットに比べて上位である各ビットはより高い番号付きの IO 信号に有意の順序で (上位から下位へ) 配置されます。シングルビットまたはパラレルビットグループは最上位ビットから最下位ビットまでの順で転送されます。
- QPI モードでは、すべての転送 (命令を含む) は IO0 ~ IO3 信号上の 4 ビット幅 (クアッド) 転送です。

コマンド

- デュアル I/O とクアッド I/O 読み出し命令は、次のコマンドが黙示の命令 (明示的な命令でなく) と同じタイプであるかどうかを示すために、アドレスの後にモード ビットと呼ばれる命令修飾子を送信します。そのため、次のコマンドは命令のバイトを提供せず、新しいアドレスおよびモード ビットのみを提供します。これにより、一連のコマンドで同じタイプのコマンドが繰り返された場合、各コマンドの送信に必要な時間を削減できます。
- アドレスまたはモード ビットの後に、メモリ デバイスに保存される書き込みデータが続く場合もあり、または読み出しデータがホストに戻される前に読み出しレイテンシ期間が続く場合もあります。
- 読み出しレイテンシは 0 から数個の SCK サイクルです (ダミー サイクルとも呼ばれています)。
- すべての命令、アドレス、モード、およびデータ情報はバイト粒度で転送されます。アドレスは最上位ビットからデバイスにシフトインされます。すべてのデータ転送は最下位アドレス バイトから行われます。その次のデータバイトは最下位アドレス バイトから最上位アドレス バイトまで (すなわち、バイト アドレス インクリメント) の順序で送信されます。
- プログラム、消去、あるいは書き込みサイクル (組込み動作) 中に、フラッシュ メモリ アレイを読み出そうとすると無視されます。組込み動作は何の影響も受けず、実行が継続されます。組込み動作中、ごく限られたコマンド セットは受け入れられます。各々のコマンド説明で記述します。プログラム / 消去 / 書き込み動作の実行中、ほとんどのコマンドをデバイスに発行する前に、新しいコマンドが受け入れられるように、書き込み中 (WIP) ビットが 0 であるかどうかをチェックすることが推奨されます。
- コマンドによって実行時間が異なります。いつコマンドの実行が完了したか、およびコマンドが正常に完了したかどうかを判断するために、実行中のコマンドからステータス情報を読み出すコマンドが使用できます。
- ホスト ソフトウェアが SPI インターフェース信号を直接制御するために使用される場合もありますが、一般的にはホスト システムとメモリ デバイスのハードウェア インターフェースは信号関係とタイミングを取り扱います。そのため、信号関係やタイミングは本資料のソフトウェア インターフェースについて記述する本節では詳細に記載されていません。その代わりに、信号タイミングとの関係よりも各コマンドでのビット転送の論理シーケンスに集中します。以下は覚えておく必要がある一般的な信号関係の説明です。コマンドのビット レベル フォーマットと信号タイミングの関係の詳細については、[コマンド プロトコル](#)を参照してください。
 - ホストはシングルビット幅の転送のために、常にチップセレクト (CS#), シリアル クロック (SCK), シリアル入力 (SI/I00) を制御します。メモリは、シングルビット読み出し転送のために、シリアル出力 (SO/I01) を駆動します。ホストとメモリは、デュアルおよびクアッド転送中に交互に I00 ~ I03 信号を駆動します。
 - すべてのコマンドはホストが SCK の最初の立ち上りエッジの前に CS# を LOW に駆動してメモリを選択することで始まります。CS# がコマンドを通じて LOW に維持され、HIGH に戻されるとコマンドが終了します。一般的に、バイト単位の情報を転送するために、CS# は 8 ビットの倍数での転送において LOW のままです。8 ビット境界でないときに CS# を HIGH に戻す場合、受け入れられないコマンドがあります。

10.1 コマンドセットのまとめ

10.1.1 拡張アドレス指定

1. 常に 4 バイトのアドレスを必要とし、32 Gb までのメモリにアクセスするために使用される命令は下表のとおりです。

コマンド名	機能	命令 (16 進)
4READ	読み出し	13
4FAST_READ	高速読み出し	0C
4DOR	デュアル出力読み出し	3C
4QOR	クアッド出力読み出し	6C
4DIOR	デュアル I/O 読み出し	BC
4QIOR	クアッド I/O 読み出し	EC
4DDRQIOR	DDR クアッド I/O 読み出し	EE
4PP	ページプログラム	12
4QPP	クアッド ページプログラム	34
4P4E	パラメーター 4 KB 消去	21
4SE	消去 64 KB	DC
4ECCRD	ECC ステータス読み出し	18
4DYBRD	DYB 読み出し	E0
4DYBWR	DYB 書き込み	E1
4PPBRD	PPB 読み出し	E2
4PPBP	PPB プログラム	E3

2. 3 バイト アドレス命令との下位互換性のための 4 バイト アドレス モード: 標準的な 3 バイト命令はアドレス長設定ビット (CR2V[7]) で制御される 4 バイト アドレス モードとともに使用できます。デフォルトの 3 バイト (24 ビット) または 4 バイト (32 ビット) アドレス指定を有効にするために、CR2V[7] のデフォルト値は電源投入, ハードウェアリセット, またはソフトウェアリセットの後に CR2NV[7] からロードされます。アドレス長 (CR2V[7]) を「1」にセットすると、レガシーコマンドはアドレスフィールドに 4 バイト (32 ビット) を必要とするように変更されます。アドレスフィールドを 3 バイトから 4 バイトに切り替えるために、以下の命令を 4 バイト アドレス モード設定とともに使用できます。

コマンド名	機能	命令 (16 進)
READ	読み出し	03
FAST_READ	高速読み出し	0B
DOR	デュアル出力読み出し	3B
QOR	クアッド出力読み出し	6B
DIOR	デュアル I/O 読み出し	BB
QIOR	クアッド I/O 読み出し	EB
DDRQIOR	DDR クアッド I/O 読み出し	ED
PP	ページプログラム	02
QPP	クアッド ページプログラム	32
P4E	パラメーター 4 KB 消去	20
SE	64 / 256 KB 消去	D8
RDAR	任意レジスタ読み出し	65
WRAR	任意レジスタ書き込み	71

コマンド

コマンド名	機能	命令 (16 進)
EES	消去状態評価	D0
OTPP	OTP プログラム	42
OTPR	OTP 読み出し	4B
ECCRD	ECC ステータス読み出し	19
DYBRD	DYB 読み出し	FA
DYBWR	DYB 書き込み	FB
PPBRD	PPB 読み出し	FC
PPBP	PPB プログラム	FD

コマンド

10.1.2 機能別のコマンドの概要

Table 46 FS-S ファミリ コマンド セット (機能別)

機能	コマンド名	コマンド説明	命令値 (16進)	最大周波 数 (MHz)	アドレス長 (バイト)	QPI
デバイス ID 読み出 し	RDID	ID 読み出し (JEDEC メーカー ID および JEDEC CFI)	9F	133	0	有
	RSFDP	JEDEC シリアル フラッシュ 検出可能 パラメータ読み出し	5A	50	3	有
	RDQID	クアッド ID 読み出し	AF	133	0	有
	RUID	固有 ID 読み出し	4C	133	0	有
レジスタ アクセス	RDSR1	ステータス レジスタ 1 読み出し	05	133	0	有
	RDSR2	ステータス レジスタ 2 読み出し	07	133	0	無
	RDCR	コンフィギュレーション レジスタ 1 読み出し	35	133	0	無
	RDAR	任意 レジスタ読み出し	65	133	3 または 4	有
	WRR	レジスタ書き込み (ステータス 1, コンフィギュレーション 1)	01	133	0	有
	WRDI	書き込みディセーブル	04	133	0	有
	WREN	書き込みイネーブル	06	133	0	有
	WRAR	任意レジスタ書き込み	71	133	3 または 4	有
	CLSR	ステータス レジスタ 1 クリア: 消去 / プログラム失敗リセットコマンドを 無効にし、その代わりに命令値をプ ログラム / 消去再開コマンドに使用 する場合があります。コンフィギュ レーション レジスタ 3 を参照してく ださい。	30	133	0	有
	CLSR	ステータス レジスタ 1 クリア (代替命 令): 消去 / プログラム失敗リセット	82	133	0	有
	4BEN	4 バイト アドレス モード開始	B7	133	0	無
	SBL	バースト長セット	C0	133	0	無
	EES	消去状態評価	D0	133	3 または 4	有
	ECCRD	ECC 読み出し	19	133	3 または 4	有
	4ECCRD	ECC 読み出し	18	133	4	有
	DLPRD	データ ラーニング パターン読み出し	41	133	0	無
	PNVDLR	不揮発性データ ラーニング レジスタ プログラム	43	133	0	無
WVDLR	揮発性データ ラーニング レジスタ書 き込み	4A	133	0	無	

注:

34. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

コマンド

Table 46 FS-S ファミリー コマンド セット (機能別) (continued)

機能	コマンド名	コマンド説明	命令値 (16進)	最大周波 数 (MHz)	アドレス長 (バイト)	QPI
フラッシュ シリアル 読み出し	READ	読み出し	03	50	3 または 4	無
	4READ	読み出し	13	50	4	無
	FAST_READ	高速読み出し	0B	133	3 または 4	無
	4FAST_READ	高速読み出し	0C	133	4	無
	DOR	デュアル出力読み出し	3B	133	3 または 4	無
	4DOR	デュアル出力読み出し	3C	133	4	無
	QOR	クアッド出力読み出し	6B	133	3 または 4	無
	4QOR	クアッド出力読み出し	6C	133	4	無
	DIOR	デュアル I/O 読み出し	BB	66	3 または 4	無
	4DIOR	デュアル I/O 読み出し	BC	66	4	無
	QIOR	クアッド I/O 読み出し	EB	133	3 または 4	有
	4QIOR	クアッド I/O 読み出し	EC	133	4	有
	DDRQIOR	DDR クアッド I/O 読み出し	ED	80	3 または 4	有
4DDRQIOR	DDR クアッド I/O 読み出し	EE	80	4	有	
フラッシュ シリアル プログラム	PP	ページプログラム	02	133	3 または 4	有
	4PP	ページプログラム	12	133	4	有
	QPP	クアッド ページプログラム	32	133	3 または 4	無
	4QPP	クアッド ページプログラム	34	133	4	無
フラッシュ シリアル 消去	P4E	パラメータ 4 KB セクタ消去	20	133	3 または 4	有
	4P4E	パラメータ 4 KB セクタ消去	21	133	4	有
	SE	64 KB 消去	D8	133	3 または 4	有
	4SE	64 KB 消去	DC	133	4	有
	BE	バルク消去	60	133	0	有
	BE	バルク消去 (代替命令)	C7	133	0	有
消去 / プ ログラム 一時停止 / 再開	EPS	消去 / プログラム一時停止	75	133	0	有
	EPS	消去 / プログラム一時停止 (代替命令)	85	133	0	有
	EPS	消去 / プログラム一時停止 (代替命令)	B0	133	0	有
	EPR	消去 / プログラム再開	7A	133	0	有
	EPR	消去 / プログラム再開 (代替命令)	8A	133	0	有
	EPR	消去 / プログラム再開 (代替命令) コマンドを無効にし、その代わりに 命令値をステータスクリアコマンド に使用することがあります。コン フィギュレーションレジスタ3を参 照してください。	30	133	0	有

注:

34. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

コマンド

Table 46 FS-S ファミリ コマンド セット (機能別) (continued)

機能	コマンド名	コマンド説明	命令値 (16進)	最大周波 数 (MHz)	アドレス長 (バイト)	QPI
ワンタイム プログラムアレ イ	OTPP	OTP プログラム	42	133	3 または 4	無
	OTPR	OTP 読み出し	4B	133	3 または 4	無
高度セク タ保護	DYBRD	DYB 読み出し	FA	133	3 または 4	有
	4DYBRD	DYB 読み出し	E0	133	4	有
	DYBWR	DYB 書き込み	FB	133	3 または 4	有
	4DYBWR	DYB 書き込み	E1	133	4	有
	PPBRD	PPB 読み出し	FC	133	3 または 4	無
	4PPBRD	PPB 読み出し	E2	133	4	無
	PPBP	PPB プログラム	FD	133	3 または 4	無
	4PPBP	PPB プログラム	E3	133	4	無
	PPBE	PPB 消去	E4	133	0	無
	ASPRD	ASP 読み出し	2B	133	0	無
	ASPP	ASP プログラム	2F	133	0	無
	PLBRD	PPB ロック ビット 読み出し	A7	133	0	無
	PLBWR	PPB ロック ビット 書き込み	A6	133	0	無
	PASSRD	パスワード 読み出し	E7	133	0	無
	PASSP	パスワード プログラム	E8	133	0	無
PASSU	パスワード ロック解除	E9	133	0	無	
リセット	RSTEN	ソフトウェアリセット イネーブル	66	133	0	有
	RST	ソフトウェアリセット	99	133	0	有
	RESET	レガシー ソフトウェアリセット	F0	133	0	無
	MBR	モードビットリセット	FF	133	0	有
DPD	DPD	ディープパワーダウン モード開始	B9	133	0	有
	RES	ディープパワーダウン モード終了	AB	133	0	有

注:

34. デバイスが QPI モードのときに送信されると、QPI モードで対応されていないコマンドの動作は未定義です。

10.1.3 デバイス ID 読み出し

デバイスの製造元、デバイス タイプ、およびデバイスの機能に関する情報を読み出すコマンドが複数あります。メモリについての情報を読み出すためには、異なるベンダーからの SPI メモリは異なるコマンドとフォーマットを使用します。FS-S ファミリは 3 つのデバイス情報のコマンドに対応します。

10.1.4 レジスタ読み出し / 書き込み

組み込み動作ステータスを報告するか、またはデバイス設定オプションを制御するためのレジスタが複数あります。これらのレジスタを読み出すか、または書き込むためのコマンドがあります。レジスタには揮発性ビットと不揮発性ビットがあります。レジスタの不揮発性ビットは自動的に消去され、シングル (書き込み) 動作としてプログラムされます。

10.1.4.1 動作ステータス監視

ホストシステムは、ステータスレジスタの書き込み中 (WIP) ビットを監視することで、書き込み、プログラム、消去、一時停止、または他の組込み動作が完了したかどうかを判定できます。ステータスレジスタ 1 コマンドまたは任意レジスタ読み出しコマンドによる読み出しは WIP ビットの状態を示します。ステータスレジスタのプログラムエラー (P_ERR) および消去エラー (E_ERR) ビットは直前のプログラムまたは消去コマンドが正常に完了したかどうかを示します。P_ERR または E_ERR ビットが「1」にセットされると、WIP ビットは「1」にセットされたままで、デバイスがまだビジーの状態であり新しい動作のコマンドを受信できないことを示します。P_ERR または E_ERR を「1」にセットしたとき、ステータス読み出し (RDSR1 05h)、任意レジスタ読み出し (RDAR65h)、ステータスクリア (CLSR 30h または 82h)、およびソフトウェアリセット (RSTEN 66h, RST 99h, または RESET F0h) のコマンドだけが有効です。デバイスをスタンバイ状態に戻すためには、ステータスレジスタクリア (CLSR) とその後が続いて書き込みディセーブル (WRDI) コマンドを送信する必要があります。ステータスレジスタクリアは WIP、P_ERR および E_ERR ビットをクリアします。WRDI は WEL ビットをクリアします。また、ハードウェアリセットまたはソフトウェアリセット (RST または RESET) によりデバイスをスタンバイ状態に戻すこともできます。

10.1.4.2 コンフィギュレーション

インターフェースパス幅、インターフェースタイミング、インターフェースアドレス長、およびデータ保護のいくつかの点を制御するレジスタの読み出し、書き込みおよび保護するコマンドがあります。

10.1.5 フラッシュアレイ読み出し

データは任意のバイト境界で開始するメモリから読み出せます。データバイトはホストが CS# 入力を HIGH に駆動してデータ転送を完了させるまで、下位から上位のバイトアドレスから順次読み出されます。バイトアドレスがメモリアレイの最大アドレスに達すると、読み出しはアレイのゼロアドレスで継続します。

バースト長設定 (SBL 77h) コマンドにより、要求されるラップ読み出し長とアライメントでバーストラップ読み出しを有効にできます。バースト長セット (SBL C0h) を参照してください。バーストラップ読み出しは、クアッド I/O、クアッド出力、および QPI モードに限られます。

異なるアクセスレイテンシとデータパス幅を特定するためにいくつかの異なる読み出しコマンドがあります。ダブルデータレート (DDR) コマンドは SCK の両エッジに対するアドレスとデータビットの関係も定義します。

- 読み出しコマンドは、SI/I00 信号上で SCK の立ち上りエッジごとに 1 アドレスビットを提供し、SO/I01 上で SCK の立ち下りエッジごとに 1 データビットを返します。このコマンドでは、アドレスと返しデータとの間のレイテンシがありませんが、最大 50 MHz の SCK レートに制限されています。
- 他の読み出しコマンドはアドレスと返しデータとの間のレイテンシがありますが、より高い SCK の周波数で動作できます。レイテンシはコンフィギュレーションレジスタ読み出しレイテンシ値によって変わります。
- 高速読み出しコマンドは、SI/I00 信号上で SCK の立ち上りエッジごとに 1 アドレスビットを提供し、SO/I01 上で SCK の立ち下りエッジごとに 1 データビットを返します。
- デュアルまたはクアッド出力読み出しコマンドは SCK の立ち上りエッジに SI/I00 ピン上でアドレスを提供し、その読み出しデータは I00 ~ I03 信号上で SCK の立ち下りエッジごとに 2 ビットまたは 4 ビットのデータを返します。
- デュアルまたはクアッド I/O 読み出しコマンドは I00 ~ I03 信号上で、SCK の立ち上りエッジごとに 2 または 4 アドレスビットを提供し、SCK の立ち下りエッジごとに 2 または 4 データビットを返します。
- クアッドダブルデータレート読み出しコマンドは I00 ~ I03 信号上で、SCK エッジごとに 4 アドレスビットを提供し、SCK エッジごとに 4 データビットを返します。

10.1.6 フラッシュアレイプログラム

データプログラミングには、書き込みイネーブル (WREN)、ページプログラム (PP)/クアッドページプログラム (QPP) のコマンドが必要です。ページプログラムおよびクアッドページプログラムのコマンドでは、1 つの動作で 1 バイトから連続した 256 バイトまたは 512 バイト (ページ) までのデータをプログラムできます。プログラムの意味は、ビットを 1 のままにするか、または 1 から 0 にすることです。ビットを 0 から 1 にするためには消去動作を行う必要があります。

コマンド

10.1.7 フラッシュアレイ消去

パラメーターセクタ消去、セクタ消去またはバルク消去コマンドは、1つのセクタまたはメモリアレイ全体のすべてのビットを1にセットします。プログラムしてビットを0に変える前に、まずビットを1に消去する必要があります。ビットを個別に1から0にプログラムできますが、0から1への消去は、セクタ幅またはアレイ幅(バルク)レベルで行わなければなりません。消去コマンドの前に、書き込みイネーブル(WREN)コマンドを実行する必要があります。

10.1.8 OTP, ブロック保護, および高度セクタ保護

シリアル番号などの永久的データ用の個別のワンタイムプログラマブル(OTP)アレイを読み出す/プログラムするコマンドがあります。プログラムおよび消去動作から保護されるフラッシュメモリアレイセクタの連続的なグループ(ブロック)を制御するコマンドがあります。どの個別のフラッシュメモリアレイセクタがプログラムと消去動作から保護されるかを制御するコマンドがあります。

10.1.9 リセット

電源投入後、デフォルトの状態にデバイスをリセットするためのコマンドがあります。しかし、ソフトウェアリセットコマンドは、FREEZE または PPB ロックビットの現時点の状態に影響しません。他のすべての点において、ソフトウェアリセットはハードウェアリセットと同じです。

連続読み出しモードをリセット(終了)するためのコマンドがあります。

10.1.10 DPD

ディープパワーダウン(DPD)モードはFS-Sファミリデバイスで対応されます。DPD(B9h)コマンドでデバイスがDPDモードになるとき、インターフェーススタンバイ電流はIDPDです。DPDコマンドは、デバイスが組込みアルゴリズムを実行していない(要するに揮発性ステータスレジスタ1の書き込み中(WIP)ビットが0にクリアされる(SR1V[0]=0))ときのみ受け入れられます。DPDモードでは、 t_{RES} の遅延期間が経過した後デバイスをインターフェーススタンバイ状態に復帰させるDPD終了(RESABh)コマンド以外、デバイスはすべてのコマンドを無視します。

10.1.11 予約済み

いくつかの命令は今後使用するために予約されています。FS-Sファミリのこの世代では、コマンド命令の一部が未使用でデバイスの動作に影響を与えない、または未定義の結果を返します。

いくつかのコマンドは、レガシーまたは代替ソースデバイスコマンドが効果がなくて実行できるように予約されています。その結果、レガシーソフトウェアは、この世代のFS-Sファミリで対応されていないいくつかのコマンドを発行できながら、それらが予期しない動作を発生しないことを保証できます。

いくつかのコマンドは、本資料に言及しないFS-Sの特別バージョン、または次世代のために予約されています。これにより、新しいホストメモリコントローラーデザインではコマンド命令を柔軟に発行できます。コマンドの形式は本改訂版資料の公開時点で既知の場合、定義されています。

10.2 IDのコマンド

10.2.1 ID読み出し(RDID 9Fh)

ID読み出し(RDID)コマンドはメーカーID、デバイスID、および共通フラッシュインターフェース(CFI)情報への読み出しアクセスを提供します。メーカーIDはJEDECによって割り当てられます。CFI構造はJEDEC規格により定義されます。デバイスの識別およびCFI値はインフィニオンによって割り当てられます。

JEDEC共通フラッシュインターフェース(CFI)仕様は、デバイス情報構造を定義し、ベンダー固有ソフトウェアであるフラッシュ管理プログラム(ドライバー)をすべてのフラッシュデバイスファミリに使用可能としています。したがって、ソフトウェアサポートはデバイスやJEDECメーカーIDに関係なく、指定したフラッシュデバイスファミリで上位下位互換性があります。システムベンダーは、使用中のデバイスのCFI情報からCFI値を使ってファミリドライバーを設定することにより、ソフトウェアの以降の互換性のために自分のフラッシュドライバーを標準化できます。

プログラム、消去、書き込みサイクルの実行中に発行されるRDIDコマンドは無視され、それらの実行中のサイクルに影響を与えません。

コマンド

RDID 命令は SI/I00 でシフトされます。RDID 命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイト、デバイス ID/ 拡張デバイス ID の 2 バイトおよび CFI 情報は SO 上で順次にシフトアウトされます。この情報全体は ID-CFI と呼ばれます。ID-CFI 内容の詳細説明については、[デバイス ID と共通フラッシュインターフェース \(ID-CFI\) アドレス マップ - 標準](#)を参照してください。

定義された ID-CFI アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RDID コマンド シーケンスは終了します。

RDID コマンドの最大クロック周波数は 133 MHz です。

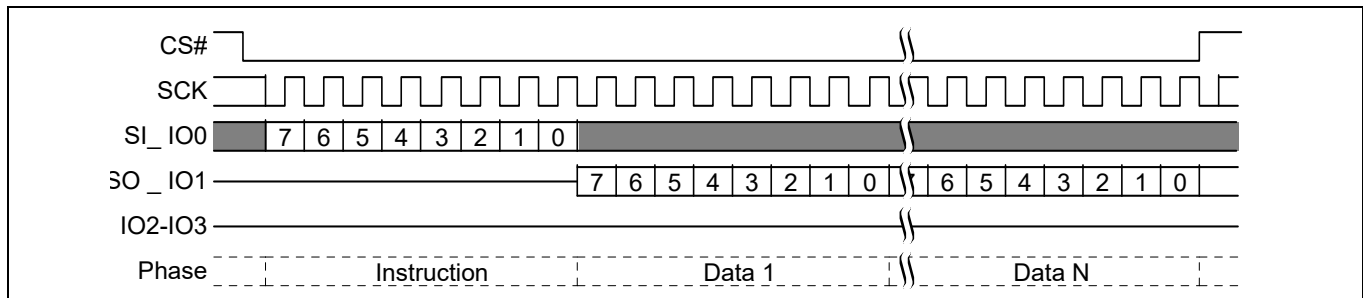


Figure 41 ID 読み出し (RDID) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

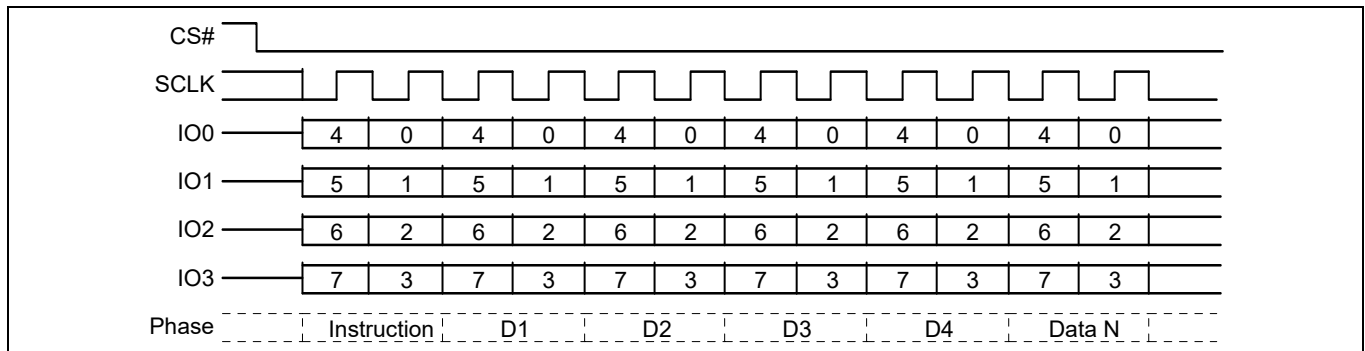


Figure 42 ID 読み出し (RDID) コマンド - QPI モード

10.2.2 クアッド ID 読み出し (RDQID AFh)

クアッド ID 読み出し (RDQID) コマンドはメーカー ID、デバイス ID および共通フラッシュインターフェース (CFI) 情報への読み出しアクセスを提供します。コマンドは、RDID コマンドが提供する同じ情報を読み出す QPI モードでの別の方法です。他のあらゆる点において、コマンドは RDID コマンドと同様に動作します。

コマンドはデバイスが QPI モード (CR2V[6]=1) である場合のみ、認識されます。命令は IO0 ~ IO3 上でシフトインされます。命令の最後のビットがデバイスへシフトインされた後、メーカー ID の 1 バイト、デバイス ID/ 拡張デバイス ID の 2 バイトおよび CFI 情報は IO0 ~ IO3 で順次にシフトアウトされます。この情報全体は ID-CFI と呼ばれます。ID-CFI 内容の詳細説明については、[デバイス ID と共通フラッシュインターフェース \(ID-CFI\) アドレス マップ - 標準](#)を参照してください。

定義された ID-CFI アドレス空間の終わりを越えて出力を継続的にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、コマンド シーケンスは終了します。

コマンドの最大クロック周波数は 133 MHz です。データ出力中に CS# を論理 HIGH に駆動すると、コマンド シーケンスは終了します。

コマンド

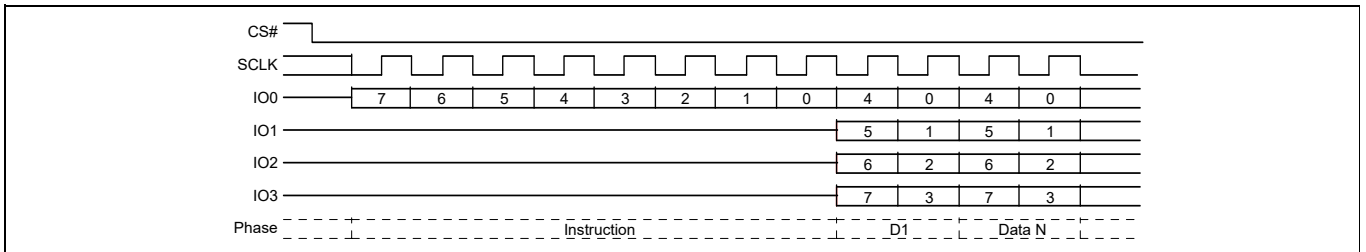


Figure 43 クアッド ID 読み出し (RDQID) コマンド シーケンス - クアッド モード

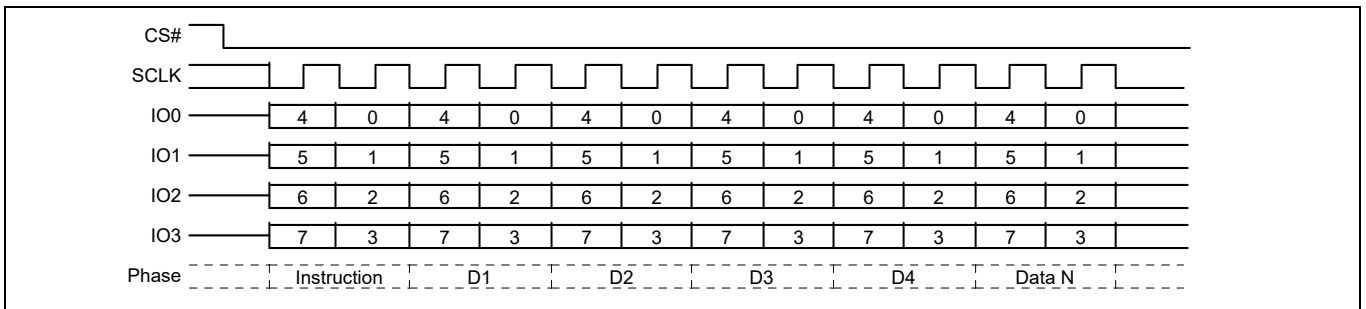


Figure 44 クアッド ID 読み出し (RDQID) コマンド シーケンス - QPI モード

10.2.3 シリアルフラッシュ検出可能パラメーター読み出し (RSFDP 5Ah)

コマンドは、SI 上に「5Ah」の命令コードをシフトすることで開始され、その後 000000h の 24 ビットアドレスおよび 8 ダミーサイクルが続きます。SFDP バイトはダミーサイクル後の SCK の立ち下りエッジから SO 上でシフトアウトされます。SFDP バイトのシフトアウトは常に MSB から行われます。24 ビットアドレスが異なる値にセットされた場合、SFDP 空間の選択した位置はデータ読み出しのスタートポイントです。これにより、SFDP 空間の任意のパラメーターヘランダムにアクセスできます。RSFDP コマンドは 50 MHz まで対応できます。

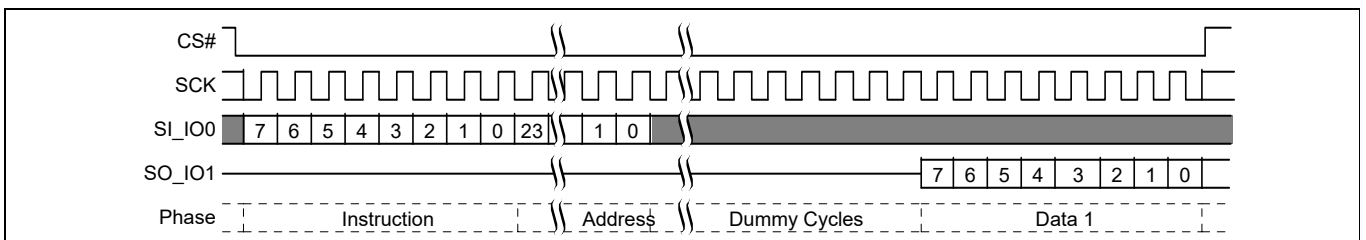


Figure 45 RSFDP コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令のシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

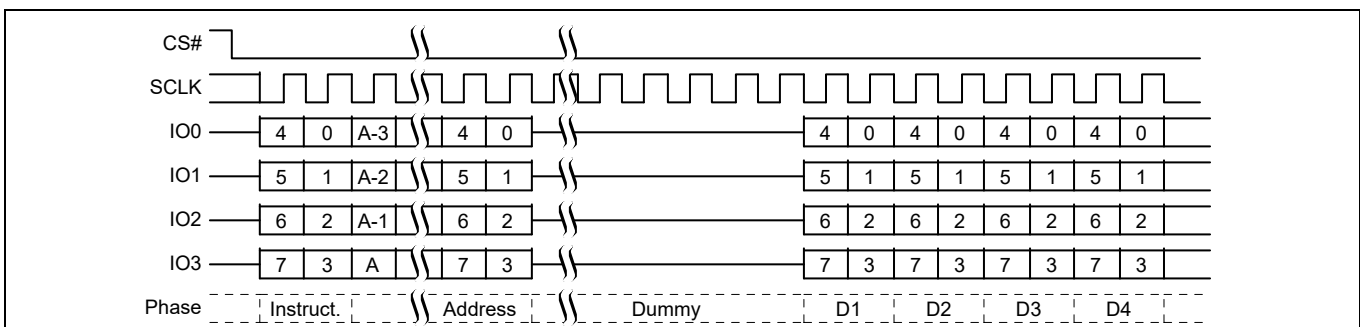


Figure 46 RSFDP コマンド シーケンス - QPI モード

10.2.4 固有 ID 読み出し (RUID 4Ch)

ID 読み出し (RUID) コマンドは、工場で設定した読み出し専用の、デバイスに一意的な 64 ビット番号への読み出しアクセスを提供します。

RUID 命令は SI 上でシフトされ、その後、4 ダミーバイトまたは 16 ダミーバイト QPI (32 クロックサイクル) が続きます。レイテンシ期間 (ダミーサイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取ることができます。レイテンシサイクル中に、IO0 ~ IO3 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。

その後、固有 ID の 8 バイトは SO/IO1 上で順次にシフトアウトされます。

定義された固有 ID アドレス空間の終わりを越えて出力を継続にシフトすると、未定義のデータが発生します。データ出力中に CS# を論理 HIGH に駆動すると、RUID コマンドシーケンスは終了します。

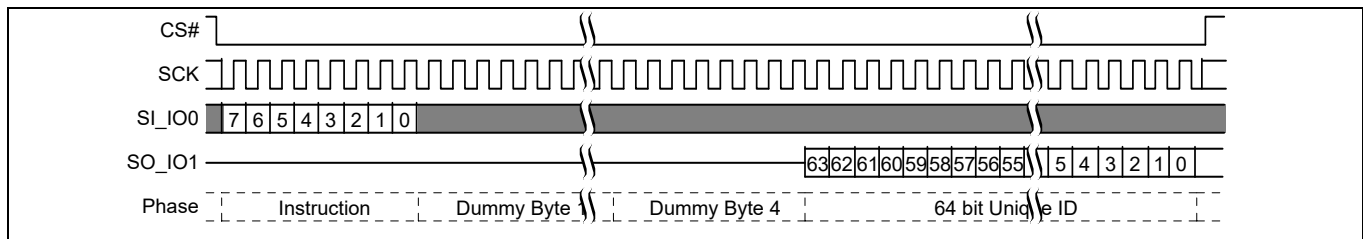


Figure 47 固有 ID 読み出し (RUID) コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされ、返されるデータは IO0 ~ IO3 上でシフトアウトされます。

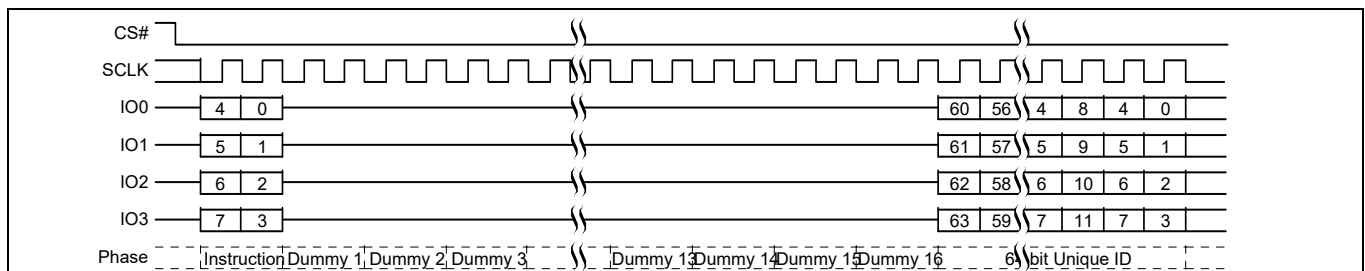


Figure 48 固有 ID 読み出し (RUID) コマンド - QPI モード

10.3 レジスタアクセスコマンド

10.3.1 ステータスレジスタ 1 読み出し (RDSR1 05h)

ステータスレジスタ 1 読み出し (RDSR1) コマンドにより、ステータスレジスタ 1 の内容は SO/IO1 から読み出されます。

ステータスレジスタ 1 (SR1V) の揮発性バージョンの内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロックサイクルを提供することでステータスレジスタ 1 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。RDSR1 (05h) コマンドの最大クロック周波数は 133 MHz です。

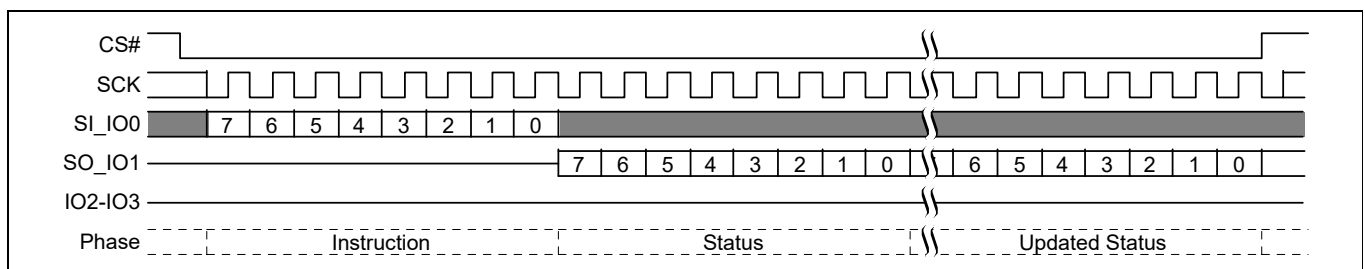


Figure 49 ステータスレジスタ 1 読み出し (RDSR1) コマンドシーケンス

コマンド

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされ、返されるデータは IO0 ~ IO3 上でシフトアウトされます。

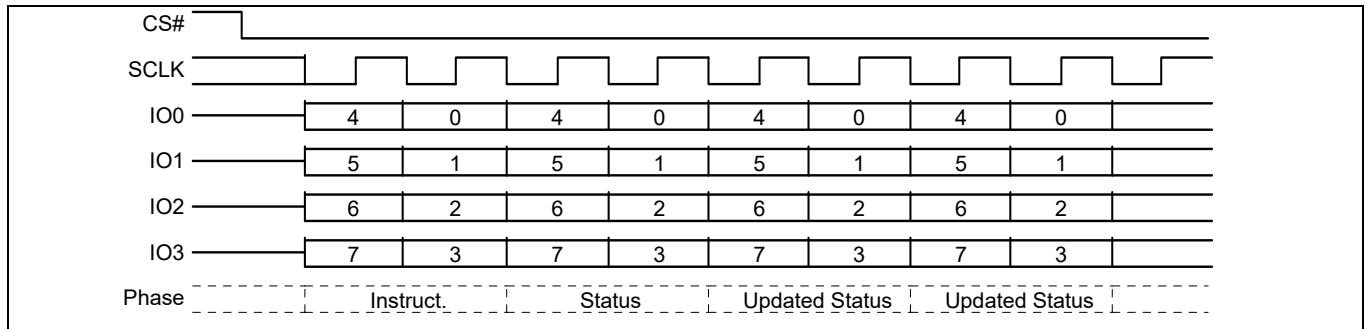


Figure 50 ステータスレジスタ 1 読み出し (RDSR1) コマンド - QPI モード

10.3.2 ステータスレジスタ 2 読み出し (RDSR2 07h)

ステータスレジスタ 2 読み出し (RDSR2) コマンドにより、ステータスレジスタ 2 の内容が SO/IO1 から読み出されます。

ステータスレジスタ 2 の内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。8 の倍数のクロックサイクルを提供することでステータスレジスタ 2 を連続的に読み出せます。ステータスは各 8 サイクルの読み出しごとに更新されます。RDSR2 コマンドの最大クロック周波数は 133 MHz です。

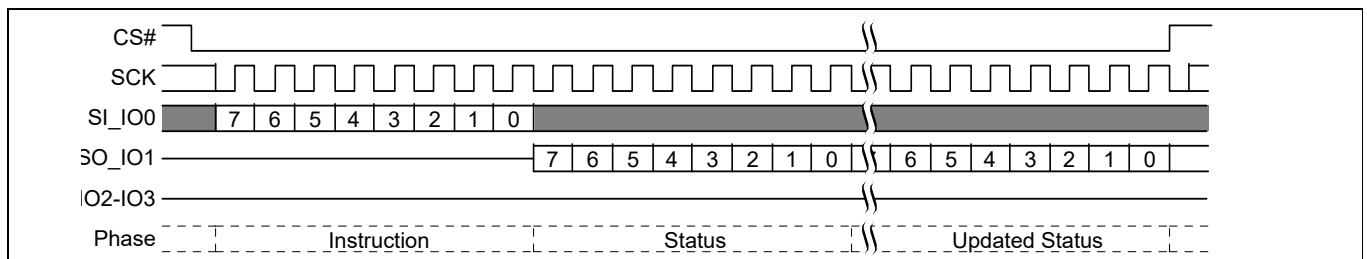


Figure 51 ステータスレジスタ 2 読み出し (RDSR2) コマンド

QPI モードでは、ステータスレジスタ 2 は任意レジスタ読み出しコマンドで読み出すことができます。[任意レジスタ読み出し \(RDAR 65h\)](#) を参照してください。

10.3.3 コンフィギュレーションレジスタ読み出し (RDCR 35h)

コンフィギュレーションレジスタ読み出し (RDCR) コマンドにより、揮発性コンフィギュレーションレジスタ (CR1V) の内容が SO/IO1 から読み出されます。

8 の倍数のクロックサイクルを提供することで CR1V を連続的に読み出せます。コンフィギュレーションレジスタの内容は、プログラム、消去、書き込み動作の実行中でも、いつでも読み出せます。

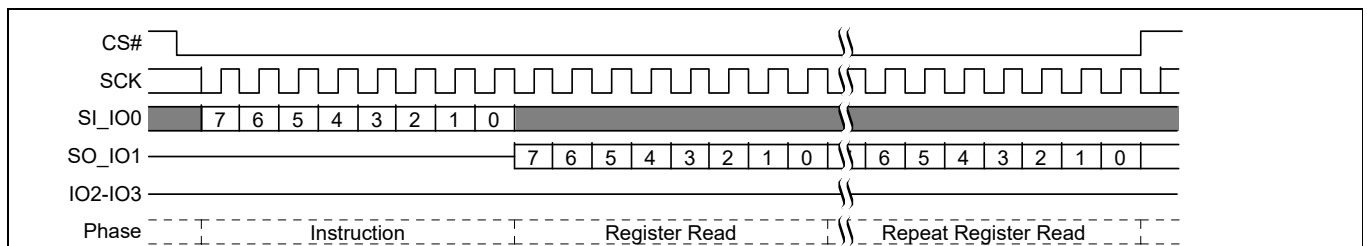


Figure 52 コンフィギュレーションレジスタ読み出し (RDCR) コマンド シーケンス

QPI モードでは、コンフィギュレーションレジスタ 1 は任意レジスタ読み出しコマンドで読み出すことができます。[任意レジスタ読み出し \(RDAR 65h\)](#) を参照してください。

コマンド

10.3.4 レジスタ書き込み (WRR 01h)

レジスタ書き込み (WRR) コマンドにより、新しい値はステータス レジスタ 1 およびコンフィギュレーションレジスタ 1 に書き込まれます。デバイスはレジスタ書き込み (WRR) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを受け入れなければいけません。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスはステータス レジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

レジスタ書き込み (WRR) コマンドは命令およびデータ バイトを SI/I00 上でシフトすることで入力されます。ステータス レジスタの長さは 1 データ バイトです。

WRR 動作はまずレジスタを消去し、その後、単一の動作として新しい値をプログラムします。WRR 動作にエラーがある場合、レジスタ書き込み (WRR) コマンドは P_ERR または E_ERR のビットをセットします。エラービットの説明については、[揮発性ステータス レジスタ 1 \(SR1V\)](#) を参照してください。将来のために予約されるステータスまたはコンフィギュレーションレジスタビットは「0」に書き込む必要があります。

CS# は、データの 8 または 16 ビット目がラッチされた後に論理 HIGH に駆動する必要があります。そうしない場合は、レジスタ書き込み (WRR) コマンドは実行されません。CS# が 8 サイクル目の後 HIGH に駆動されると、ステータス レジスタ 1 のみが書き込まれます。そうでない場合、16 サイクル目の後にステータスとコンフィギュレーションの両方のレジスタが書き込まれます。CS# が論理 HIGH に駆動されると、セルフタイムのレジスタ書き込み (WRR) 動作はすぐに開始されます。レジスタ書き込み (WRR) 動作の実行中でも、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムのレジスタ書き込み (WRR) 動作の間「1」で、その動作が完了すると「0」になります。レジスタ書き込み (WRR) 動作が終了すると、書き込みイネーブル ラッチ (WEN) は「0」にセットされます。WRR コマンドの最大クロック周波数は 133 MHz です。

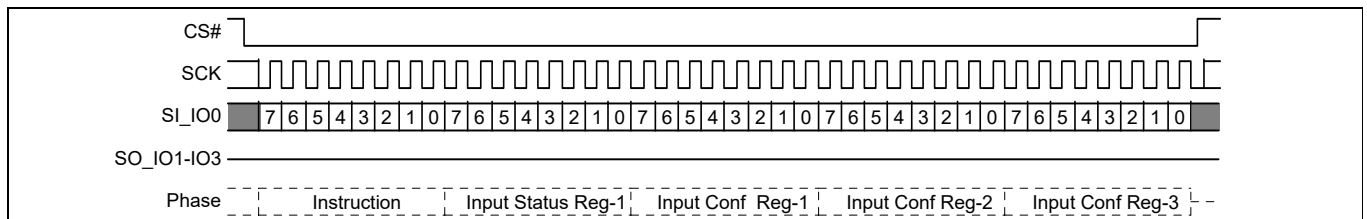


Figure 53 レジスタ書き込み (WRR) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびデータは I00 ~ I03 上でシフトインされます。

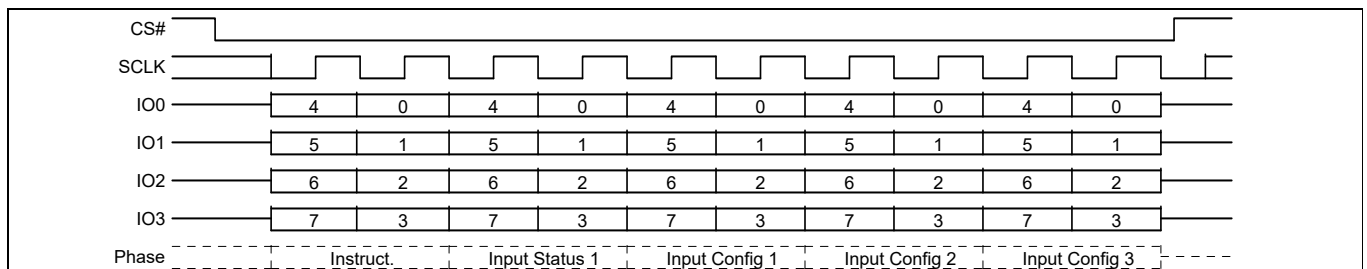


Figure 54 レジスタ書き込み (WRR) コマンド シーケンス - QPI モード

レジスタ書き込み (WRR) コマンドにより、ユーザーは読み出し専用領域のサイズを定義するために、不揮発性ステータス レジスタ 1 または揮発性ステータス レジスタ 1 のブロック保護ビット (BP2, BP1, BP0) の値を変更できます。BPNV_0 ビット (CR1NV[3]) は WRR コマンドがステータス レジスタ 1 の不揮発性が揮発性のどちらのバージョンに書き込むかを制御します。CR1NV[3]=0 の場合、WRR は SR1NV[4:2] に書き込みます。CR1NV[3]=1 の場合、WRR は SR1V[4:2] に書き込みます。

また、レジスタ書き込み (WRR) コマンドにより、ユーザーはステータス レジスタ書き込みディセーブル (SRWD) ビットを「1」または「0」にセットすることもできます。ステータス レジスタ書き込みディセーブル (SRWD) ビットおよび書き込み保護 (WP#) 信号により、BP ビットはハードウェア保護されます。

コマンド

ステータスレジスタのステータスレジスタ書き込みディセーブル (SRWD) ビットが「0」(工場出荷時の初期状態)である場合、書き込み保護 (WP#) 信号が論理 HIGH か論理 LOW に駆動されることにかかわらず、書き込みイネーブルラッチ (WEL) ビットが書き込みイネーブル (WREN) コマンドにより既にセットされているのであれば、ステータスレジスタは書き込み可能です。

ステータスレジスタのステータスレジスタ書き込みディセーブル (SRWD) ビットが「1」にセットされる場合、書き込み保護 (WP#) の状態によって、次の2つのケースを検討する必要があります。

- 書き込み保護 (WP#) 信号が論理 HIGH に駆動された場合、書き込みイネーブル (WREN) コマンドを開始することで書き込みイネーブルラッチ (WEL) ビットが既に「1」にセットされているのであれば、ステータスおよびコンフィギュレーションレジスタへの書き込みが可能です。
- 書き込み保護 (WP#) 信号が論理 LOW に駆動された場合、書き込みイネーブル (WREN) コマンドにより書き込みイネーブルラッチ (WEL) ビットが既に「1」にセットされても、ステータスおよびコンフィギュレーションレジスタへの書き込みは不可です。ステータスおよびコンフィギュレーションレジスタに書き込みしようとしても拒否されるか、実行不可になり、エラー表示はありません。その結果として、ステータスレジスタのブロック保護 (BP2, BP1, BP0) ビットにより保護されるメモリ領域のすべてのデータバイトも WP# によってハードウェア保護されます。

WP# のハードウェア保護は次の方法で提供されます。

- 書き込み保護 (WP#) 信号を論理 LOW に駆動してから、ステータスレジスタ書き込みディセーブル (SRWD) ビットをセットします。
- ステータスレジスタ書き込みディセーブル (SRWD) ビットを「1」にセットしてから、書き込み保護 (WP#) 信号を論理 LOW に駆動します。

ハードウェア保護を解除するためには、書き込み保護 (WP#) 信号を論理 HIGH にプルアップすることが唯一の方法です。WP# が永久的に HIGH である場合、BP ビットのハードウェア保護は有効化できません。

Table 47 **ブロック保護モード**

WP#	SRWD ビット	モード	レジスタの書き込み保護	メモリ内容	
				保護領域	非保護領域
1	1	ソフトウェア保護	ステータスおよびコンフィギュレーションレジスタは書き込み可能です (WREN コマンドで WEL ビットをセットした場合)。SRWD, BP2, BP1, BP0 ビットの値およびコンフィギュレーションレジスタの値は変更可能です。	ページプログラム, セクタ消去, およびバルク消去から保護されます。	ページプログラムおよびセクタ消去コマンドを受け入れられません。
1	0				
0	0				
0	1	ハードウェア保護	ステータスおよびコンフィギュレーションレジスタはハードウェアにより書き込みから保護されます。SRWD, BP2, BP1, BP0 ビットの値およびコンフィギュレーションレジスタの値は変更不可です。	ページプログラム, セクタ消去, およびバルク消去から保護されます。	ページプログラムまたはセクタ消去コマンドを受け入れられません。

注:

35. デバイスはインフィニオンから最初に出荷される時点では、ステータスレジスタの値は 00h です。
36. クアッドモードが有効 (CR1V[1]=1) になると、ハードウェア保護は無効になります。WP# が IO2 になるため、利用できません。

10.3.5 書き込みイネーブル (WREN 06h)

書き込みイネーブル (WREN) コマンドは、ステータスレジスタ 1 の書き込みイネーブルラッチ (WEL) ビット (SR1V[1]) を「1」にセットします。書き込み、プログラム、および消去のコマンドを有効化するために、書き込みイネーブル (WREN) コマンドを発行して、書き込みイネーブルラッチ (WEL) ビットを「1」にセットする必要があります。

命令バイトの 8 ビット目が SI/IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI/IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みイネーブル動作は実行されません。

コマンド

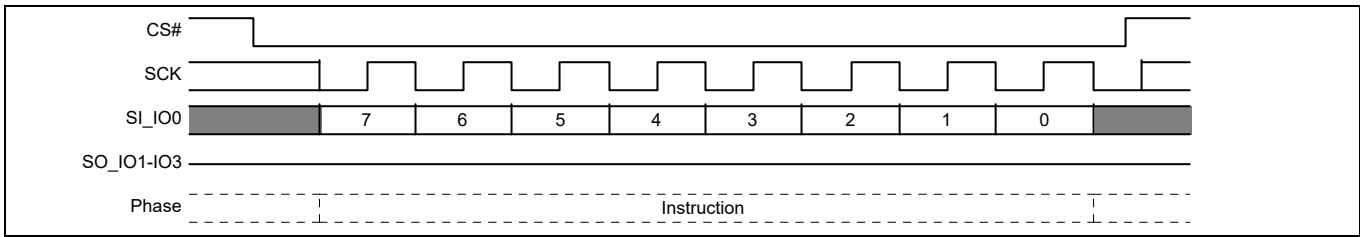


Figure 55 書き込みイネーブル (WREN) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

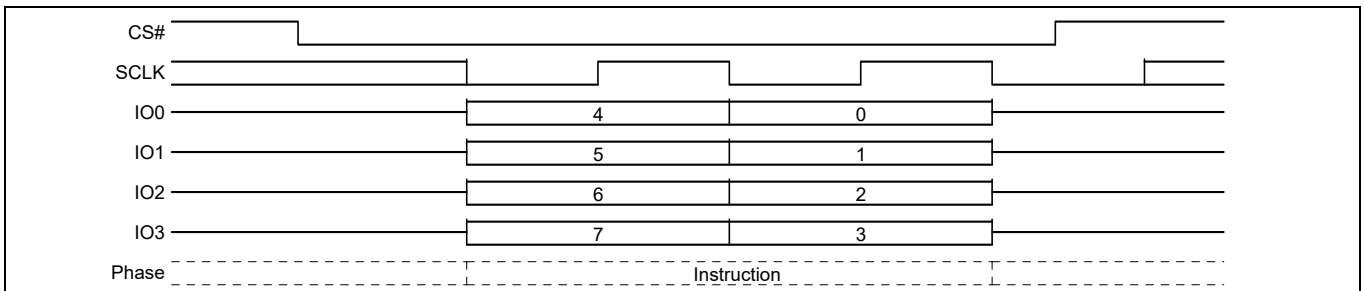


Figure 56 書き込みイネーブル (WREN) コマンド シーケンス - QPI モード

10.3.6 書き込みディセーブル (WRDI 04h)

書き込みディセーブル (WRDI) コマンドは、ステータスレジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1V[1]) を「0」にクリアします。

書き込みイネーブル ラッチ (WEL) ビットは、実行のために WEL を「1」にセットする必要があるコマンド (例えば、ページプログラム (PP), セクタ消去 (SE), バルク消去 (BE), レジスタ書き込み (WRR あるいは WRAR), OTP プログラム (OTPP)) を無効化するために、書き込みディセーブル (WRDI) コマンドを発行することで「0」にクリアされます。メモリの内容を破損する可能性がある不注意な書き込みからメモリ領域を保護するために、ユーザーは WRDI コマンドを使用できます。WIP ビット=1 の場合、組込み動作中に WRDI コマンドは無視されます。

命令バイトの 8 ビット目が SI/IO0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。命令バイトの 8 ビット目が SI/IO0 上にラッチインされた後、CS# を論理 HIGH に駆動しない場合、書き込みディセーブル動作は実行されません。

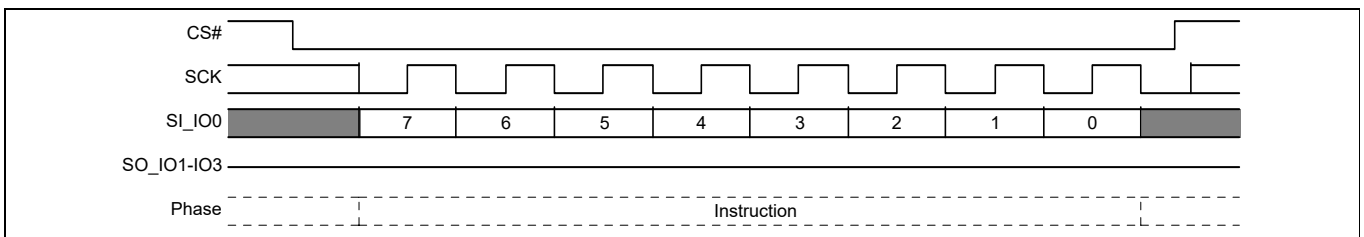


Figure 57 書き込みディセーブル (WRDI) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

コマンド

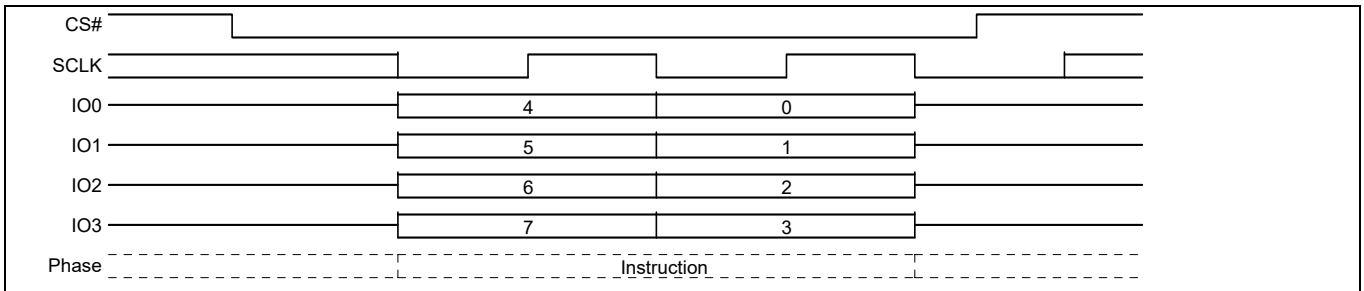


Figure 58 書き込みディセーブル (WRDI) コマンド シーケンス - QPI モード

10.3.7 ステータスレジスタクリア (CLSR 30h または 82h)

ステータスレジスタクリアのコマンドは SR1V[5] ビット (消去失敗フラグ) と SR1V[6] ビット (プログラム失敗フラグ) をリセットします。ステータスレジスタクリア コマンドを実行する前に、WEL ビットをセットする必要がありません。いずれかのエラービットがセットされてもデバイスはビジーの状態を維持するため、WIP が「1」にセットされデバイスがビジーの状態であっても、ステータスレジスタクリア コマンドは受け入れられます。WEL ビットはコマンドの実行後も変化しません。

レガシーのステータスレジスタクリア (CLSR 30h) 命令は無効になり、その 30h 命令の値はプログラム / 消去の再開コマンドとして使用されます。コンフィギュレーションレジスタ 3 を参照してください。ステータスレジスタクリアの代替命令 (CLSR 82h) はステータスレジスタをクリアするために常に使用可能です。

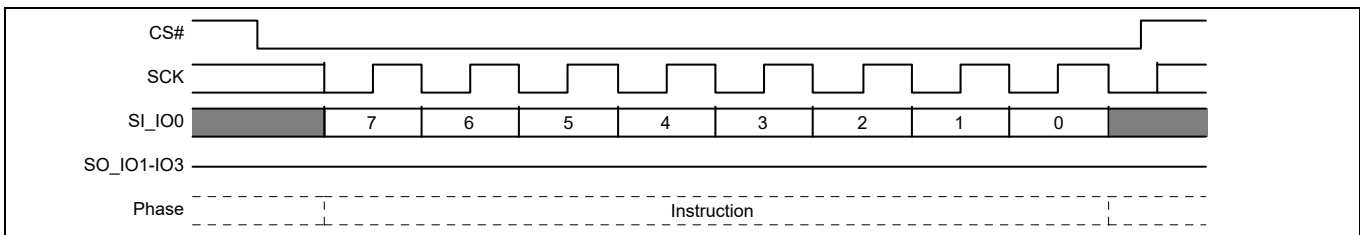


Figure 59 ステータスレジスタクリア (CLSR) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は I00 ~ I03 上でシフトインされます。

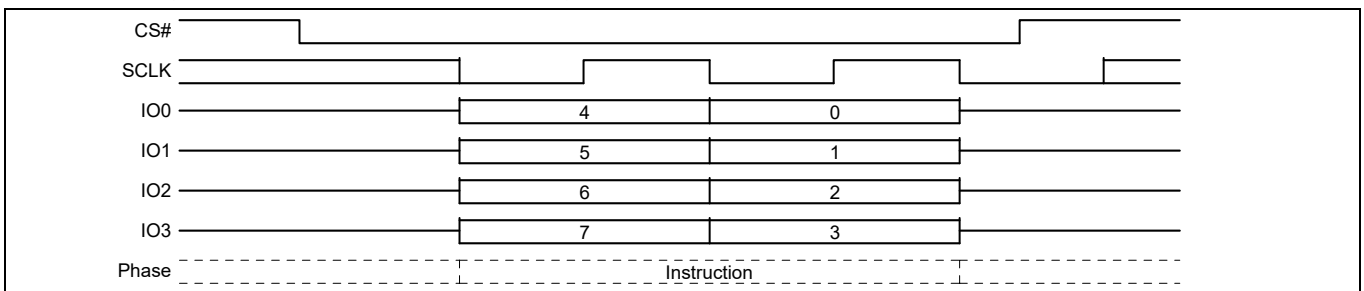


Figure 60 ステータスレジスタクリア (CLSR) - QPI モード

10.3.8 ECC ステータスレジスタ読み出し (ECCRD 19h または 4EECRD 18h)

ECC ステータスレジスタを読み出すために、コマンドの発行後、4 最下位ビット (LSB) を「0」にセットした ECC ユニット (16 バイト) アドレスを発行します。次に、CR2V[3:0] での読み出しレイテンシ値で選択されたダミーサイクル数が続きます。その後、選択された ECC ユニットの ECC レジスタの 8 ビット内容が、SO/I01 上で 16 回 (ECC ユニットのバイトごとに 1 回) シフトアウトされます。CS# が LOW のままであれば、次の ECC ユニット ステータスは SO/I01 上で 16 回 (ECC ユニットのバイトごとに 1 回) 送信され、これは CS# が HIGH になるまで続きます。ECC READ コマンドの最大動作クロック周波数は 133 MHz です。ECC ユニットの詳細については、自動 ECC を参照してください。

コマンド

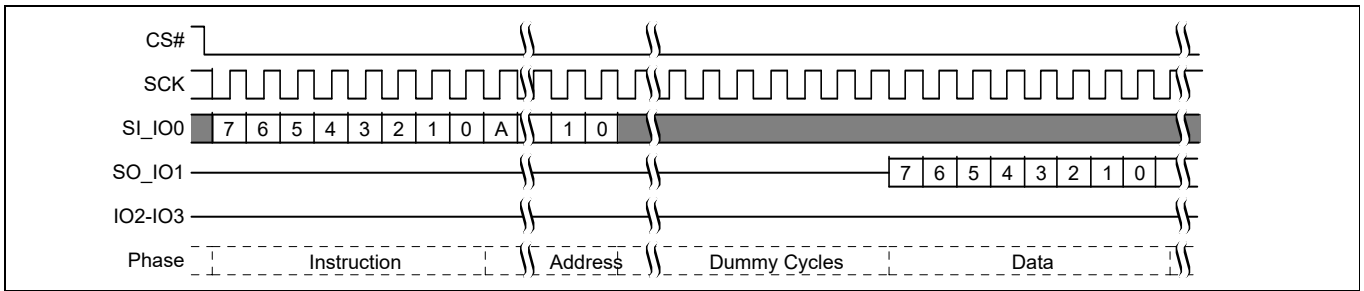


Figure 61 ECC ステータス レジスタ読み出しコマンド シーケンス [37, 38]

コマンドは QPI モードでも対応されます。QPI モードでは、命令とアドレスのシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

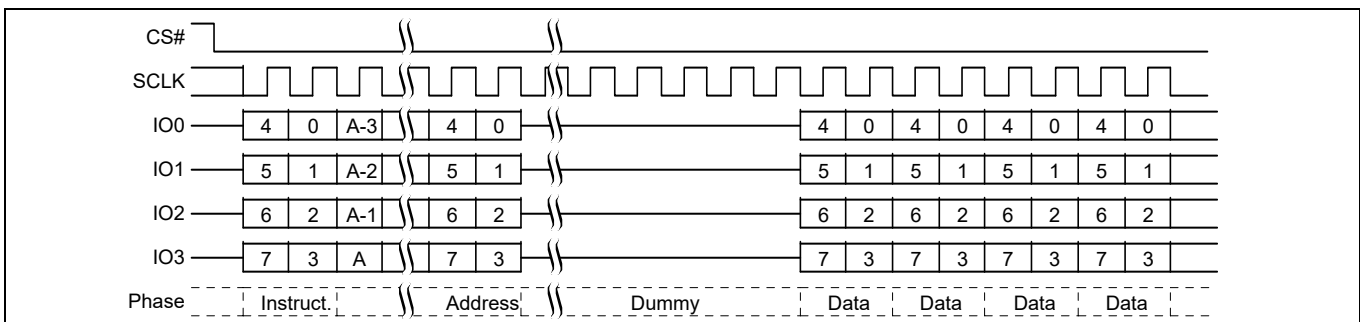


Figure 62 ECC ステータス レジスタ読み出しコマンド シーケンス - QPI モード [39, 40]

10.3.9 NVDLR プログラム (PNVDLR 43h)

NVDLR プログラム (PNVDLR) コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして PNVDLR 動作を有効にします。

PNVDLR コマンドは命令およびデータ バイトを SI/IO0 上でシフトすることで入力されます。

CS# は、データの 8 ビット目がラッチされた後に論理 HIGH に駆動しなければいけません。そうしないと、PNVDLR コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PNVDLR 動作は直ちに開始されます。PNVDLR 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PNVDLR サイクルの間「1」で、サイクルが完了すると「0」になります。PNVDLR 動作はステータス レジスタの P_ERR ビットでプログラム エラーをレポートできます。PNVDLR 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。PNVDLR コマンドの最大クロック周波数は 133 MHz です。

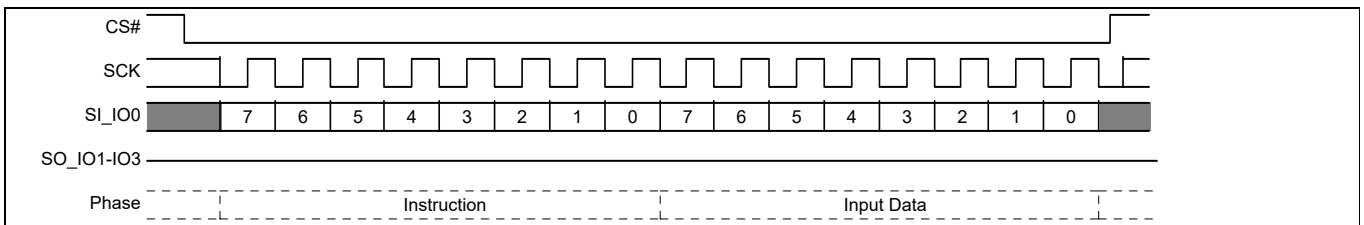


Figure 63 NVDLR プログラム (PNVDLR) コマンド シーケンス

注:

37.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で 19h コマンドの場合)。

38.A = アドレスの MSB = 31 (18h コマンド)。

39.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で 19h コマンドの場合)。

40.A = アドレスの MSB = 31 (18h コマンド)。

コマンド

10.3.10 VDLR 書き込み (WVDLR 4Ah)

VDLR 書き込み (WVDLR) コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを正常に復号した後、デバイスは書き込みイネーブル ラッチ (WEL) をセットして WVDLR 動作を有効にします。

WVDLR コマンドは命令およびデータ バイトを SI/I00 上でシフトすることで入力されます。CS# は、データの 8 ビット目がラッチされた後に論理 HIGH に駆動しなければなりません。そうしないと、WVDLR コマンドは実行されません。CS# が論理 HIGH に駆動されると、WVDLR 動作はすぐに開始されます。WVDLR コマンドの最大クロック周波数は 133 MHz です。

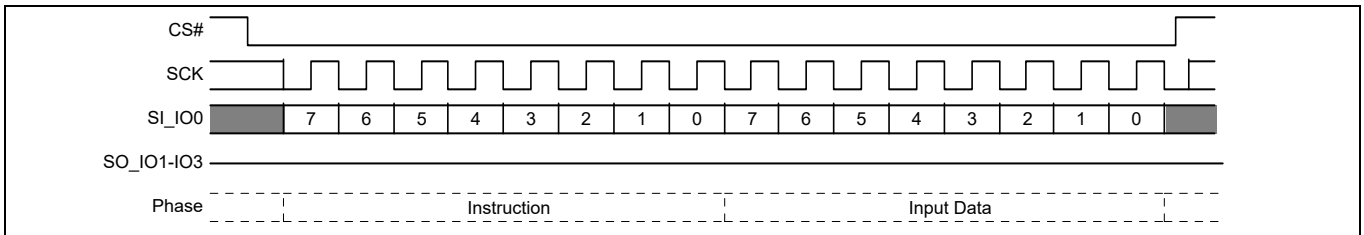


Figure 64 VDLR 書き込み (WVDLR) コマンド シーケンス

10.3.11 データ ラーニング パターン読み出し (DLPRD 41h)

命令は SI/I00 上でシフトされ、その後 8 ビット DLP は SO/I01 上でシフトアウトされます。8 の倍数のクロック サイクルを提供することで DLP を連続的に読み出せます。DLPRD コマンドの最大動作クロック周波数は 133 MHz です。

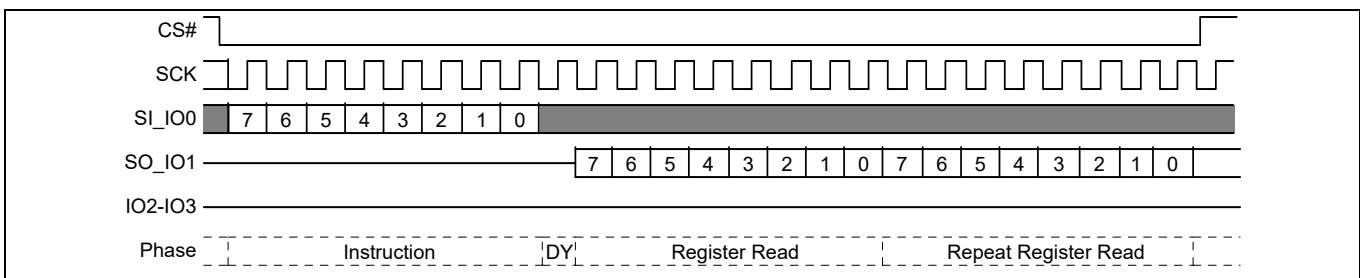


Figure 65 DLP 読み出し (DLPRD) コマンド シーケンス

10.3.12 4 バイト アドレス モード開始 (4BAM B7h)

4 バイト アドレス モード (4BAM) アクセス コマンドは、揮発性アドレス長ビット (CR2V[7]) を「1」にセットし、大部分の 3 バイト アドレス コマンドを 4 バイト アドレスを要求するように変更します。SFDP 読み出し (RSFDP) コマンドは、アドレス長ビットに影響されない唯一の 3 バイト コマンドです。RSFDP は、JEDEC JESD216 Rev B 規格では常に 3 バイトのみのアドレス長を有することが規定されています。

4 バイト アドレス モードを終了するために、ハードウェアまたはソフトウェア リセットを実行する必要があります。

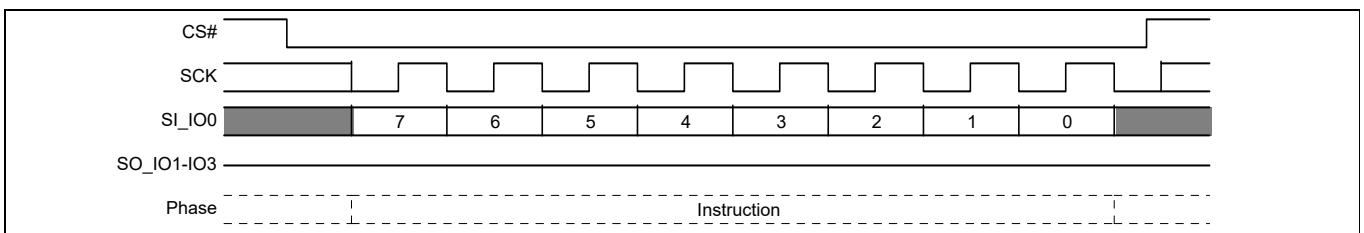


Figure 66 4 バイト アドレス モード開始 (4BAM B7h) コマンド シーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

コマンド

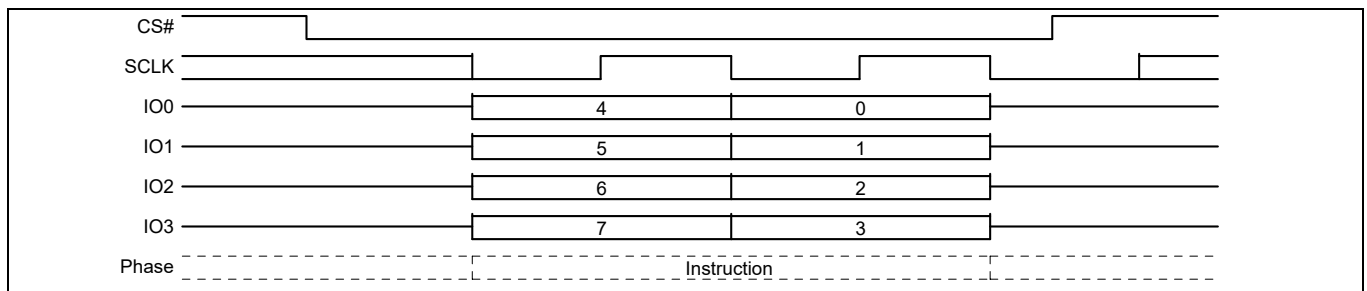


Figure 67 4 バイト アドレス モード開始 - QPI モード

10.3.13 任意レジスタ読み出し (RDAR 65h)

任意レジスタ読み出し (RDAR) コマンドはすべての揮発性と不揮発性デバイスレジスタを読み出す方式を提供します。命令の後に、3 または 4 バイトアドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) が続き、次に CR2V[3:0] でセットされた数のレイテンシ (ダミー) サイクルが続きます。そして、選択されたレジスタの内容が返されます。読み出しアクセスが継続する場合、選択された同じレジスタの内容がコマンドが終了するまで返されます。それぞれの RDAR コマンドは 1 つのレジスタのみを読み出します。

未定義の位置の読み出しは未定義のデータが出力されます。

ステータスレジスタ 1 (SR1V) を読み出すために、RDAR コマンドは組込み動作中に使用できます。

RDAR コマンドは、より大きいアレイへのウィンドウとなるレジスタ (ECCSR, PPBAR, DYBAR) の読み出しには使用されません。アクセスしたアレイの位置を選択し、読み出すために個別のコマンドが必要です。

ASPR[2] を 0 にプログラムすることで ASP パスワード保護モードを選択した場合、RDAR コマンドは PASS レジスタ位置からの無効データを読み出します。

Table 48 レジスタアドレスマップ

バイト アドレス (16 進)	レジスタ名	説明
00000000	SR1NV	不揮発性ステータスおよびコンフィギュレーションレジスタ
00000001	該当なし	
00000002	CR1NV	
00000003	CR2NV	
00000004	CR3NV	
00000005	CR4NV	
...	該当なし	
00000010	NVDLR	不揮発性データ ラーニング レジスタ
...	該当なし	不揮発性パスワード レジスタ
00000020	PASS[7:0]	
00000021	PASS[15:8]	
00000022	PASS[23:16]	
00000023	PASS[31:24]	
00000024	PASS[39:32]	
00000025	PASS[47:40]	
00000026	PASS[55:48]	
00000027	PASS[63:56]	
...	該当なし	

コマンド

Table 48 レジスタ アドレス マップ (continued)

バイト アドレス (16 進)	レジスタ名	説明
00000030	ASPR[7:0]	不揮発性 ASP レジスタ
00000031	ASPR[15:8]	
...	該当なし	
00800000	SR1V	揮発性ステータスおよびコンフィギュレーション レジスタ
00800001	SR2V	
00800002	CR1V	
00800003	CR2V	
00800004	CR3V	
00800005	CR4V	
...	該当なし	
00800010	VDLR	揮発性データ ラーニング レジスタ
...	該当なし	
00800040	PPBL	揮発性 PPB ロック レジスタ
...	該当なし	

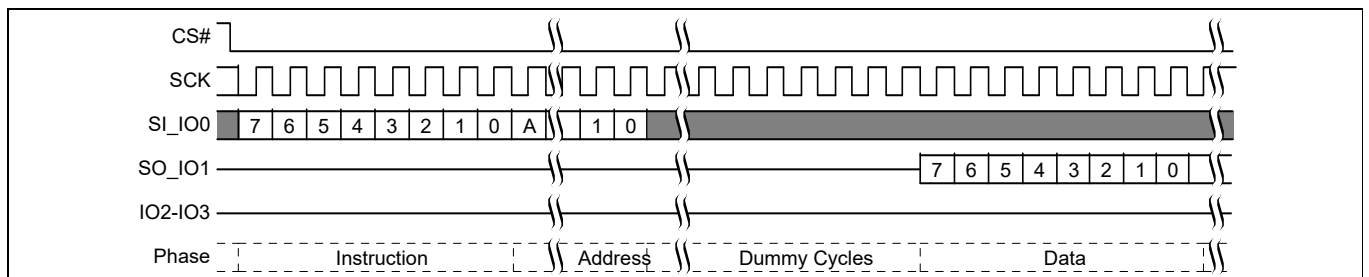


Figure 68 任意レジスタ読み出しコマンド シーケンス ^[41]

コマンドは QPI モードでも対応されます。QPI モードでは、命令とアドレスのシフトインおよび返しデータのシフトアウトは IO0 ~ IO3 上で行われます。

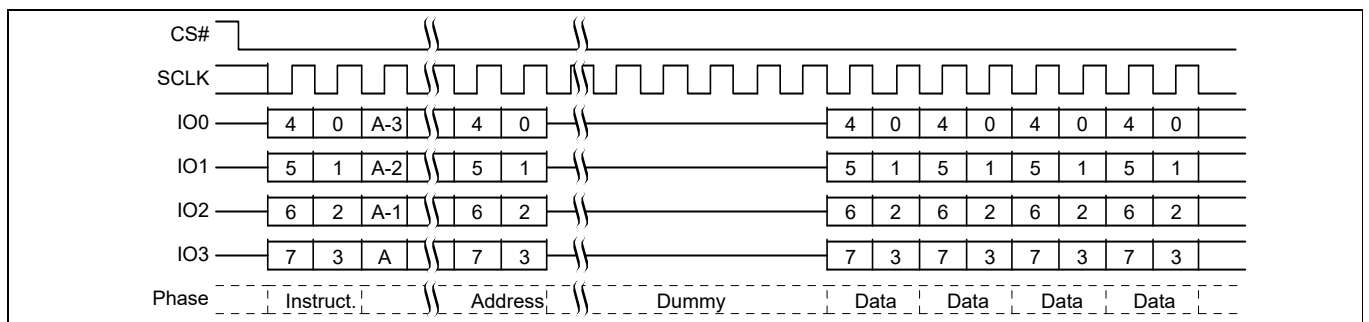


Figure 69 任意レジスタ読み出しコマンド シーケンス - QPI モード ^[41]

注:

41.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 の場合)。

コマンド

10.3.14 任意レジスタ書き込み (WRAR 71h)

任意レジスタ書き込み (WRAR) コマンドはすべての不揮発性と揮発性デバイス レジスタに書き込む方式を提供します。命令の後には (アドレス長コンフィギュレーション CR2V[7] に応じて) 3 または 4 バイトアドレスが続き、次にアドレスで指定されたレジスタに書き込む 1 データバイトが続きます。

WRAR コマンドを受け入れる前に、デバイスは書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。SR1V の WIP ビットを確認することで、いつ動作が完了するかを判定できます。SR1V の P_ERR および E_ERR ビットを確認することで、動作中にエラーが発生したかを確認できます。

混合したビットタイプおよびどのビットを修正するかを制御する個別のルールを持つレジスタがあります。読み出し専用ビットもあり、OTP ビットもあります。

読み出し専用ビットは変更できず、WRAR コマンド データバイト内の対応するビットは無視され、プログラム / 消去エラーの表示 (SR1V の P_ERR または E_ERR) がセットされません。したがって、WRAR データバイト内のこれらのビット値は重要ではありません。

OTP ビットはデフォルト状態の逆のレベルにのみプログラムできます。OTP ビットをデフォルト状態に復帰させるための書き込みは無視され、エラーはセットされません。

WRAR データで変更された不揮発性ビットを更新するには不揮発性レジスタ書き込み時間 (t_w) を要します。更新プロセスは不揮発性レジスタビットに対する消去およびプログラム動作を含みます。更新プロセスの消去またはプログラム部分が失敗した場合、対応するエラービットおよび SR1V の WIP は 1 にセットされます。

WRAR データで変更された揮発性ビットを更新するには揮発性レジスタ書き込み時間 (t_{cs}) を要します。

レジスタ書き込みがいつ完了 / 失敗するかを判定するために、ステータスレジスタ 1 を繰り返し読み出して (ポーリングして) 書き込み中 (WIP) ビット (SR1V[0]) とエラービット (SR1V[6,5]) を監視します。書き込みが失敗した場合、ステータスクリアコマンドを使用してエラーステータスをクリアし、デバイスをスタンバイ状態に復帰させます。

しかし、WRAR コマンドで PPBL レジスタに書き込みません。PPB ロックビット書き込み (PLBWR) コマンドでのみ PPBL レジスタへの書き込みが可能です。

コマンドのシーケンスおよび動作は PP または 4PP コマンドと同じですが、1 つのみのデータバイトが提供されます。ページプログラム (PP 02h または 4PP 12h) を参照してください。

レジスタのアドレスマップは任意レジスタ読み出し (RDAR 65h) に示されます。

10.3.15 バースト長セット (SBL C0h)

バースト長セット (SBL) コマンドはバーストラップ機能を設定するために使用します。レガシー SPI や QPI モードで、バーストラップはクアッド I/O 読み出し、DDR クアッド I/O 読み出し、およびクアッド出力読み出しと併用して固定長でアラインされたデータにアクセスします。特定のアプリケーションはこの機能の利点を活用して全体のシステムコード実行性能を改善できます。バーストラップ機能により、キャッシュを用いたアプリケーションは複数の読み出しコマンドを発行せず、まずクリティカルなアドレスからの命令またはデータをキャッシュラインに書き込んでから、固定長 (8/16/32/64 バイト) のデータをキャッシュラインの残りに書き込みます。

バースト長セット (SBL) コマンドはラップ読み出し機能を有効 / 無効にし、ラップ境界をセットするために CR4V レジスタのビット 4, 1, および 0 に書き込みます。CR4V レジスタの他のビットは SBL コマンドに影響されません。ラップ読み出し機能が有効にされたとき、関連する読み出しコマンドはコマンドが終了するまでの順次読み出しから、バイトグループ内でラップされる順次読み出しに変更されます。

CR4V[4] = 1 場合、ラップモードは無効になり、長さが無制限の順次読み出しが実行されます。

CR4V[4] = 0 の場合、ラップモードは有効になり、固定長の 8/16/32/64 バイトにアラインされたグループは、読み出しコマンドで提供されたバイトアドレスから読み出され、グループのアライメント境界でラップア라운드します。

バイトグループは 8/16/32/64 バイトの長さで、それぞれの境界にアラインされます。CR4V[1:0] は境界を選択します。揮発性コンフィギュレーションレジスタ 4 (CR4V) を参照してください。

読み出しコマンドの開始アドレスはバイトグループを選択し、最初に返されるデータはアドレス指定されたバイトです。次に、グループ境界の終わりに至るまでバイトは順次読み出されます。読み出しが継

コマンド

続すると、アドレスはグループの始まりにラップし、順次読み出しを続けます。ラップ読み出しシーケンスは CS# が HIGH に戻り、コマンドが終了するまで続きます。

Table 49 バースト ラップ シーケンス例

SBL データ値 (16 進)	ラップ境界 (バイト)	開始アドレス (16 進)	アドレスシーケンス (16 進)
1X	シーケンスシャル	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
00	8	XXXXXX00	00, 01, 02, 03, 04, 05, 06, 07, 00, 01, 02, ...
00	8	XXXXXX07	07, 00, 01, 02, 03, 04, 05, 06, 07, 00, 01, ...
01	16	XXXXXX02	02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, ...
01	16	XXXXXX0C	0C, 0D, 0E, 0F, 00, 01, 02, 03, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, ...
02	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, ...
02	32	XXXXXX1E	1E, 1F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, ...
03	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, 2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F 00, 01, 02, ...
03	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...

WRAR コマンドを使用して CR4NV を所望の値にプログラムすることにより、パワーオンリセット、ハードウェアリセット、またはソフトウェアリセットのデフォルトバースト長を変更できます。

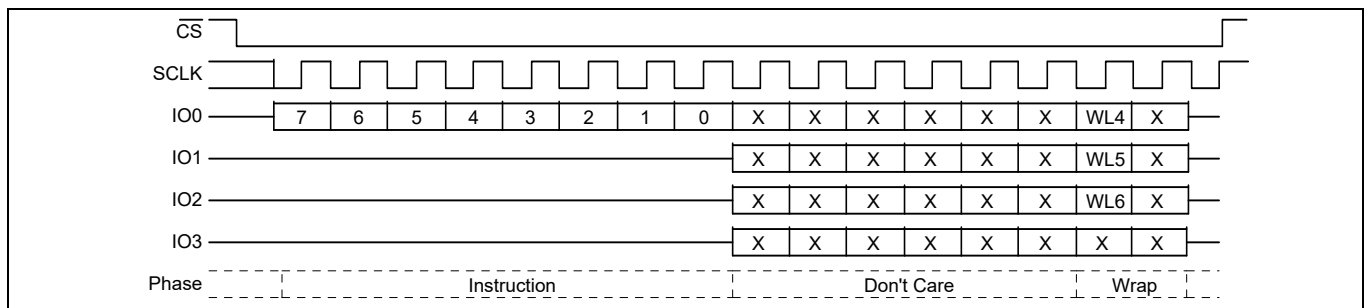


Figure 70 バースト長セットコマンドシーケンス - クアド I/O モード

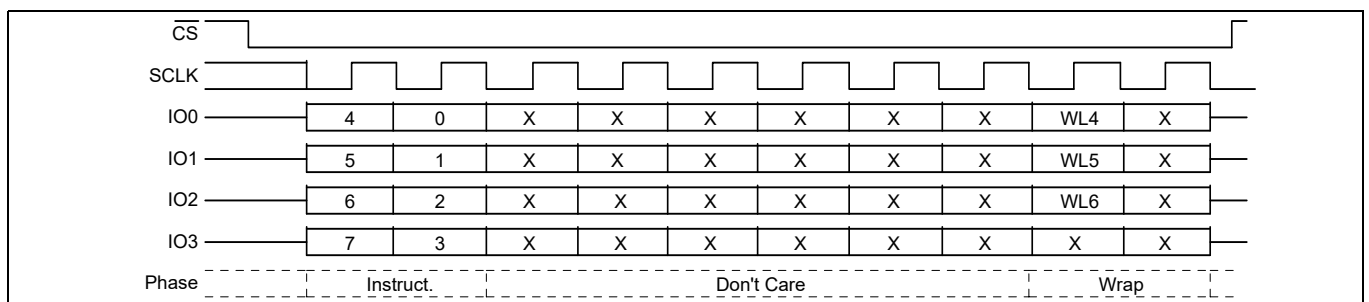


Figure 71 バースト長セットコマンドシーケンス - QPI モード

10.4 メモリアレイ読み出しコマンド

メインフラッシュアレイの読み出しコマンドは前世代の SPI 互換性または性能強化 SPI に多くのオプションを提供しています。

- SCKの立ち上りエッジごとにアドレス / データを転送するコマンドがあります。シングルデータレート (SDR) コマンドと呼ばれます。
- SDR コマンドには、SCKの立ち上りエッジごとに1アドレスビットを転送し、SCKの立ち上りエッジごとに1データビットを返すものがあります。シングル幅コマンドと呼ばれます。
- SDR コマンドには、SCKの立ち上りエッジごとに1アドレスビットを転送し、SCKの立ち上りエッジごとに2または4データビットを返すものがあります。2ビットの場合はデュアル出力、h4ビットの場合はクアッド出力と呼ばれます。
- SDR コマンドには、SCKの立ち上りエッジごとにアドレスとデータの2または4ビットを転送するものがあります。2ビットの場合はデュアル I/O、4ビットの場合はクアッド I/O および QPI と呼ばれます。
- QPI モードでは、SCKの立ち上りエッジごとに命令、アドレスおよびデータの4ビットを転送する SDR コマンドがいくつかあります。
- SCKの立ち上りと立ち下りの両エッジでアドレスとデータを転送するものがあります。ダブルデータレート (DDR) コマンドと呼ばれます。
- DDR コマンドには、SCKエッジごとにアドレス / データの4ビットを転送するものがあります。エッジごとの4ビット転送のクアッド I/O DDR および QPI DDR と呼ばれます。

QPI 読み出しを除くすべてのコマンドは、SCKの立ち上りエッジごとに1ビットが転送される命令コードで始まります。QPI 読み出しコマンドは SCKの立ち上りエッジごとに命令の4ビットを転送します。命令の後に続いて3または4バイトアドレスが SDR または DDR で転送されます。クロックエッジごとに2または4アドレス / データビットを転送するコマンドはマルチ I/O (MIO) コマンドと呼ばれます。デバイスは従来の3バイトアドレスコマンドを使用してホストシステムからの4バイトアドレスを受信するように設定できます。従来のコマンドの4バイトアドレスモードを有効にするために、コンフィギュレーションレジスタ2のアドレス長ビットを「0」にセットします。4バイトアドレスコマンドや4バイトアドレスモードを使用するコマンドの A23 より上位アドレスビットは該当しないため、無視されます。

クアッド I/O および QPI コマンドは性能を改善するオプションを提供します。このオプションはアドレスビットに続いて送信されるモードビットにより制御されます。モードビットは、読み出しの前に命令なしで、進行中の読み出しの終了後に続くコマンドが同じタイプの読み出しであるかを示します。モードビットは一連のクアッド読み出しアクセスを実行しているとき命令サイクルを除去するオプションを提供します。

メモリアレイにアクセスする時間を取れるようアドレスまたはモードビットの後に続く読み出しレイテンシという遅延サイクルを必要とします。遅延 (読み出しレイテンシ) サイクルは従来からダミーサイクルと呼ばれます。ダミーサイクルがメモリに無視されるため、これらのサイクル中にホストが提供するデータはすべて「ドントケア」になります。ダミーサイクル中に、ホストは SI/IO 信号を高インピーダンスのままにする可能性があります。MIO コマンドを使用する場合、ホストは最後のダミーサイクルが終了する前に IO 信号 (出力が高インピーダンス) の駆動を停止する必要があります。DDR コマンドを使用する場合、ホストはダミーサイクル中に I/O 信号を駆動してはいけません。ダミーサイクルの数は、SCK 周波数またはコンフィギュレーションレジスタ2のレイテンシコード (CR2V[3:0]) で選択された性能オプションによって異なります。ダミーサイクルは SCKの立ち下りエッジから次の立ち下りエッジまで測定されます。通常、SPI 出力は各 SCKの立ち下りエッジで新しい値に駆動されます。ゼロダミーサイクルは、ホストがアドレスまたはモードビットの駆動を停止する同じ SCKの立ち下りエッジで、返りデータがメモリによって駆動されることを意味します。

DDR コマンドにはデータの始まる直前のダミーサイクル中に、すべてのデータ出力上でメモリによって駆動された8エッジのデータラーニングパターン (DLP) を持つオプションがあります。ホストメモリコントローラーは DLP を使って SCK からデータエッジへの位相シフトを判定し、データアイの中心でデータの取り込みを実現できます。

より高い SCK 周波数 (> 50 MHz) で SDR I/O コマンドを使用する場合、1ダミーサイクル以上を提供する LC を選択する必要があります。これにより、メモリがデータの駆動を開始する前にホストが駆動を停止するための追加時間が取れ、I/O ドライバー衝突を最小限にできます。DLP が有効になった DDR I/O コマンドを使用する場合、5ダミーサイクル以上を提供する LC を選択し、メモリが4サイクル DLP の駆動を開始する前にホストが駆動を停止するための1サイクルの追加時間が取れるようにします。

コマンド

データを返す間に CS# が HIGH に戻ると、各読み出しコマンドが終了します。モードビットが正しく取り込まれず、デバイスが連続読み出しモードのままであることを確認できないことを回避するために、データが返される前にモードまたはダミー サイクル中に CS# は HIGH に戻ってはいけません。

10.4.1 読み出し (Read 03h または 4READ 13h)

- 03h 命令 (CR2V[7]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 03h 命令 (CR2V[7]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 13h 命令 に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

その後、与えられたアドレスでのメモリ内容は SO/IO1 上でシフトアウトされます。READ コマンドの最大動作クロック周波数は 50 MHz です。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンタはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

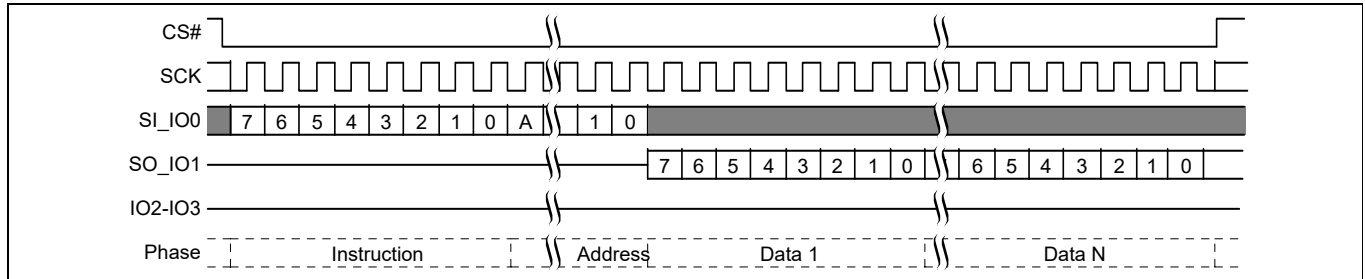


Figure 72 読み出しコマンド シーケンス ^[42]

注:

42.A = アドレスの MSB = 23 (CR2V[7]=0 の場合) または 31 (CR2V[7]=1 または 13h コマンドの場合)。

コマンド

10.4.2 高速読み出し (FAST_READ 0Bh or 4FAST_READ 0Ch)

- 0Bh 命令 (CR2V[7]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 0Bh 命令 (CR2V[7]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 0Ch 命令 に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーションレジスタでのレイテンシコード (CR2V[3:0]) で設定されたダミーサイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミーサイクルによって追加時間を取れます。ダミーサイクル中に、SO/I01 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。その後、与えられたアドレスでのメモリ内容は SO/I01 上でシフトアウトされます。

FAST_READ コマンドの最大動作クロック周波数は 133 MHz です。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンタはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

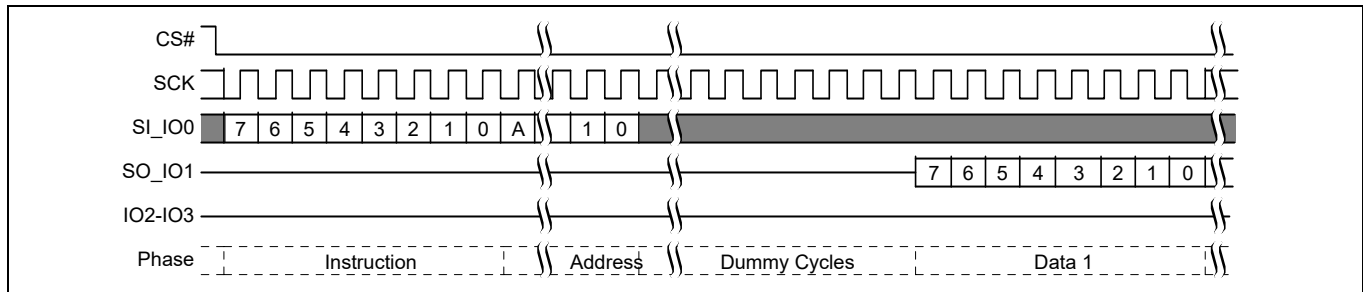


Figure 73 高速読み出し (FAST_READ) コマンド シーケンス ^[43]

注:

- 43.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 0Ch コマンドの場合)。
 44.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または 3Ch コマンドの場合)。

10.4.3 デュアル出力読み出し (DOR 3Bh または 4DOR 3Ch)

- 3Bh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 3Bh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 3Ch 命令 に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーションレジスタ CR3V[3:0] でのレイテンシ コードで設定されたダミーサイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミーサイクルによって追加時間を取れます。ダミーサイクル中に、IO0 (SI) と IO1 (SO) 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。

その後、与えられたアドレスでのメモリ内容は IO0 (SI) と IO1 (SO) 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンタはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

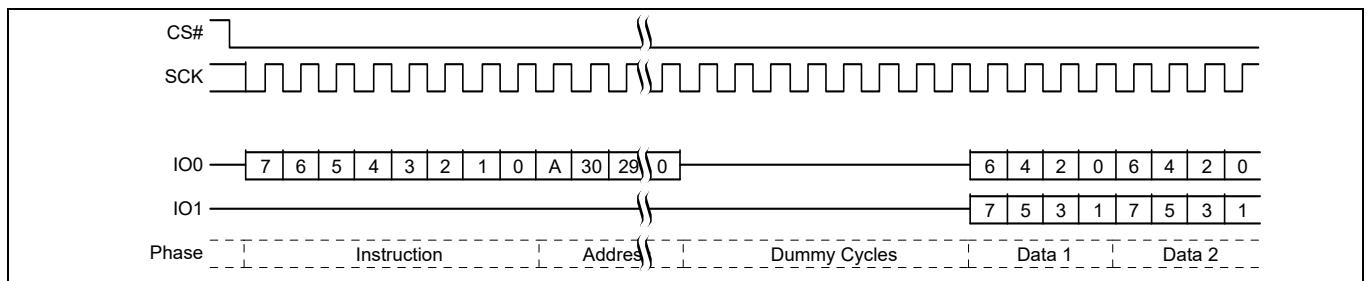


Figure 74 デュアル出力読み出しコマンド シーケンス ^[44]

10.4.4 クアッド出力読み出し (QOR 6Bh または 4QOR 6Ch)

- 6Bh 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 6Bh 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 6Ch 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後には、コンフィギュレーションレジスタ CR3V[3:0] でのレイテンシ コードで設定されたダミーサイクルが続きます。デバイスの内部回路が初期アドレス位置にアクセスするために、ダミーサイクルによって追加時間を取れます。ダミーサイクル中に、IO0 ~ IO3 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。

その後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンタはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

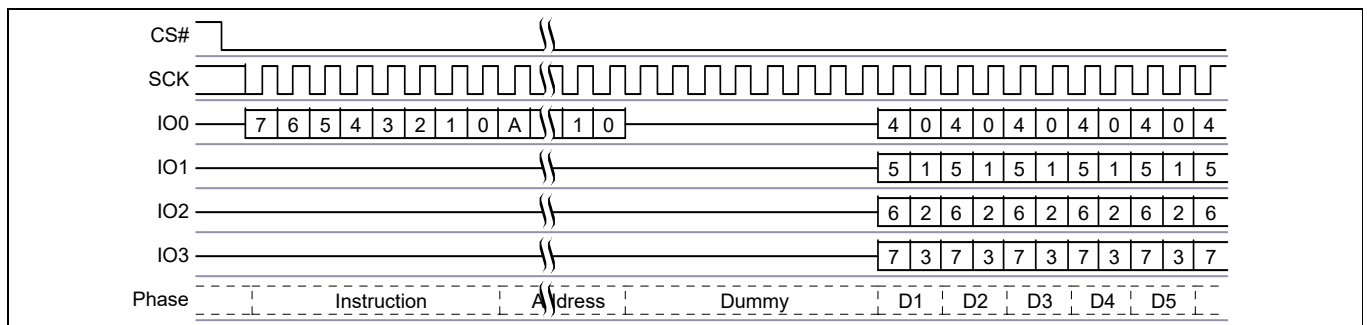


Figure 75 クアッド出力読み出しコマンドシーケンス^[45]

注:

45.A = アドレスの MSB = 23 (CR2V[7]=0 の場合) または 31 (CR2V[7]=1 または 6Ch コマンドの場合)。

10.4.5 デュアル I/O 読み出し (DIOR BBh または 4DIOR BCh)

- BBh 命令 (CR2V[7]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- BBh 命令 (CR2V[7]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- BCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

デュアル I/O 読み出しコマンドは IO0 と IO1 の 2 本の I/O 信号によりスループットを向上させます。コマンドは、アドレスの入力を受け入れ、SCK の立ち上りエッジごとに読み出しデータの 2 ビットを返します。アプリケーションによっては、短縮されたアドレス入力およびデータ出力時間により、コードの XIP (Execution In Place; すなわち、メモリ デバイスからの直接実行) が可能になる場合があります。

デュアル I/O 読み出しコマンドの最大動作クロック周波数は 133 MHz です。

デュアル I/O 読み出しコマンドは、アドレスの後に続く連続読み出しモードビットを持ちます。これにより、一連のデュアル I/O 読み出しコマンドでは、最初のデュアル I/O 読み出しコマンドが、次のコマンドもデュアル I/O 読み出しコマンドであることを示すモードビットパターン Axh を送信した後、8 ビット命令を除去できます。一連のデュアル I/O 読み出しコマンドの最初のコマンドは、8 ビット命令で始まり、その後にアドレス、モードビットの 4 サイクル、およびオプションのレイテンシ期間が続きます。モードビットパターンが Axh であれば、次のコマンドは命令ビットを持たないもう 1 つのデュアル I/O 読み出しコマンドであると期待されます。コマンドはアドレスで始まり、その後にモードビットおよびオプションのレイテンシが続きます。

モードビットを IO0 と IO1 上でシフトインした後、データを IO0 と IO1 上でシフトアウトし始める前に、可変レイテンシを加えることがあります。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。ダミー サイクル中に、IO0 と IO1 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。

連続読み出し機能により、一連の読み出しアクセスの命令ビットが不要になり、コード実行 (XIP) 性能を大幅に向上させます。モードビットの上位ニブル (ビット 7 ~ 4) には最初のバイトの命令コードが含まれるか否かに応じて、次のデュアル I/O 読み出し命令の長さを制御します。モードビットの下位ニブル (ビット 3 ~ 0) は「ドントケア」(「x」) であり、高インピーダンスであることがあります。モードビットが Axh であれば、Figure 76 に示すようにデバイスはデュアル I/O 連続読み出しモードのままとなり、BBh または BCh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンド シーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはデュアル I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. デュアル I/O 連続読み出しコマンド シーケンス中に、モードビットが Axh でなければ、次回 CS# が HIGH にされるときにデバイスはデュアル I/O 連続読み出しモードから解放されます。
2. モードリセットコマンドを送信します。

4 モードビット サイクルは、最後のアドレス サイクルが IO0 と IO1 にクロックインされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間に含まれることに注意してください。最初のデータ出力クロックの立ち下りエッジ、またはその前に I/O 信号を高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動 (バスターンアラウンド) を開始する前にホスト出力をオフにするために要する時間は短縮されます。これにより、I/O 信号の競合を防止できるため、ホストシステムは最後の 2 つの「ドントケア」モード サイクルまたは任意のダミー サイクル中に I/O 信号の出力をオフ (高インピーダンス) にできます。

レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 と IO1 上で一度に 2 ビットずつシフトアウトされます。SCK 信号の立ち下りエッジで SCK 周波数で 2 ビットがシフトアウトされます。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

コマンド

モードビットが不定にならないように、モードビットまたはダミービットの間に CS# を HIGH に駆動しないでください。

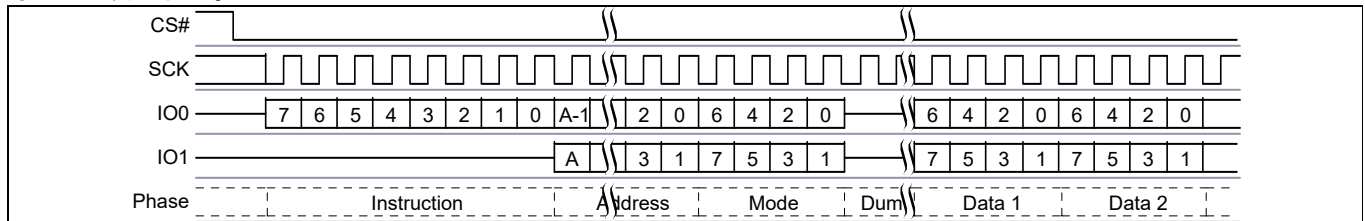


Figure 76 デュアル I/O 読み出しコマンド シーケンス [46, 47]

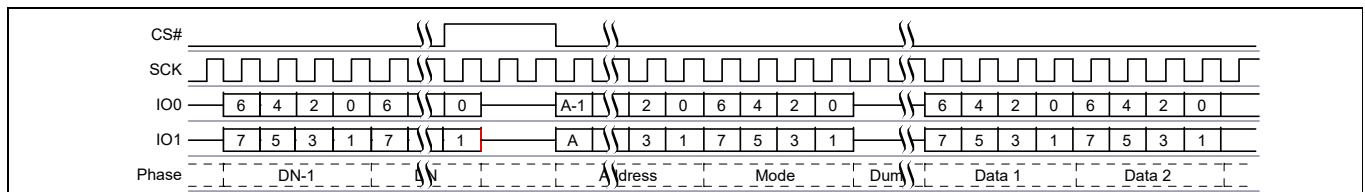


Figure 77 デュアル I/O 連続読み出しコマンド シーケンス [46, 47]

注:

46. 最下位 4 モードビットは「ドントケア」で、ホストがこれらのビットを駆動することは任意です。これらのサイクル中に、ホストからのモードビットとメモリからの返りデータ間のバスターンアラウンドを増やすためにホストは駆動をオフにできます。
47. A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または BBh コマンドの場合)。

10.4.6 クアッド I/O 読み出し (QIOR EBh または 4QIOR ECh)

- EBh 命令 (CR2V[7]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- EBh 命令 (CR2V[7]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- ECh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

クアッド I/O 読み出しコマンドは IO0 ~ IO3 の 4 本の I/O 信号を使用してスループットを向上させます。これにより、SCK シリアルクロックごとに 4 アドレスビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FS-S ファミリデバイスからの直接コード実行 (XIP) が可能になる場合があります。FS-S ファミリ デバイスのクアッド機能を有効にするために、コンフィギュレーションレジスタの QUAD ビットをセットしなければなりません (CR1V[1]=1)。

クアッド I/O 読み出しコマンドの最大動作クロック周波数は 133 MHz です。

クアッド I/O 読み出しコマンドでは、データを IO0 ~ IO3 上でシフトアウトし始める前に、モードビット (以下で説明) の後にはレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、IO0 ~ IO3 上のデータ値は「ドントケア」で、これらの信号は高インピーダンスであることがあります。ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。

レイテンシ期間が経過した後、与えられたアドレスでのメモリ内容は IO0 ~ IO3 上で一度に 4 ビットずつシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で各ニブル (4 ビット) がシフトアウトされます。

アドレスはメモリ アレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンタはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

アドレスジャンプは、追加のクアッド I/O 読み出し命令なしで実現できます。Figure 78 に示すように、アドレスシーケンス実行後のモードビットの設定で制御されます。追加機能は命令シーケンスを不要にし、コード実行 (XIP) 性能を大幅に向上させます。モードビットの上位ニブル (ビット 7 ~ 4) に最初のバイトの命令コードが含まれるか否かに応じて、次のクアッド I/O 命令の長さを制御します。モードビットの下位ニブル (ビット 3 ~ 0) は「ドントケア」(「x」) です。モードビットが Axh であれば、Figure 80 に示すように、デバイスはクアッド I/O 高性能読み出しモードのままにあり、EBh または ECh 命令なしで、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンドシーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスはクアッド I/O 高性能読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. クアッド I/O 読み出しコマンドシーケンス中に、モードビットが Axh でなければ、CS# が次に HIGH になるときにデバイスはクアッド I/O 高性能読み出しモードから解放されます。
2. モードリセットコマンドを送信します。

2 つのモードビット サイクルおよび追加のウェイトステート (すなわち、ダミー サイクル) により、最後のアドレスが IO0 ~ IO3 にクロックされた後にデバイスの内部回路が初期アドレスにアクセスするためのレイテンシ時間を取れることに注意してください。

IO0 ~ IO3 信号は、最初のデータ出力クロックの立ち下りエッジで、またはその前に高インピーダンスに設定することが重要です。より高いクロック速度では、メモリ デバイスが駆動 (バス ターンアラウンド) を開始する前にホスト出力をオフにするために要する時間は短縮されます。これにより、IO0 ~ IO3 信号の競合を防止できるため、ホストシステムは最後の「ドントケア」モード サイクルまたは任意のダミー サイクル中に IO0 ~ IO3 信号の出力をオフ (高インピーダンス) にできます。

モードビットが不定にならないように、モードビットまたはダミービットの間に CS# を HIGH に駆動しないでください。

QPI モード (CR2V[6]=1) では、クアッド I/O 命令は SCK の立ち上りエッジごとに 4 ビットずつ送信されます。コマンドプロトコルの残りはクアッド I/O コマンドと同じです。

コマンド

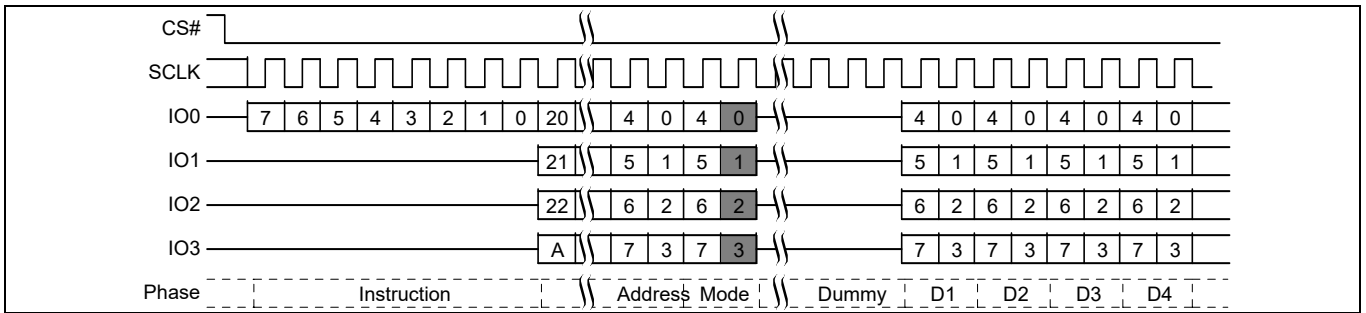


Figure 78 クアッド I/O 読み出しの初期アクセス コマンド シーケンス [48]

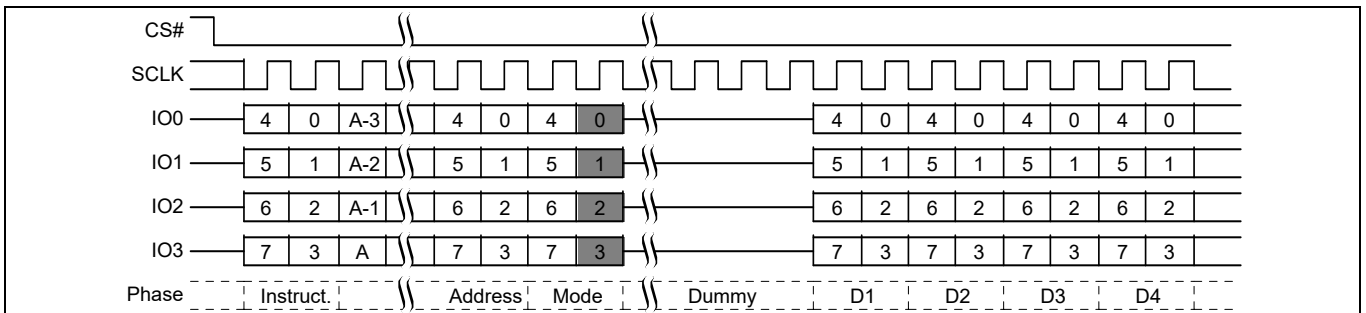


Figure 79 クアッド I/O 読み出しの初期アクセス コマンド シーケンス - QPI モード [48]

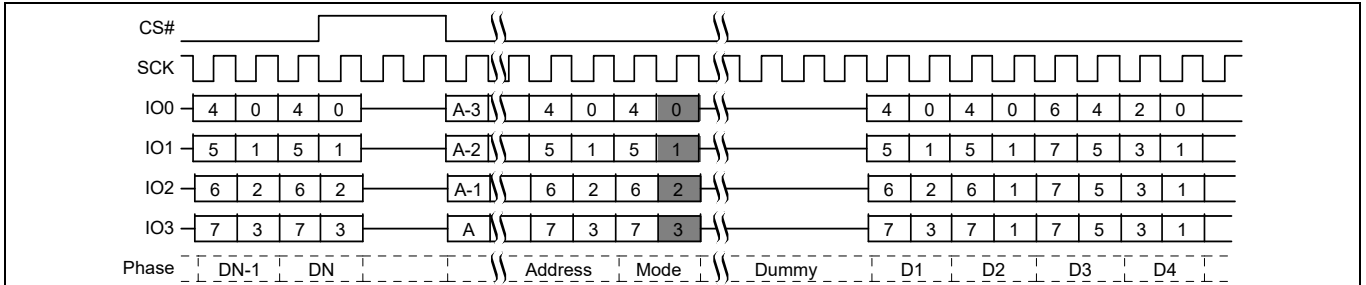


Figure 80 クアッド I/O 連続読み出しコマンド シーケンス [48, 49]

注:

48.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または ECh コマンドの場合)。
 49.QPI モードで同じシーケンスを使用します。

10.4.7 DDR クアッド I/O 読み出し (EDh, EEh)

DDR クアッド I/O 読み出しコマンドは I00 ~ I03 の 4 本の I/O 信号を使用してスループットを向上させます。コマンドはクアッド I/O 読み出しコマンドに似ていますが、クロックのエッジごとに 4 アドレス ビットを入力できます。アプリケーションによっては、縮小された命令オーバーヘッドにより FS-S ファミリデバイスからの直接コード実行 (XIP) が可能になる場合があります。クアッド機能を有効にするために、コンフィギュレーションレジスタの QUAD ビットをセットしなければなりません (CR1V[1] = 1)。

- EDh 命令 (CR2V[7] = 0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- EDh 命令 (CR2V[7] = 1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- EEh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの後にはモード ビットが続きます。その後、与えられたアドレスでのメモリ内容は I00 ~ I03 上で DDR 方式でクロックエッジごとに一度に 4 ビットシフトアウトされます。

DDR クアッド I/O 読み出しコマンドの最大動作クロック周波数は 100 MHz です。

DDR クアッド I/O 読み出しでは、データを I00 ~ I03 上でシフトアウトし始める前に、最後のアドレスとモード ビットが I00 ~ I03 信号上にシフトインされた後にレイテンシが必要です。レイテンシ期間 (ダミー サイクル) により、デバイスの内部回路は初期アドレスでのデータにアクセスする十分な時間を取れます。レイテンシ サイクル中に、I00 ~ I03 上のデータ値は「ドント ケア」で、これらの信号は高インピーダンスであることがあります。データ ラーニング パターン (DLP) が有効になっている場合、ホストシステムはダミー サイクル中に IO 信号を駆動してはいけません。メモリ デバイスがダミー サイクル中に DLP を駆動できるように、ホストは IO 信号を高インピーダンスのままにする必要があります。

ダミー サイクル数は SCK の周波数によって異なります。レイテンシは CR2V[3:0] で設定されます。

Figure 81 と Figure 83 に示すように、モード ビットにより、最初のコマンドが相補モード ビットパターンを送信した後、一連のクアッド I/O DDR コマンドから 8 ビット命令を除去できます。この機能により、8 ビット SDR 命令シーケンスを不要にし、初期アクセス時間を著しく短縮させます (XIP 性能を向上させます)。モード ビットに最初のバイトの命令コードが含まれるか否かに応じて、次の DDR クアッド I/O 読み出しの長さを制御します。モード ビットの上位ニブル (IO[7:4]) と下位ニブル (IO[3:0]) は相補的であれば (すなわち 5h と Ah)、EDh または EEh 命令を必要とせずにデバイスは DDR クアッド I/O 連続読み出しモードに移行し、(CS# が HIGH にされてから LOW にアサートされた後) 次のアドレスを入力できます。このように、コマンドシーケンスから 8 サイクルが除去されます。以下のシーケンスで、デバイスは DDR クアッド I/O 連続読み出しモードから解放されます。その後、デバイスは標準の SPI コマンドを受け入れられます。

1. DDR クアッド I/O 読み出しコマンド シーケンス中に、モード ビットが相補的ではない場合、次回 CS# が HIGH にされてから LOW にアサートされるときにデバイスは DDR クアッド I/O 読み出しモードから解放されます。
2. モード リセット コマンドを送信します。

アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出し命令および与えられた 000000h アドレスでメモリ全体を読み出せます。最上位アドレスに到達すると、アドレスカウンターはラップアラウンドして 000000h に戻り、読み出しシーケンスは無制限に続行できます。

モード ビットが不定にならないように、モード ビットまたはダミー ビットの間には CS# を HIGH に駆動しないでください。メモリ デバイスは最初のデータ値の前にプリアンブルを IO に駆動することがあることに注意してください。プリアンブルは、より高い周波数でデータ キャプチャを最適化するためにホストコントローラーによって使用されるデータ ラーニング パターン (DLP) です。プリアンブルはデータが出力される直前に 4 クロック サイクルの間 IO バスを駆動します。ホストは、メモリがプリアンブルを出力し始める前に IO バスの駆動を停止することを確認する必要があります。

プリアンブルの目的は、ホストがクロック エッジを駆動してからメモリ デバイスが対応するデータ値を返すまでのラウンドトリップ時間についての指示をホストコントローラーに与えることです。ホストコントローラーはタイミング マージンを最適化するためにプリアンブル期間中にデータ キャプチャポイントをスキューしてから、読み出し動作の残りの期間中に同一のスキュー時間を使用してデータを取り込みます。最適化されたキャプチャポイントは各読み出し動作のプリアンブル期間中に判定されます。最適化方法の目的は、メモリ デバイスとホストコントローラー両方の PVT (プロセス, 電圧, 温度) および PCB 上の伝播時間に起因したすべてのシステム レベル遅延を補正することです。

コマンド

データ ラーニング パターン (DLP) はプログラム可能ですが、以下の例には DLP 34h を示します。DLP 34h (00110100) はアクティブな出力 (すなわち、すべての 4 本の IO) のそれぞれの上で駆動されます。パターンは「DC」と「AC」両方のデータ遷移シナリオに対応できるように選択されます。2つの DC 遷移シナリオは、データが長期間 (2 ハーフ クロック) LOW になってから HIGH に遷移 (001) することと、補数が LOW に遷移 (110) することです。2つの AC 遷移シナリオは、データが短期間 (1 ハーフ クロック) LOW になってから HIGH に遷移 (101) することと、補数が LOW に遷移 (010) することです。通常、DC 遷移は安定状態 (DC) レベルに完全に整合しない可能性がある AC 遷移よりも、電源ラインに近いスタートポイントに発生します。多くの場合、DC 遷移はデータ有効期間の始まりに関連し、AC 遷移はデータ有効期間の終わりに関連します。遷移により、ホスト コントローラーは有効なデータ アイの始まりと終わりを識別できます。データ アイが特徴付けされると、最適なデータ キャプチャ ポイントを選択できます。詳細は [SPI DDR データ ラーニング レジスタ](#) を参照してください。

QPI モード (CR2V[6] = 1) では、DDR クアッド I/O 命令は SCK の立ち上りエッジごとに 4 ビットずつ送信されます。コマンドプロトコルの残りは DDR クアッド I/O コマンドと同じです。

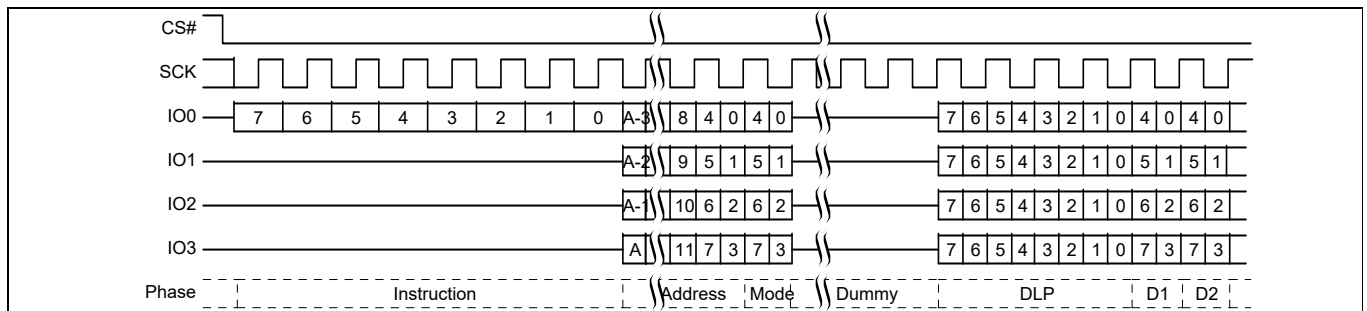


Figure 81 DDR クアッド I/O 読み出しの初期アクセス [50, 51]

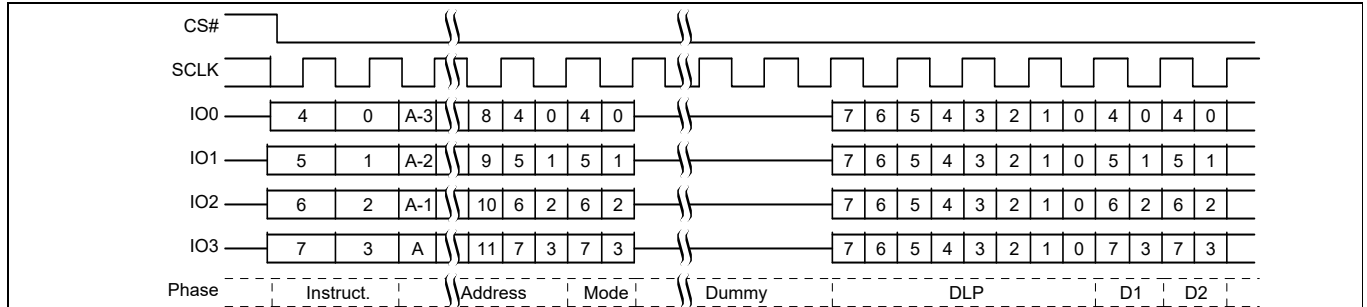


Figure 82 DDR クアッド I/O 読み出しの初期アクセス - QPI モード [50, 51]

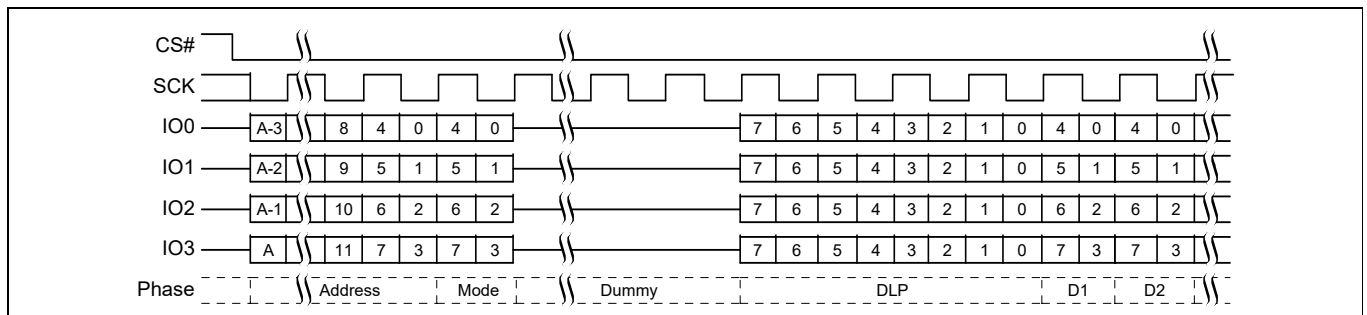


Figure 83 DDR クアッド I/O 連続読み出しの後続アクセス [50, 51, 52]

注:

50.A = アドレスの MSB = 23 (CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 または EAh コマンドの場合)。

51.34h (00110100) の DLP 例。

52.QPI モードで同じシーケンスを使用します。

10.5 プログラムフラッシュアレイのコマンド

10.5.1 プログラムの粒度

10.5.1.1 自動 ECC

各 16 バイト整列のプログラムブロックには自動的なエラー訂正コード (ECC) 値があります。データブロックと ECC は ECC ユニットの形成します。エラー検出および訂正 (EDC) ロジックと併用して、ECC は読み出しアクセス中のシングルビットエラーを検出および訂正します。データが ECC ユニット内に初めてプログラムされると、ECC 値は ECC ユニット全体に対してセットされます。同じ ECC ユニットが 2 回以上プログラムされた場合、ECC 値は EDC 機能を無効にするために変更されます。プログラムブロックの自動 ECC を再び有効にするためにセクタ消去が必要です。16 バイトプログラムブロックは、自動 ECC が有効にされる最小のプログラム粒度です。

ユーザーに対してトランスペアレント (透明) な自動動作です。自動 ECC 機能の透明性は、標準的なプログラム動作のデータの正確さを向上させます。それらのプログラム動作は、各 ECC ユニットに 1 回データを書き込みながらも、シングルバイトプログラムおよび同じ ECC ユニットが複数回プログラムされるビットウォーキングを可能にすることで、旧世代の FL 製品ファミリとのソフトウェア互換性を可能にします。ECC ユニットの自動 ECC 機能が無効になったとき、ECC ユニット位置から読み出されるデータに対して EDC は行われません。

ECC ステータスレジスタにより、ECC ユニットに対して ECC 機能が有効であるかどうかと、ECC ユニットデータまたは ECC でエラーが検出および訂正されたかどうかを判定できます (ECC ステータスレジスタ (ECCSR) を参照してください)。ECC ステータスレジスタ読み出し (ECCRD) コマンドは、ECC ユニットの ECC ステータスを読み出すために使用されます (ECC ステータスレジスタ読み出し (ECCRD 19h または 4EECRD 18h) を参照してください)。

エラー検出および訂正 (EDC) は、フラッシュアドレス空間のレジスタ以外のすべての部分に適用されます。各保護されるバイトグループに対してエラー訂正コード (ECC) が計算され、バイトグループに関連する隠し領域に保存されます。保護されるバイトグループは関連する ECC とともに ECC ユニットと呼ばれます。

- ECC は各 16 バイト整列の ECC ユニットに対して計算されます。
- シングルビット EDC は ECC ユニットごとに 8 ECC ビットおよび ECC ディセーブルフラグに対して対応されます。
- セクタ消去はセクタのすべての ECC ビットおよび ECC ディセーブルフラグをデフォルト状態 (有効) にリセットします。
- ECC は標準的なプログラムコマンド動作の一部としてプログラムされます。
- 同じ ECC ユニットに対して複数回のプログラム動作が実行された場合、ECC は自動的に無効になります。
- シングルバイトプログラムまたはビットウォーキングは実行可能ですが、同じ 16 バイト ECC ユニットに対する 2 回目のプログラムでは ECC が無効になります。
- ECC が無効なとき、ECC ディセーブルフラグがプログラムされます。
- ECC ユニットに対して無効になった ECC を再び有効にするために、ECC ユニットを含むセクタを消去しなければいけません。
- EDC が提供するデータの完全性を確保するために、保存された ECC が無効にされないように各 ECC ユニットは 1 回だけプログラムする必要があります。
- ECC の計算、プログラムおよび無効化はプログラム動作の一部として自動的に行われます。必要に応じて、検出および訂正は読み出し動作の一部として自動的に行われます。ホストシステムは読み出し動作からの訂正済みデータのみが見えます。
- ECC は OTP 領域を保護しますが、同じ ECC ユニットに対する 2 回目のプログラム動作はその ECC ユニットに対して ECC を永久的に無効にします (OTP はワンタイム プログラマブルであるため、ECC イネーブル / インジケータを再び有効にするための消去動作が禁止されます)。

10.5.1.2 ページプログラム

ページプログラムはプログラムされるデータをページバッファにロードし、データをバッファからメモリアレイへ転送するプログラムコマンドを発行することで行われます。単一のプログラムコマンドでプログラムできるデータ量に上限を設定します。ページプログラムでは、1つの動作で256または512バイトまでのページサイズをプログラムできます。ページサイズはコンフィギュレーションレジスタのCR3V[4]ビットで決まります。ページは、ページサイズのアドレス境界にアラインされます。各ページプログラム動作で1ビットからページサイズまでプログラムすることが可能です。16バイトの倍数である長さのアラインされたプログラムブロックを書き込むことが推奨されています。これにより、自動ECCが無効にならないようにします。最高の性能を得るために、プログラムは512バイト境界にアラインされた512バイトのフルページに対して行い、各ページを一度だけプログラムする必要があります。

10.5.1.3 シングルバイトプログラム

シングルバイトプログラムは1バイトをメモリアレイ内の任意の位置にプログラムすることを可能にし、レガシーの標準SPIページプログラム(PP)コマンドへ完全に下位互換性があります。シングルバイトプログラムの対応中は、同じ16バイトECCユニットで別のバイトがプログラムされた場合、ECCユニットの自動ECCが無効になります。

10.5.2 ページプログラム (PP 02h または 4PP 12h)

ページプログラム(PP)コマンドでは、バイトをメモリにプログラム(ビットを1から0に変更)できます。デバイスはページプログラム(PP)コマンドを受け入れる前に、書き込みイネーブル(WREN)コマンドを発行して復号する必要があります。書き込みイネーブル(WREN)コマンドを正常に復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ(WEL)をセットしてすべての書き込み動作を有効にします。

- 02h 命令 (CR2V[7]=0) に続いて3バイトアドレス (A23 ~ A0)、または
- 02h 命令 (CR2V[7]=1) に続いて4バイトアドレス (A31 ~ A0)、または
- 12h 命令に続いて4バイトアドレス (A31 ~ A0)

および、少なくとも1データバイトがSI/I/O上で転送されます。CR3V[4]によって、ページサイズは256または512バイトです。02h命令と3バイトアドレスまたは12h命令と4バイトアドレスが転送された後、SI/I/O上でページまで転送できます。開始アドレスからページ整列の終わり境界までの空間よりも多くのデータがデバイスに送信される場合、データロードシーケンスはページの最後のバイトから同ページの0バイト位置にラップしてから、同ページに既にロードされたデータを上書きし始めます。最後のページデータ分はページ内にプログラムされます。これは、デバイスが1ページサイズのみページプログラムバッファを備えている場合の結果です。1ページより少ないデータがデバイスに送信される場合、データバイトはページ内の他のバイトに影響せずにページ内の与えられたアドレスから順々にプログラムされます。

ページプログラム(PP)コマンドを使用してページ境界内にページ全体をロードすることは、プログラムバッファに1ページ未満をロードすることに比べて総プログラム時間を節約できます。

プログラムプロセスはフラッシュメモリデバイスの内部制御ロジックで制御されます。プログラムコマンドが発行された後、ステータスレジスタ1読み出しコマンドを使用してプログラム動作のステータスを確認できます。WIPビット(SR1V[0])はプログラム動作が完了したかどうかを示します。P_ERRビット(SR1V[6])はプログラムを正常に完了させないエラーがプログラム動作に発生したかどうかを示します。保護された領域をプログラムすることが含まれます。

コマンド

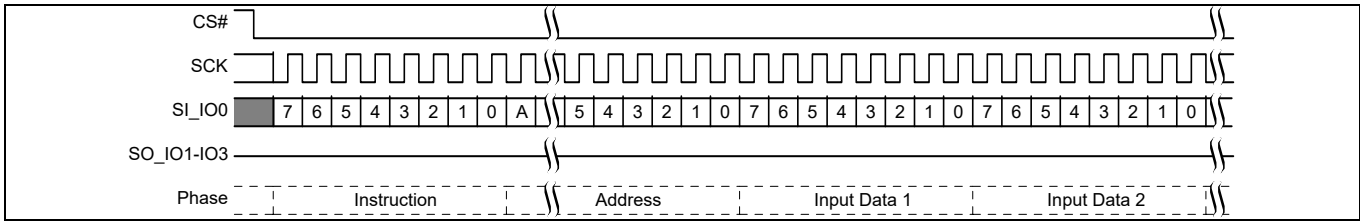


Figure 84 ページプログラム (PP 02h または 4PP 12h) コマンド シーケンス [53]

コマンドは QPI モードでも対応されます。QPI モードでは、命令, アドレス, およびデータは IO0 ~ IO3 上でシフトインされます。

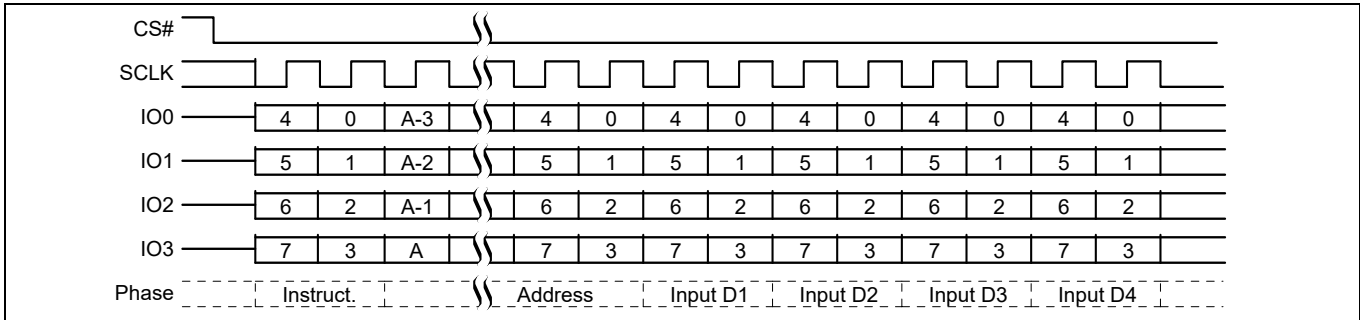


Figure 85 ページプログラム (PP 02h または 4PP 12h) コマンド シーケンス - QPI モード [53]

注:

53.A = アドレスの MSB = A23 (CR2V[7] = 0 で PP 02h の場合) または A31 (CR2V[7] = 1 で PP 02h, または 4PP 12h の場合)。

10.5.3 クアッド ページ プログラム (QPP 32h または 4QPP 34h)

クアッド入力ページプログラム (QPP) コマンドでは、バイトをメモリにプログラム (ビットを 1 から 0 に変更) できます。クアッド入力ページプログラム (QPP) コマンドにより、IO0 ~ IO3 の 4 本の信号を使用してページバッファに 1 ページまでのデータをロードできます。QPP はクロックサイクルごとに 4 データビットをロードすることで、遅いクロック速度 (< 12 MHz) で動作する PROM プログラムおよびアプリケーションの性能を改善できます。より速いクロック速度で動作するシステムでは、固有のページプログラム時間がデータクロックイン時間より長くなるため、QPP コマンドからの利益はあまり得られません。QPP コマンドの最大周波数は 133 MHz です。

クアッド ページ プログラムを使用するために、コンフィギュレーションレジスタのクアッドイネーブルビットをセットする (QUAD=1) 必要があります。デバイスは QPP コマンドを受け入れる前に、書き込みイネーブルコマンドを実行する必要があります (ステータスレジスタ 1 の WEL=1)。

- 32h 命令 (CR2V[0]=0) に続いて 3 バイト アドレス (A23 ~ A0)、または
- 32h 命令 (CR2V[0]=1) に続いて 4 バイト アドレス (A31 ~ A0)、または
- 34h 命令に続いて 4 バイト アドレス (A31 ~ A0)

および、少なくとも 1 データ バイトが IO 信号に転送されます。

QPP の他のすべての機能はページプログラムと同じです。QPP コマンドシーケンスを以下の図に示します。

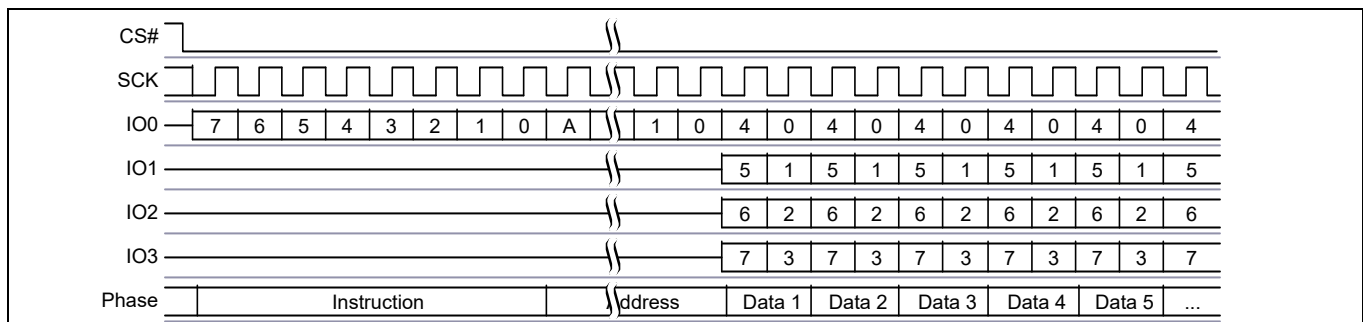


Figure 86 クアッド ページ プログラム コマンド シーケンス ^[54]

注:

54.A = アドレスの MSB = A23 (CR2V[7]=0 で PP 02h の場合) または A31 (CR2V[7]=1 で PP 02h、または 4PP 12h の場合)。

コマンド

10.6 フラッシュ アレイ消去のコマンド

10.6.1 パラメーター セクタ消去 (P4E 20h または 4P4E 21h)

メインフラッシュアレイのアドレスマップは、パラメーターセクタが最下位アドレスユニフォームセクタ(最下部パラメーターセクタ)の最下位アドレス部分を重ねるか、または最上位アドレスユニフォームセクタ(最上部パラメーターセクタ)の最上位アドレス部分を重ねるよう設定できます。また、メインフラッシュアレイのアドレスマップはユニフォームサイズのセクタのみを持つよう設定することもできます。パラメーターセクタコンフィギュレーションはコンフィギュレーションビット CR3V[3] で制御されます。デバイスがユニフォームセクタのみに設定された場合 (CR3V[3]=1)、P4E と 4P4E コマンドは無視されます。

パラメーターセクタ消去コマンドはパラメーターセクタの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスは P4E または 4P4E コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

- 20h 命令 [CR2V[7]=0] に続いて 3 バイト アドレス (A23 ~ A0)、または
- 20h 命令 [CR2V[7]=1] に続いて 4 バイト アドレス (A31 ~ A0)、または
- 21h 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの 24 または 32 ビット目が SI/I/O0 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、フラッシュメモリアレイの選択されたセクタのプリプログラム / 消去を含む内部消去サイクルを開始します。最後のアドレスビットの後に CS# が HIGH に駆動されない場合、セクタ消去動作は実行されません。

CS# が HIGH に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

ブロック保護ビットまたは ASP により書き込みから保護されたセクタに P4E または 4P4E コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。4 KB より大きいセクタに P4E コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされません。

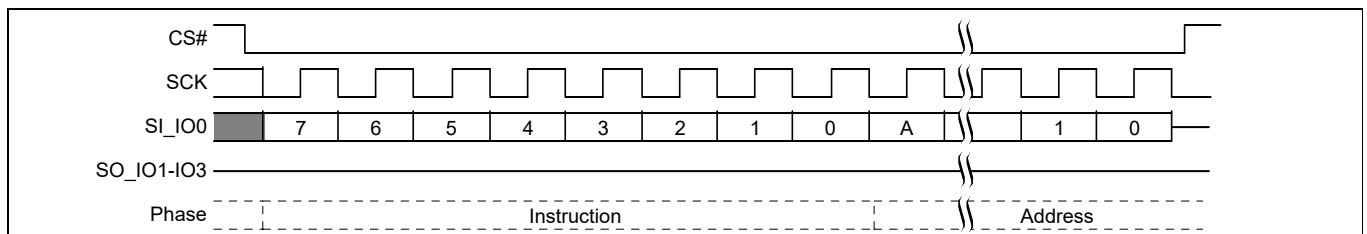


Figure 87 パラメーターセクタ消去 (P4E 20h または 4P4E 21h) コマンドシーケンス [55]

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

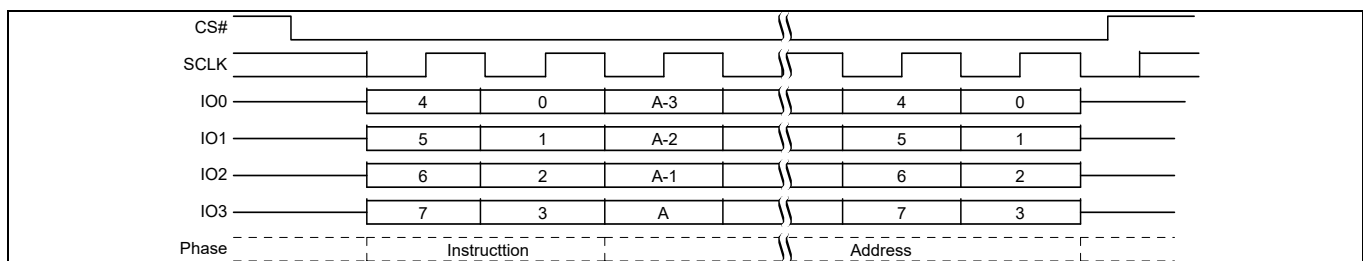


Figure 88 パラメーターセクタ消去 (P4E 20h または 4P4E 21h) コマンドシーケンス - QPI モード [55]

注:

55.78.A = アドレスの MSB = A23 (CR2V[7]=0 で SE 20h の場合) または A31 (CR2V[7]=1 で SE 20h、または 4SE 21h の場合)。

10.6.2 セクタ消去 (SE D8h または 4SE DCh)

セクタ消去(SE) コマンドはアドレス指定されたセクタの全ビットを1にセットします(全バイト値は FFh です)。デバイスはセクタ消去(SE) コマンドを受け入れられる前に、書き込みイネーブル(WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ(WEL) がセットされ、すべての書き込み動作は実行可能になります。

- D8h 命令 [CR2V[7]=0] に続いて 3 バイト アドレス (A23 ~ A0)、または
- D8h 命令 [CR2V[7]=1] に続いて 4 バイト アドレス (A31 ~ A0)、または
- DCh 命令に続いて 4 バイト アドレス (A31 ~ A0) が転送されます。

アドレスの 24 または 32 ビット目が SI 上でラッチインされた後、CS# を論理 HIGH 状態に駆動する必要があります。これにより、選択されたセクタのプリプログラム / 消去を含む消去サイクルを開始します。最後のアドレスビットの後に CS# が HIGH に駆動されない場合、セクタ消去動作は実行されません。

CS# が論理 HIGH 状態に駆動されると、内部消去サイクルは直ちに開始されます。進行中の内部消去サイクルにより、ユーザーは書き込み中(WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

ブロック保護ビットまたは ASP により書き込みから保護されたセクタにセクタ消去(SE) コマンドを適用すると、コマンドは実行されず、E_ERR ステータスがセットされます。

デバイスコンフィギュレーションオプション(CR3V[1])でSEコマンドが64KBか256KBを消去するかが決まります。

デバイスコンフィギュレーションオプション(CR3V[3])で4KBパラメータセクタが使用中であるかが決まります。CR3V[3]=0の場合、パラメータセクタはデバイスアドレス空間の最上位または最下位アドレスの32KBの一部を重ねます。パラメータセクタによって重ねられた64KBセクタにセクタ消去コマンドを適用すると、重ねられたパラメータセクタは消去動作に影響されません。64KBセクタの可視の(重ねられない)部分のみは消去されます。同様に、セクタによって重ねられた256KB範囲にセクタ消去コマンドを適用すると、重ねられたパラメータセクタは消去動作に影響されません。CR3V[3]=1の場合、デバイスアドレス空間にはパラメータセクタがなく、セクタ消去コマンドは常に十分に可視の64KBまたは256KBセクタに対して動作します。

ASPは、パラメータセクタを任意に含む各物理セクタ用のPPBとDYB保護ビットを持っています。保護された64KB物理セクタを含む256KB範囲にセクタ消去コマンドを適用すると、セクタ動作は256KB範囲に実行されず、E_ERRステータスがセットされます。

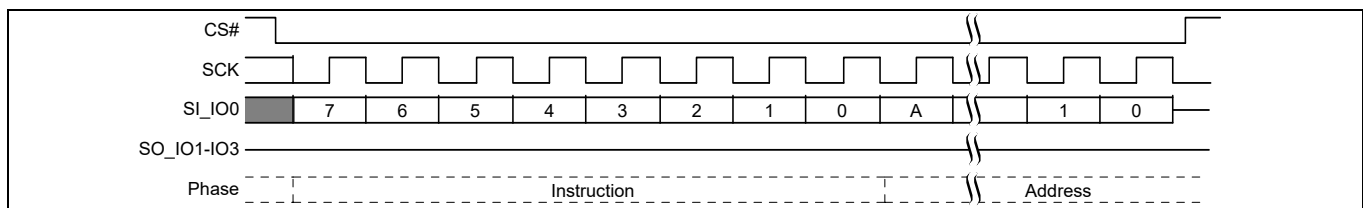


Figure 89 セクタ消去 (SE D8h または 4SE DCh) コマンド シーケンス ^[56]

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

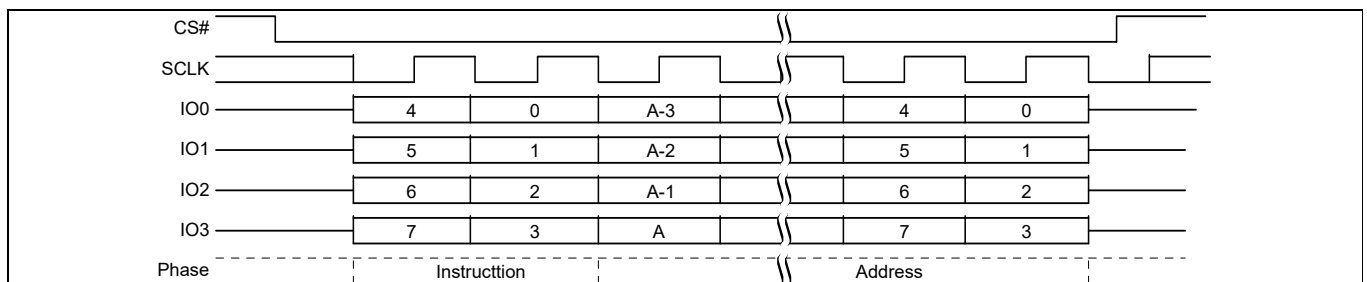


Figure 90 セクタ消去 (SE D8h または 4SE DCh) コマンド シーケンス - QPI モード ^[56]

注:

56.A = アドレスの MSB = A23 (CR2V[7]=0 で SE D8h の場合) または A31 (CR2V[7]=1 で SE D8h、または 4SE DCh の場合)。

10.6.3 バルク消去 (BE 60h または C7h)

バルク消去 (BE) コマンドはフラッシュ メモリ アレイの全ビットを 1 にセットします (全バイト値は FFh です)。デバイスは BE コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

命令バイトの 8 ビット目が SI/I/O0 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、フラッシュ メモリ アレイ全体のプリプログラム / 消去を含む消去サイクルを開始します。最後の命令ビットの後に CS# が HIGH に駆動されない場合、BE 動作は実行されません。

CS# が論理 HIGH に駆動されると、消去サイクルは直ちに開始されます。進行中の消去サイクルで、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかどうかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。

BE コマンドは、ブロック保護 (BP2, BP1, BP0) ビットが「0」にセットされた場合にのみ実行できます。BP ビットが「0」でない場合、BE コマンドは実行されず、E_ERR がセットされません。BE コマンドは DYC が PPB で保護されたすべてのセクタを飛ばし、E_ERR ステータスがセットされません。

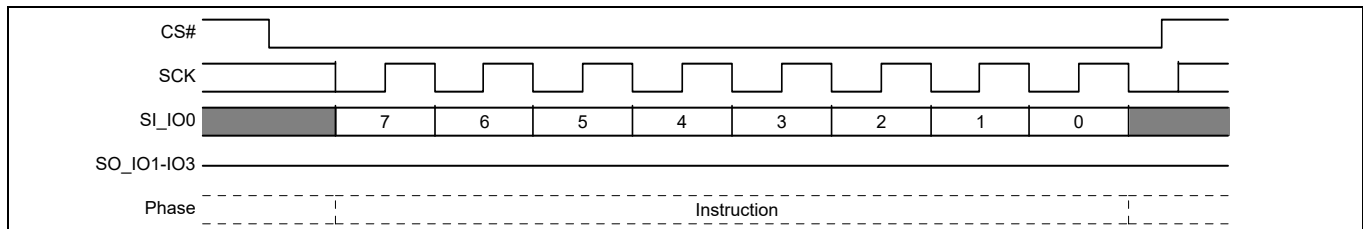


Figure 91 バルク消去コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は I00 ~ I03 上でシフトインされます。

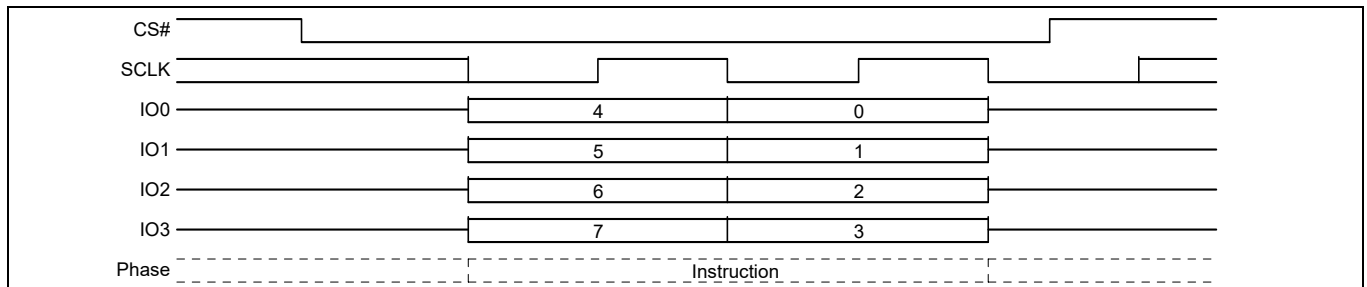


Figure 92 バルク消去コマンドシーケンス - QPI モード

コマンド

10.6.4 消去ステータス評価 (EES D0h)

消去ステータス評価 (EES) コマンドは、アドレス指定されたセクタに対する直前の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合、消去ステータスビット (SR2V[2]) は 1 にセットされます。選択されたセクタが完全に消去されていない場合、SR2V[2] は 0 です。

EES コマンドは、電力喪失やリセット、消去動作中の故障のため失敗した消去動作を検出できます。

EES 命令の後に、アドレス長コンフィギュレーション (CR2V[7]) に応じて 3 か 4 バイト アドレスが続きます。EES コマンドの実行を完了させ SR2V での消去状態を更新するために tEES を要します。RDSR1 (05h) コマンドを使用して WIP ビット (SR1V[0]) を読み出すことで、いつ EES コマンドが完了するかを判定できます。その後、RDSR2 (07h) または RDAR (65h) コマンドを使用して SR2V[2] を読み出せます。消去されない (SR2V[2]=0) セクタを検出すると、セクタ内のデータを確実に保存するためにセクタを再び消去しなければいけません。

(WEL ビットをセットするための) 書き込みイネーブル コマンドは EES コマンドの前に必要とされません。ただし WEL ビットはデバイスによってセットされ、動作の終わりにクリアされます (状態読み出しで SR1V[1] に示されます)。

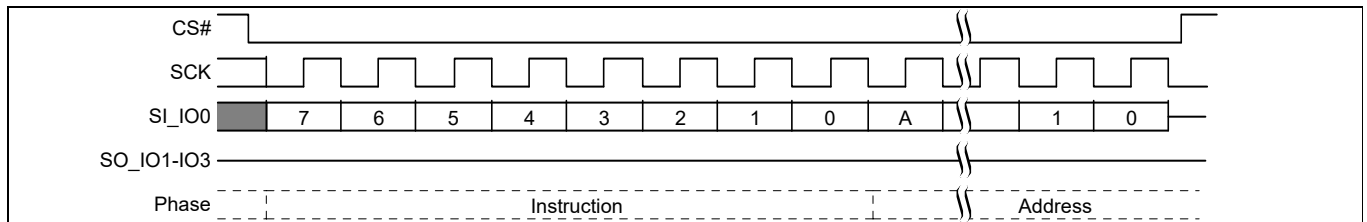


Figure 93 EES コマンド シーケンス [57]

コマンドは QPI モードでも対応されます。QPI モードでは、命令およびアドレスは IO0 ~ IO3 上でシフトインされます。

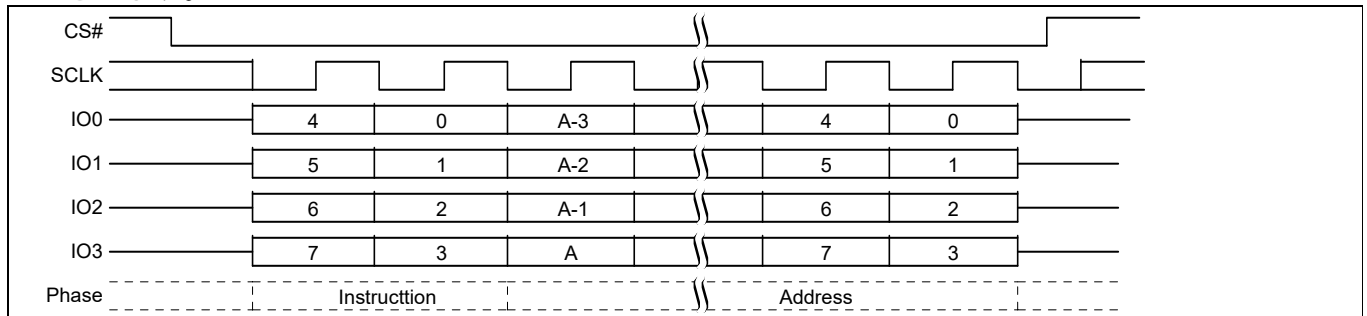


Figure 94 EES コマンド シーケンス - QPI モード [57]

注:

57.A = アドレスの MSB = A23 (CR2V[7] = 0 で ESS D0h の場合) または A31 (CR2V[7] = 1 で ESS D0h の場合)。

10.6.5 消去 / プログラム一時停止 (EPS 85h, 75h, B0h)

レガシーおよび代替のソースソフトウェアの互換性を実現するために、消去 / プログラム一時停止 (EPS) 用の 3 つの命令コードがあります。

EPS コマンドでは、システムはプログラムまたは消去動作を割り込んでから、消去が一時停止されないセクタまたはプログラムが一時停止されないページから読み出せます。消去 / プログラム一時停止コマンドは、プログラムまたはセクタ消去動作の間のみ有効です。バルク消去動作を一時停止できません。

いつプログラムまたは消去動作が停止されるかを判定するために、ステータスレジスタ 1 の書き込み中 (WIP) ビット (SR1V[0]) を確認する必要があります。ステータスレジスタ 2 のプログラム一時停止ステータスビット (SR2[0]) を使用して、WIP が 0 となるときにプログラム動作が一時停止されたか完了したかを確定できます。ステータスレジスタ 2 の消去一時停止ステータスビット (SR2[1]) を使用して、WIP が 0 となるときに消去動作が一時停止されたか完了したかを確定できます。一時停止動作が完了するために要する時間は t_{SL} です。Table 42 を参照してください。

プログラム動作または読み出し動作を実行するために消去を一時停止できます。消去一時停止中に、DYB アレイはセクタ保護を確認するために読み出せ、プログラムするセクタの保護を除去または復元するために書き込みます。

読み出し動作を実行するためにプログラム動作を一時停止できます。

既に一時停止された消去またはプログラム動作では新しい消去動作を行えません。この場合、消去コマンドは無視されます。

コマンド

Table 50 プログラム / 消去一時停止中に実行可能なコマンド

命令名	命令コード (16 進)	消去一時 停止中に 実行可能	プログラ ム一時停 止中に実 行可能	備考
READ	03	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
RDSR1	05	X	X	WIP を読み出して一時停止プロセスの終了を判定するために必要です。
RDAR	65	X	X	WIP を読み出して一時停止プロセスの終了を判定するための代替方法です。
WREN	06	X		消去一時停止中のプログラム コマンドに必要です。
RDSR2	07	X	X	一時停止ステータスを読み出して、動作が一時停止中であるか完了したかを判定するために必要です。
RUID	4C	X	X	一時停止中に固有 ID 読み出しは実行できます。
PP	02	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4PP	12	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
QPP	32	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4QPP	34	X		消去一時停止中のアレイ プログラムに必要です。プログラムが一時停止中のプログラム動作がない (SR2V[0] = 0) 場合にのみ実行可能です。一時停止中のプログラムがあるとき、プログラム コマンドは無視されます。消去が一時停止中のセクタにプログラム コマンドを送信すると、プログラム動作は失敗し、P_ERR ビットがセットされます。
4READ	13	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
CLSR	30	X		プログラム動作が消去一時停止中に失敗した場合、ステータス クリア コマンドを使用できます。命令がステータス クリアのために有効にされた (CR4NV[2] = 1) 場合にのみ利用できることに注意してください。
CLSR	82	X		プログラム動作が消去一時停止中に失敗した場合、ステータス クリア コマンドを使用できます。

コマンド

Table 50 プログラム / 消去一時停止中に実行可能なコマンド (continued)

命令名	命令コード (16 進)	消去一時 停止中に 実行可能	プログラ ム一時停 止中に実 行可能	備考
EPR	30	X	X	一時停止中の消去 / プログラムを再開するために必要です。再開コマンドとして使用するために CR3NV[2]=1 にセットすることでコマンドを有効にする必要があることに注意してください。
EPR	7A	X	X	一時停止中の消去 / プログラムを再開するために必要です。
EPR	8A	X	X	一時停止中の消去 / プログラムを再開するために必要です。
RSTEN	66	X	X	リセットはいつでも実行可能です。
RST	99	X	X	リセットはいつでも実行可能です。
FAST_READ	0B	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4FAST_READ	0C	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DOR	3B	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DOR	3C	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
QOR	6B	X	X	クアッド出力読み出し (3 または 4 バイト アドレス)
4QOR	6C	X	X	クアッド出力読み出し (4 バイト アドレス)
EPR	7A	X		一時停止中の消去を再開するために必要です。
EPR	8A	X		一時停止中の消去を再開するために必要です。
DIOR	BB	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DIOR	BC	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DYBRD	FA	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
DYBWR	FB	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
PPBRD	FC	X		消去一時停止中、プログラム コマンドを実行する前に恒久的な保護の確認を許可します。
4DYBRD	E0	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
4DYBWR	E1	X		消去一時停止中に、消去一時停止中のプログラムを可能にするために、動的保護の解除と復元が必要となる場合があります。
4PPBRD	E2	X		消去一時停止中、プログラム コマンドを実行する前に恒久的な保護の確認を許可します。
QIOR	EB	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4QIOR	EC	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
DDRQIOR	ED	X	X	一時停止中にすべてのアレイ読み出しは実行できます。
4DDRQIOR	EE	X	X	一時停止中にすべてのアレイ読み出しは実行できます。

コマンド

Table 50 プログラム / 消去一時停止中に実行可能なコマンド (continued)

命令名	命令コード (16 進)	消去一時停止中に実行可能	プログラム一時停止中に実行可能	備考
RESET	F0	X	X	リセットはいつでも実行可能です。
MBR	FF	X	X	一時停止中、読み出し動作のリセットが必要となる場合があります。

消去が一時停止されたセクタまたはプログラムが一時停止されたページ内の任意のアドレスを読み出すと、不確定なデータが返されます。

WRR, WRAR, または PPB 消去コマンドは消去 / プログラム一時停止中に実行できません。このため、消去一時停止中にブロック保護または PPB ビットは変更できません。消去一時停止中にプログラムを必要とするセクタがあれば、セクタは消去一時停止中にオフにできる DYB ビットでのみ保護する必要があります。

消去一時停止中のプログラム動作が完了した後、デバイスは消去一時停止モードに戻ります。通常のプログラム動作と同じように、システムはステータスレジスタの WIP ビットを読み出すことでプログラム動作の状態を確認できます。

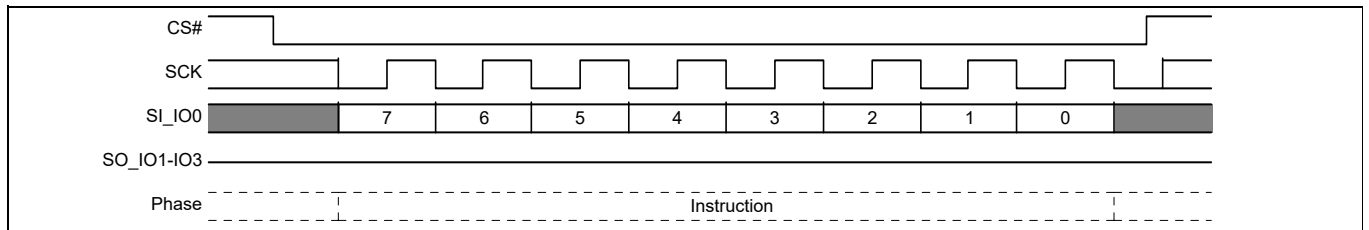


Figure 95 消去 / プログラム一時停止コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

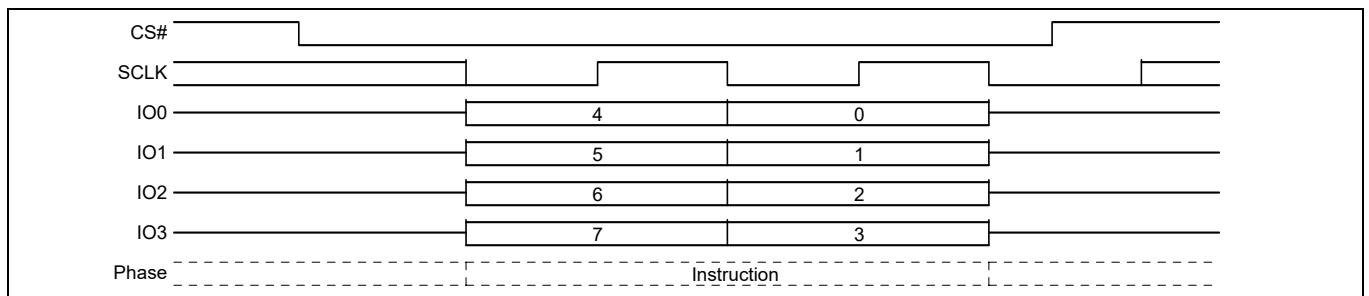


Figure 96 消去 / プログラム一時停止コマンドシーケンス - QPI モード

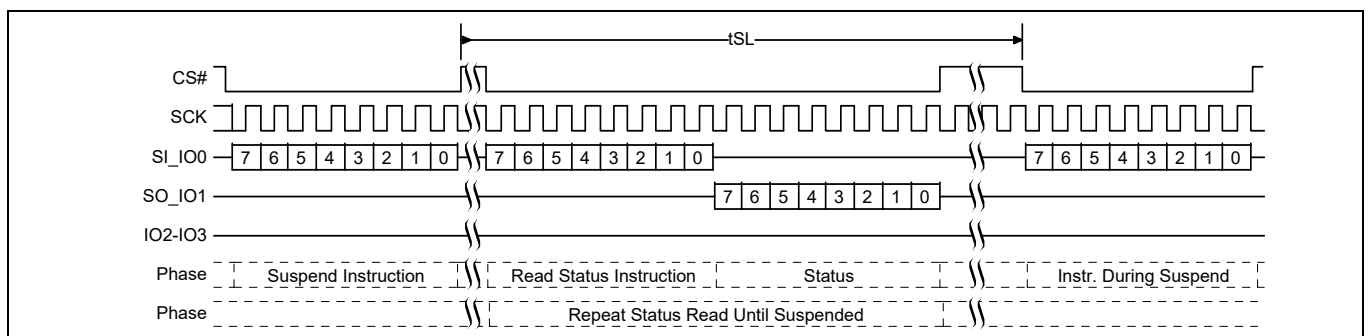


Figure 97 消去 / プログラム一時停止コマンドに続く命令コマンドシーケンス

10.6.6 消去 / プログラム再開 (EPR 7Ah, 8Ah, 30h)

一時停止された動作を再開するために消去 / プログラム再開コマンドを書き込む必要があります。レジスターおよび代替のソースソフトウェアの互換性を実現するために、消去 / プログラム再開 (EPR) 用の 3 つの命令コードがあります。

消去またはプログラム一時停止中にプログラムまたは読み出し動作が完了した後、一時停止された動作を継続するために消去 / プログラム再開コマンドが送信されます。

消去 / プログラム再開コマンドが発行された後、ステータスレジスタ 1 の WIP ビットが 1 にセットされ、一時停止されたプログラム動作が再開されます。一時停止されたプログラム動作がない場合、一時停止された消去動作は再開されます。一時停止されたプログラムまたは消去動作がない場合、再開コマンドは無視されます。

プログラムまたは消去動作は、必要に応じて何度も中断できます (例えば、プログラム一時停止コマンドがプログラム再開コマンドの直後に続くことが可能です)。ただし、プログラムまたは消去動作が完了するために、再開コマンドと次の一時停止コマンドの間には t_{RS} 以上の時間を要します。Table 42 を参照してください。

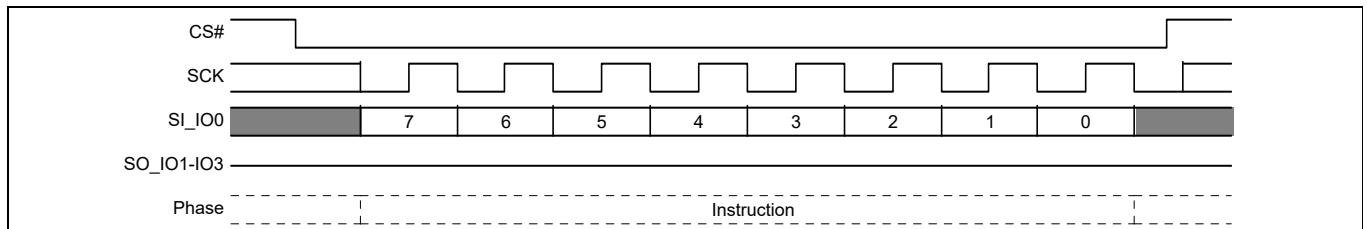


Figure 98 消去 / プログラム再開コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は I00 ~ I03 上でシフトインされます。

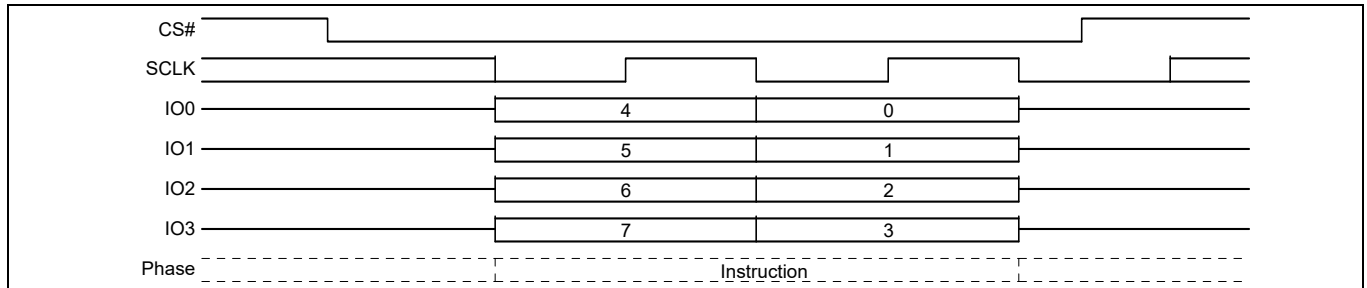


Figure 99 消去 / プログラム再開コマンドシーケンス - QPI モード

10.7 ワンタイム プログラム アレイのコマンド

10.7.1 OTP プログラム (OTPP 42h)

OTP プログラム コマンドは、メインアレイ データとは異なるアドレス空間にあるワンタイム プログラム領域のデータをプログラムします。OTP 領域は 1024 バイトであるため、コマンドでは A31 ~ A10 のアドレス ビットは 0 でなければいけません。OTP 領域の詳細については、[OTP アドレス空間](#)を参照してください。

デバイスは OTP プログラム コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。SR1V の WIP ビットを確認することで、いつ動作が完了するかを判定できます。SR1V の P_ERR ビットを確認することで、動作中にエラーが発生したかを確認できます。

OTP アレイをビット単位でプログラムするために、データ バイト内の残りのビットを「1」にセットできます。

OTP メモリ空間の各領域は、ロックされていない限り、1 回以上プログラムできます。ロックされている領域に「0」をプログラムしようすると、プログラムは失敗し、SR1V の P_ERR ビットが「1」にセットされます。保護されている領域に「1」をプログラムしても、エラーが発生せず、P_ERR がセットされません。後続の OTP プログラムはプログラムされていないビット（「1」のデータ）のみに対して行えます。ECC ユニット内で複数回プログラムすると、そのユニットの ECC は無効になります。

OTP プログラム コマンドのプロトコルは、ページ プログラム コマンドと同じです。コマンド シーケンスについては、[ページ プログラム \(PP 02h または 4PP 12h\)](#)を参照してください。

10.7.2 OTP 読み出し (OTPR 4Bh)

OTP 読み出しコマンドは、OTP 領域からデータを読み出します。OTP 領域は 1024 バイトであるため、コマンドでは A31 ~ A10 のアドレス ビットは 0 でなければいけません。OTP 領域の詳細については、[OTP アドレス空間](#)を参照してください。

OTP 読み出しコマンドのプロトコルは高速読み出しコマンドに似ていますが、OTP アドレスが最大値に達した後に開始アドレスにラップせず、最高位 OTP アドレスを超えたデータは未定義となります。OTP 読み出しコマンドの読み出しレイテンシは CR2V[3:0] のレイテンシ値でセットされます。コマンド シーケンスについては、[高速読み出し \(FAST_READ 0Bh or 4FAST_READ 0Ch\)](#)を参照してください。

10.8 高度セクタ保護のコマンド

10.8.1 ASP 読み出し (ASPRD 2Bh)

ASP 読み出し命令 2Bh は SCK 信号の立ち上りエッジで SI にシフトインされます。その後、16 ビット ASP レジスタの内容はシリアル出力 SO 上で最下位バイトが先にシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で各ビットがシフトアウトされます。16 の倍数のクロックサイクルを提供することで ASP レジスタを連続的に読み出せます。ASP 読み出し (ASPRD) コマンドの最大動作クロック周波数は 133 MHz です。

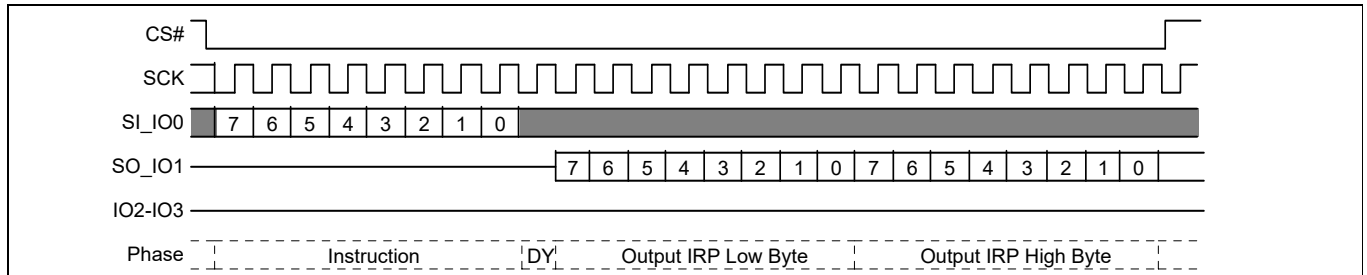


Figure 100 ASPRD コマンド シーケンス

10.8.2 ASP プログラム (ASPP 2Fh)

デバイスは ASP プログラム (ASPP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

ASPP コマンドは、CS# を論理 LOW に駆動した後、命令と 2 データ バイトを SI 上で最下位バイトを先に送信することで実行します。ASP レジスタの長さは 2 データ バイトです。

ASPP コマンドは他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの P_ERR および WIP ビットに影響します。

CS# 入力、データの 16 ビット目がラッチインされた後に論理 HIGH に駆動する必要があります。そうしないと、ASPP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの ASPP 動作は直ちに開始されます。ASPP 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの ASPP 動作の間「1」であり、動作が完了すると「0」になります。ASPP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

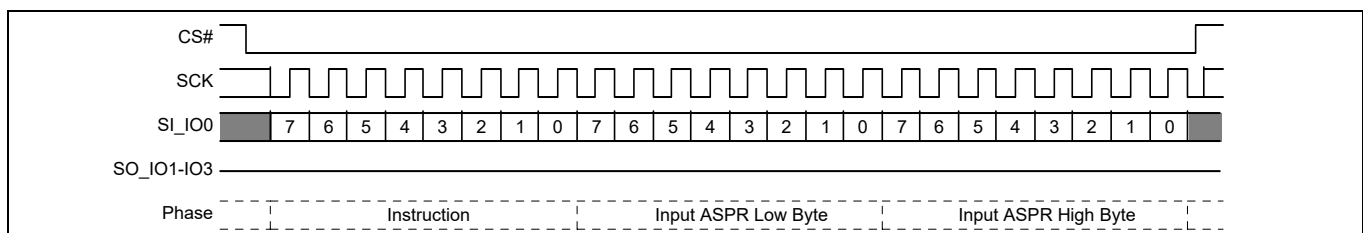


Figure 101 ASPP コマンド

コマンド

10.8.3 DYB 読み出し (DYBRD FAh または 4DYBRD E0h)

命令は SCK 信号の立ち上がりエッジで SI/I00 にラッチインされます。命令の後に、アドレス長コンフィギュレーション CR2V[7] に応じて 24 または 32 ビット アドレスが続き、対象のセクタ内の 0 位置が選択されます。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。その後、8 ビット DYB アクセスレジスタの内容はシリアル出力 SO/I01 上でシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で各ビットがシフトアウトされます。8 の倍数のクロックサイクルを提供することで同じ DYB アクセスレジスタを連続的に読み出せます。DYB レジスタのアドレスはインクリメントしないため、DYB アレイ全体を読み出す手段となりません。各位置は別々の DYB 読み出しコマンドで読み出さなければいけません。READ コマンドの最大動作クロック周波数は 133 MHz です。

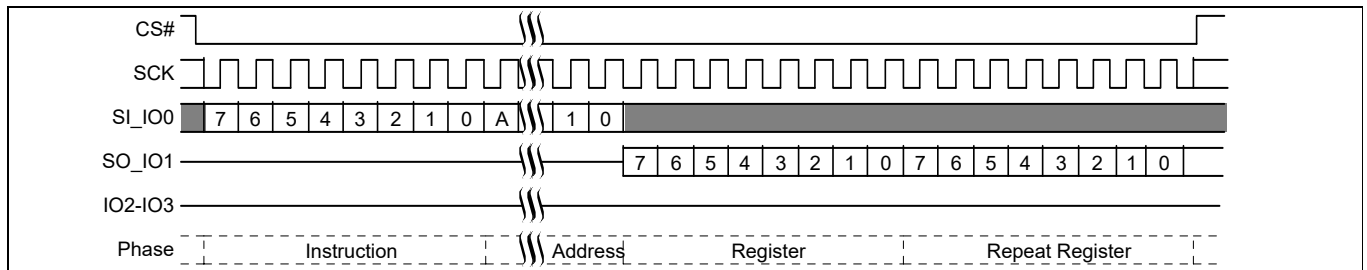


Figure 102 DYBRD コマンド シーケンス [58, 59]

QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

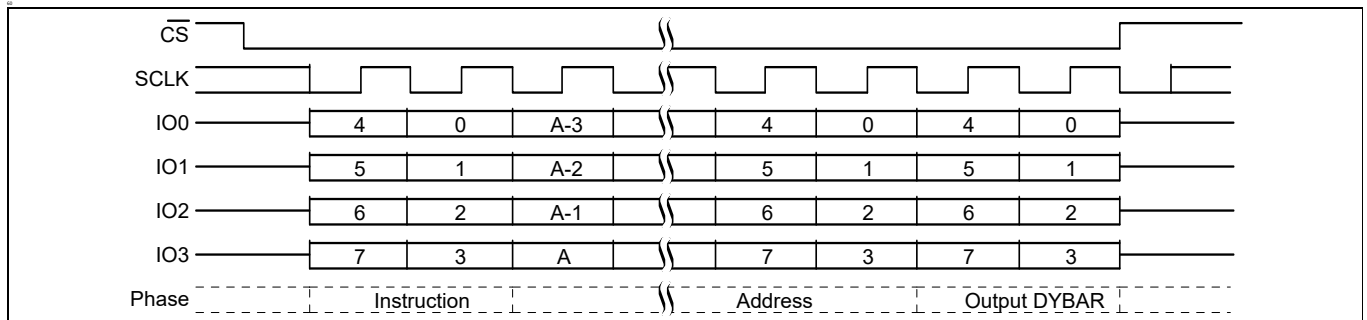


Figure 103 DYBRD コマンド シーケンス - QPI モード [58, 60]

注:

58.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FAh コマンドの場合)。

59.A = アドレスの MSB = 31 (E0h コマンド)。

60.A = アドレスの MSB = 31 (QPI モード コマンド シーケンス E0hDYBRD コマンド)。

コマンド

10.8.4 DYB 書き込み (DYBWR FBh または 4DYBWR E1h)

デバイスは DYB 書き込み (DYBWR) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブルラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

DYBWR コマンドを入力するために、まず CS# を論理 LOW に駆動してから、命令、24 または 32 ビットアドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) (対象のセクタ内のロケーション 0 が選択される) およびデータバイトを SI/I00 上で送信します。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。DYB アクセスレジスタの長さは 1 データバイトです。データ値は、選択されたセクタを保護するためには 00h で、保護しないためには FFh である必要があります。

DYBWR コマンドは、他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの P_ERR および WIP ビットに影響します。

データの 8 ビット目がラッチインされた後、CS# を論理 HIGH に駆動する必要があります。CS# が論理 HIGH に駆動されると、セルフタイムの DYBWR 動作は直ちに開始されます。DYBWR 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの DYBWR 動作の間「1」であり、動作が完了すると「0」になります。DYBWR 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。

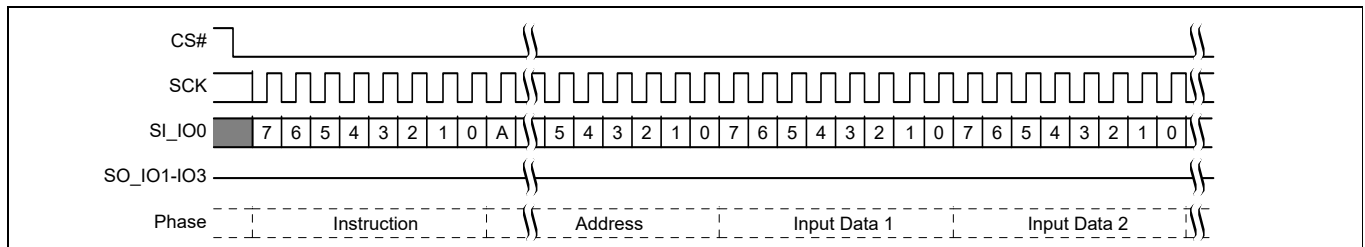


Figure 104 DYB 書き込みコマンドシーケンス [61, 62]

コマンドは QPI モードでも対応されます。QPI モードでは、命令、アドレス、およびデータは I00 ~ I03 上でシフトインされます。

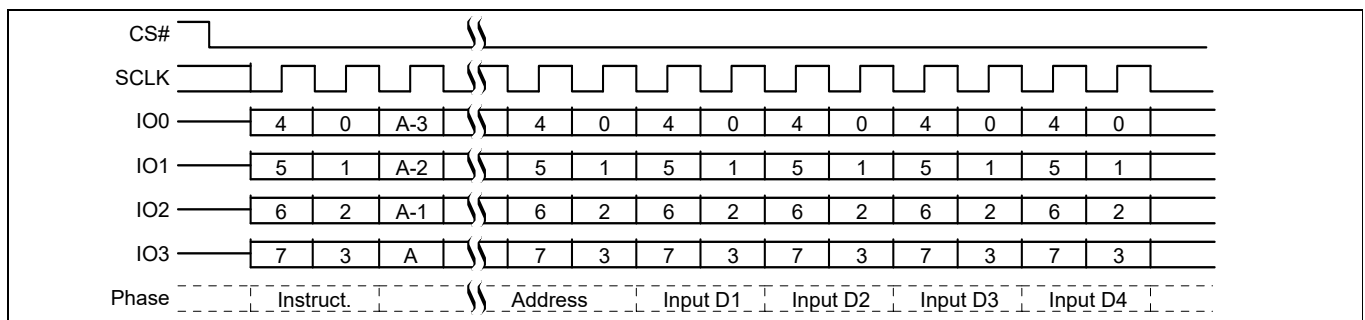


Figure 105 DYB 書き込みコマンドシーケンス - QPI モード [61, 62]

注:

61.A = アドレスの MSB = 23 (アドレス長 CR2V[7] = 0 の場合) または 31 (CR2V[7] = 1 で FBh コマンドの場合)。

62.A = アドレスの MSB = 31 (E1h コマンド)。

コマンド

10.8.5 PPB 読み出し (PPBRD FCh または 4PPBRD E2h)

E2h 命令が SCK 信号の立ち上りエッジごとに SI/I00 上でシフトインされてから、アドレス長コンフィギュレーション CR2V[7] に応じて 24 または 32 ビット アドレスが送信されます (対象のセクタ内のロケーション 0 が選択されます)。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。その後、8 ビット PPB アクセスレジスタの内容は SO/I01 上でシフトアウトされます。

8 の倍数のクロック サイクルを提供することで同じ PPB アクセスレジスタを連続的に読み出せます。PPB レジスタのアドレスはインクリメントしないため、PPB アレイ全体を読み出す手段となりません。各位置は別々の PPB 読み出しコマンドで読み出さなければいけません。PPB 読み出しコマンドの最大動作クロック周波数は 133 MHz です。

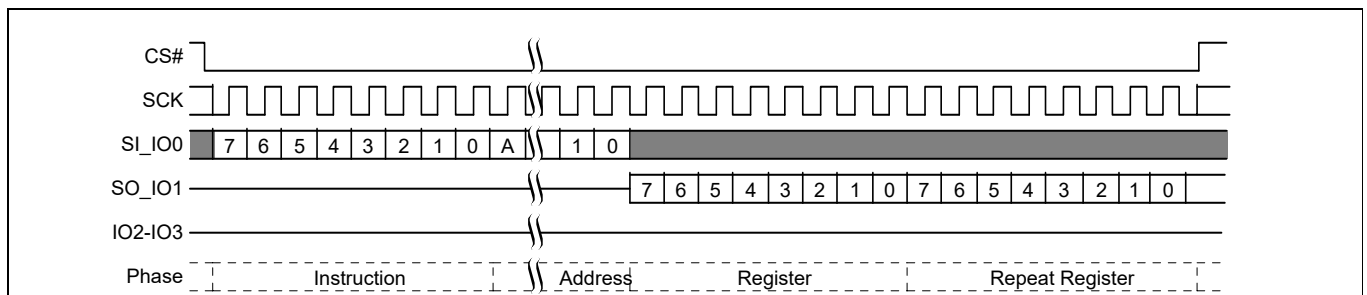


Figure 106 PPB 読み出しコマンドシーケンス [63, 64]

10.8.6 PPB プログラム (PPBP FDh または 4PPBP E3h)

デバイスは PPB プログラム (PPBP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスはステータスレジスタの書き込みイネーブル ラッチ (WEL) をセットしてすべての書き込み動作を有効にします。

PPBP コマンドを入力するために、まず CS# を論理 LOW に駆動してから、命令および 24 または 32 ビット アドレス (アドレス長コンフィギュレーション CR2V[7] に応じて) を送信します (対象のセクタ内のロケーション 0 が選択されます)。特定の容量のデバイスで使用されない上位アドレスビットは「0」でなければならないことに注意してください。

PPBP コマンドは、他のプログラム動作と同じようにステータスおよびコンフィギュレーションレジスタの P_ERR および WIP ビットに影響します。

アドレスの最後のビットがラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PPBP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PPBP 動作は直ちに開始されます。PPBP 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PPBP 動作の間「1」であり、動作が完了すると「0」になります。PPBP 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。

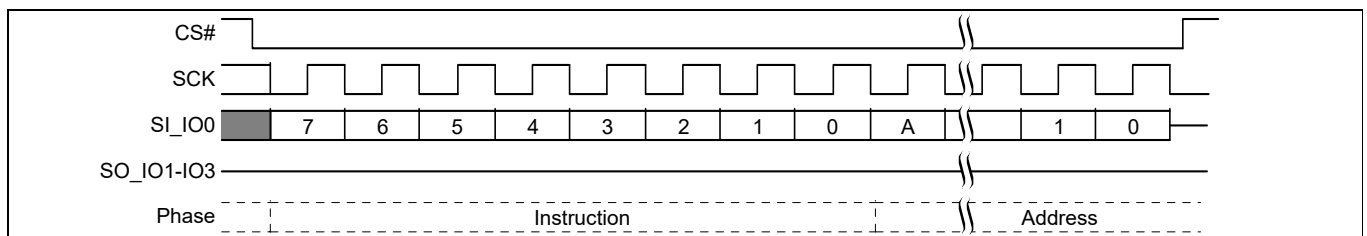


Figure 107 PPB コマンドシーケンス [65, 66]

注:

- 63.A = アドレスの MSB = 23 (アドレス長 CR2V[0] = 0 の場合) または 31 (CR2V[0] = 1 で FCh コマンドの場合)。
- 64.A = アドレスの MSB = 31 (E2h コマンド)。
- 65.A = アドレスの MSB = 23 (アドレス長 CR2V[0] = 0 の場合) または 31 (CR2V[0] = 1 で FDh コマンドの場合)。
- 66.A = アドレスの MSB = 31 (E3h コマンド)。

10.8.7 PPB 消去 (PPBE E4h)

PPB 消去 (PPBE) コマンドはすべての PPB ビットを 1 にセットします。デバイスは PPB 消去コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータスレジスタの書き込みイネーブルラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

E4h 命令は SCK 信号の立ち上りエッジごとに SI/I00 上でシフトインされます。

命令バイトの 8 ビット目が SI/I00 上でラッチインされた後、CS# を論理 HIGH に駆動する必要があります。これにより、PPB メモリアレイ全体のプリプログラム / 消去を含む内部消去サイクルを開始します。命令の 8 ビット目がラッチインされた後に CS# が論理 HIGH に駆動されなければ、PPB 消去動作は実行されません。

進行中の内部消去サイクルにより、ユーザーは書き込み中 (WIP) ビットの値を読み出し、動作が完了したかを確認できます。WIP ビットは、消去サイクルが進行中の場合「1」であり、消去サイクルが完了した場合「0」です。PPB 消去中に消去一時停止は許可されません。

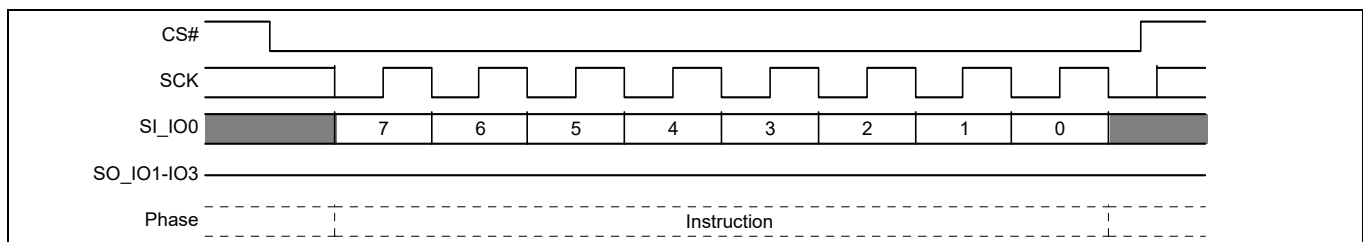


Figure 108 PPB 消去コマンドシーケンス

10.8.8 PPB ロック ビット読み出し (PLBRD A7h)

PPB ロック ビット読み出し (PLBRD) コマンドでは、PPB ロック レジスタの内容を SO/I01 上で読み出せます。8 の倍数のクロックサイクルを提供することで PPB ロック レジスタを連続的に読み出せます。デバイスがスタンバイ状態であり、進行中の他の動作がない場合にのみ、PPB ロック レジスタの内容は読み出せます。デバイスに新しいコマンドを発行する前に、ステータスレジスタの書き込み中 (WIP) ビットを確認することが推奨されています。

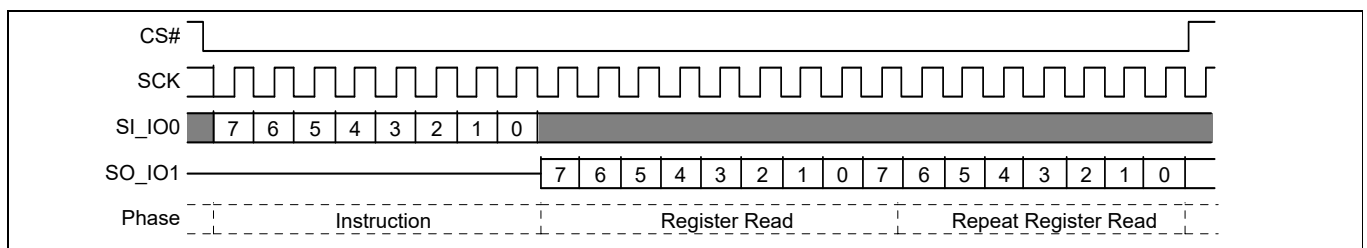


Figure 109 PPB ロック レジスタ コマンドシーケンス

10.8.9 PPB ロック ビット 書き込み (PLBWR A6h)

PPB ロック ビット 書き込み (PLBWR) コマンドは PPB ロック レジスタを「0」にクリアします。デバイスは PLBWR コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。これにより、ステータス レジスタの書き込みイネーブル ラッチ (WEL) がセットされ、すべての書き込み動作は実行可能になります。

PLBWR コマンドは、CS# を論理 LOW に駆動してから命令を送信することで実行します。

命令の 8 ビット目がラッチインされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PLBWR コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PLBWR 動作は直ちに開始されます。PLBWR 動作の進行中に、ステータス レジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PLBWR 動作の間「1」であり、動作が完了すると「0」になります。PLBWR 動作が完了すると、書き込みイネーブル ラッチ (WEL) は「0」にセットされます。PLBWR コマンドの最大クロック周波数は 133 MHz です。

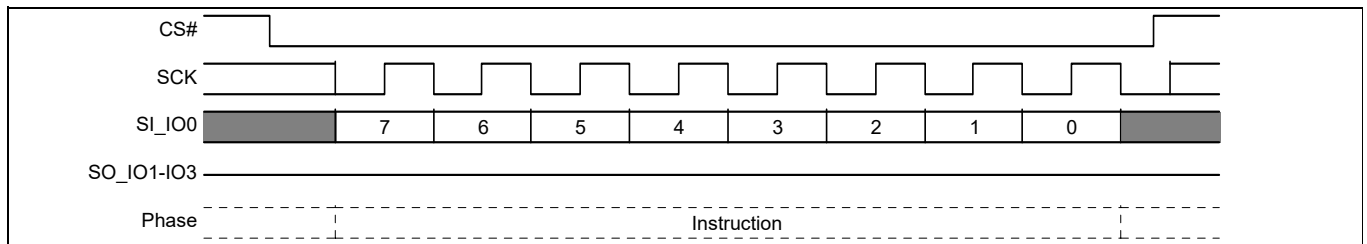


Figure 110 PPB ロック ビット コマンド シーケンス

10.8.10 パスワード 読み出し (PASSRD E7h)

パスワード値をプログラムした後、ASP レジスタのパスワード保護モード ビット (ASP[2]) を「0」にプログラムすることでパスワード モードを選択する前にのみ、正しいパスワード値を読み出せます。パスワード保護モードが選択されると、パスワードはもはや読み出し可能でなくなり、PASSRD コマンドは未定義のデータを出力します。

PASSRD コマンドは SI/I00 上でシフトインされます。その後、64 ビットパスワードはシリアル出力 SO/I01 上で最下位バイトが先に、各バイトの最上位ビットが先にシフトアウトされます。SCK 信号の立ち下りエッジごとに SCK 周波数で各ビットがシフトアウトされます。複数の 64 クロック サイクルを提供することでパスワードを連続的に読み出せます。PASSRD コマンドの最大動作クロック周波数は 133 MHz です。

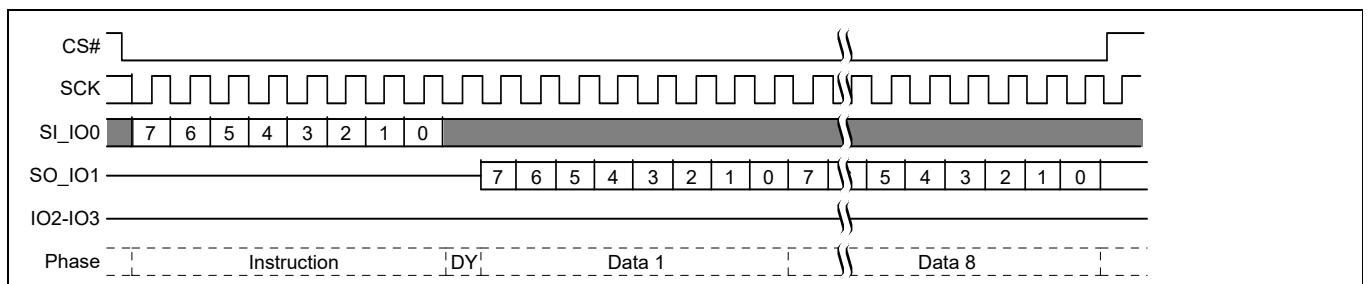


Figure 111 パスワード 読み出し (PASSRD) コマンド シーケンス

コマンド

10.8.11 パスワードプログラム (PASSP E8h)

デバイスはパスワードプログラム (PASSP) コマンドを受け入れる前に、書き込みイネーブル (WREN) コマンドを発行して復号する必要があります。書き込みイネーブル (WREN) コマンドを復号した後、デバイスは書き込みイネーブルラッチ (WEL) をセットして PASSP 動作を有効にします。

ASP レジスタのパスワード保護モードビット (ASP[2]) を「0」にプログラムすることでパスワードモードを選択する前にのみ、パスワードをプログラムできます。パスワード保護モードを選択した後、PASSP コマンドは無視されます。

PASSP コマンドは、CS# を論理 LOW に駆動してから命令とパスワードデータを SI/I00 上で最下位バイトを先に、各バイトの最上位ビットを先に送信することで実行します。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSP コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSP 動作は直ちに開始されます。PASSP 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットはセルフタイムの PASSP サイクルの間で「1」であり、サイクルが完了すると「0」になります。PASSP コマンドはステータスレジスタの P_ERR ビットでプログラムエラーをレポートできます。PASSP 動作が完了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。PASSP コマンドの最大クロック周波数は 133 MHz です。

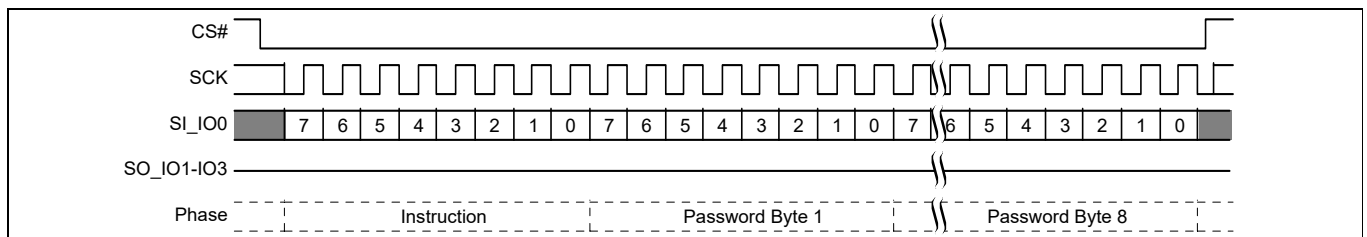


Figure 112 パスワードプログラム (PASSP) コマンドシーケンス

10.8.12 パスワードロック解除 (PASSU E9h)

PASSU コマンドは、CS# を論理 LOW に駆動してから命令とパスワードデータを SI/I00 上で最下位バイトを先に、各バイトの最上位ビットを先に送信することで実行します。パスワードは 64 ビット長です。

データの 64 ビット目がラッチされた後、CS# を論理 HIGH に駆動する必要があります。そうしないと、PASSU コマンドは実行されません。CS# が論理 HIGH に駆動されると、セルフタイムの PASSU 動作は直ちに開始されます。PASSU 動作の進行中に、ステータスレジスタを読み出して書き込み中 (WIP) ビット値を確認できます。書き込み中 (WIP) ビットは、セルフタイムの PASSU サイクルの間で「1」であり、サイクルが完了すると「0」になります。

PASSU コマンドで提供されたパスワードがパスワードレジスタの隠しパスワードと一致しない場合、P_ERR ビットが「1」にセットされ、エラーがレポートされます。ステータスレジスタの WIP ビットも「1」にセットされたままです。P_ERR と WIP ビットを「0」に戻すために、CLSR コマンドを使用してステータスレジスタをクリアするか、RESET コマンドを使用してデバイスのソフトウェアリセットを行うか、または RESET# 入力を LOW に駆動してハードウェアリセットを開始する必要があります。これにより、デバイスはスタンバイ状態に戻り、PASSU コマンドの再試行など新しいコマンドを実行できるようになります。

パスワードが一致した場合、PPB ロックビットは「1」にセットされます。PASSU コマンドの最大クロック周波数は 133 MHz です。

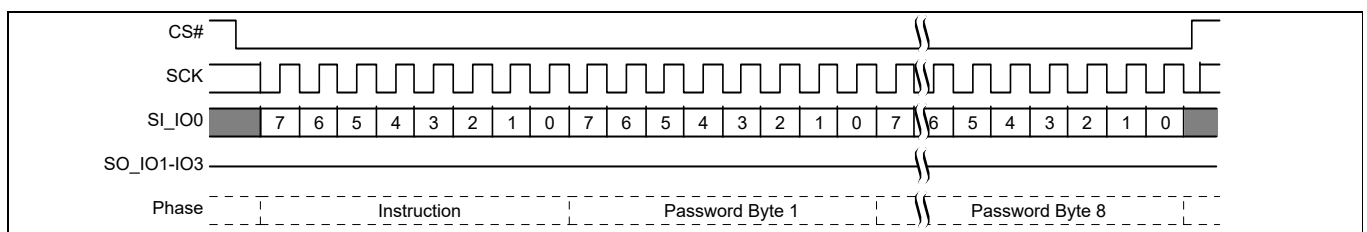


Figure 113 パスワードロック解除 (PASSU) コマンドシーケンス

コマンド

10.9 リセットのコマンド

ソフトウェアで制御されるリセット コマンドは、不揮発性のデフォルト値を揮発性レジスタにリロードすることでデバイスを初期の電源投入状態に復帰させます。しかし、コンフィギュレーションレジスタの FREEZE ビット CR1V[0] および PPB ロックレジスタの揮発性 PPB ロックビットはソフトウェアリセットで変更されません。ソフトウェアリセットは、他のセキュリティコンフィギュレーションビットに対する FREEZE または PPB ロックビットを回避するためには使用できません。

FREEZE ビットと PPB ロックビットはソフトウェアリセット前の最後の値にセットされたままです。FREEZE ビットをクリアし、PPB ロックビットを保護モードによって選択された電源投入時の状態にセットするために、完全なパワーオンリセットシーケンスまたはハードウェアリセットを実行する必要があります。

コンフィギュレーションレジスタ (CR1NV) の不揮発性ビット TBPROT_0、TBPARM および BPNV_0 の状態はソフトウェアリセットの後にも変わりません。

ステータスレジスタ (SR1V) のブロック保護ビット BP2、BP1 および BP0 は FREEZE = 0 の場合にのみデフォルトの状態にリセットされます。

リセット コマンド (RST または RESET) は、CS# が命令の終了時に HIGH にされたとき実行され、完了するためには t_{RPH} を要します。

前のパワーオンリセット (POR) が正常に完了できなかった場合、リセット コマンドは完全な電源投入シーケンスをトリガーし、完了するためには t_{PU} を要します。

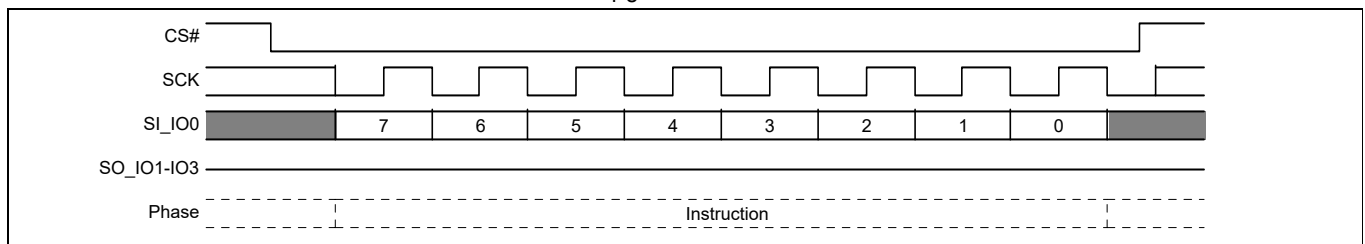


Figure 114 ソフトウェア / モードビットリセット コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

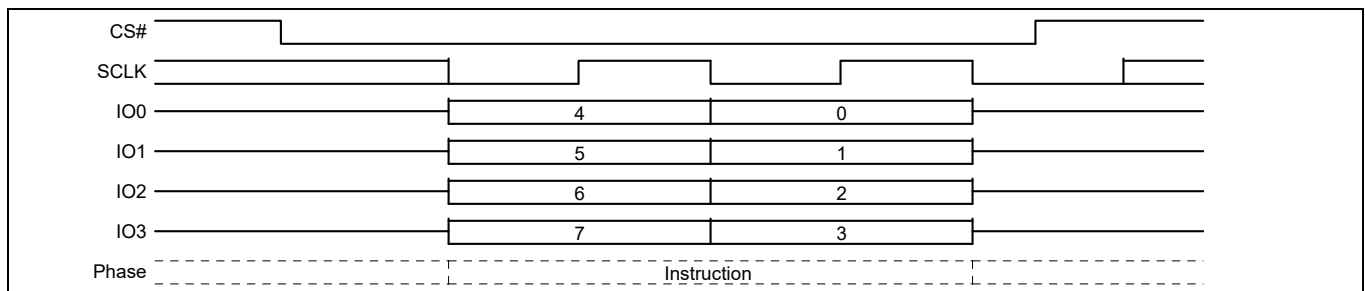


Figure 115 ソフトウェア / モードビットリセット コマンドシーケンス - QPI モード

10.9.1 ソフトウェアリセットイネーブル (RSTEN 66h)

リセットイネーブル (RSTEN) コマンドは、ソフトウェアリセットが2つのコマンドから成るシーケンスとなるために、リセットコマンド (RST) の直前に実行する必要があります。RST を除き、RSTEN コマンドに続くすべてのコマンドはリセットイネーブル状態をクリアし、後の RST コマンドが認識されないようになります。

10.9.2 ソフトウェアリセット (RST 99h)

RSTEN コマンドの直後にリセット (RST) コマンドを実行すると、ソフトウェアリセットプロセスが開始されます。

コマンド

10.9.3 レガシー ソフトウェアリセット (RESET F0h)

レガシー ソフトウェアリセット (RESET) は、ソフトウェアリセットプロセスを開始する単一のコマンドです。コマンドはデフォルトで無効にされており、インフィニオンのレガシー FL-S デバイスとの互換性を実現するために、CR3V[0] = 1 にプログラムすることで有効にできます。

10.9.4 Mode Bit Reset (MBR FFh)

モードビットリセット (MBR) コマンドでは、デバイスを連続高性能読み出しモードから新しいコマンドを受け入れられる通常スタンバイモードに復帰させます。ハードウェア RESET# 入力を備えていないパッケージもあり、連続高性能読み出しモードにあるデバイスが通常の SPI コマンドを認識しない場合もあるため、デバイスはハードウェア / ソフトウェアリセットコマンドを認識しないことがあります。デバイスが連続高性能読み出しモードから確実に解放されるように、MBR コマンドを、RESET# 信号が使用できないときにシステムリセットの実行後、またはソフトウェアリセットの発行前に使用することが推奨されます。

MBR コマンドでは、8 SCK サイクルの間 SI/I/O0 上で「1」を送信します。IO1 ~ IO3 はこれらのサイクルの間「ドントケア」です。コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上で 2 クロックサイクルごとに 1 バイトがシフトインされます。

10.10 DPD のコマンド

10.10.1 ディープパワーダウン開始 (DPD B9h)

通常動作時のスタンバイ電流は比較的低いですが、ディープスリープコマンドを使うとさらに減少できます。低い消費電力により、ディープパワーダウン (DPD) コマンドは特にバッテリー駆動アプリケーションに役立ちます (DC 特性の I_{DPD} を参照してください)。

DPD コマンドは、デバイスが組込みアルゴリズムを実行していない (要するに揮発性ステータスレジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる (SR1V[0] = 0)) ときのみ受け入れられます。

コマンドはディープパワーダウン (DPD) コマンドシーケンスに示すように、CS# ピンを LOW に駆動し、命令コード「B9h」をシフトすることで開始します。CS# ピンは 8 ビット目がラッチされた後に HIGH に駆動する必要があります。そうしないと、ディープパワーダウンコマンドは実行できません。CS# を HIGH に駆動した後、 t_{DPD} の間デバイスはパワーダウン状態に入ります (タイミング仕様を参照してください)。

パワーダウン状態の間、デバイスを通常動作に復帰させるディープパワーダウン終了コマンドのみが認識されます。その他のすべてのコマンドは無視されます。通常動作中に常に使用可能なステータスレジスタ読み出しコマンドも無視されます。1 つのみを除くすべてのコマンドを無視することにより、パワーダウン状態は書き込み保護に役立ちます。電源投入後、デバイスは常にインターフェーススタンバイ状態になり、 I_{CC1} のスタンバイ電流を消費します。

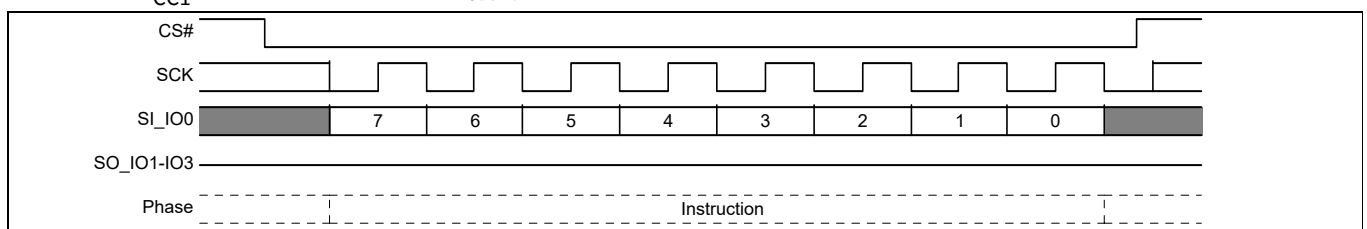


Figure 116 ディープパワーダウン (DPD) コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

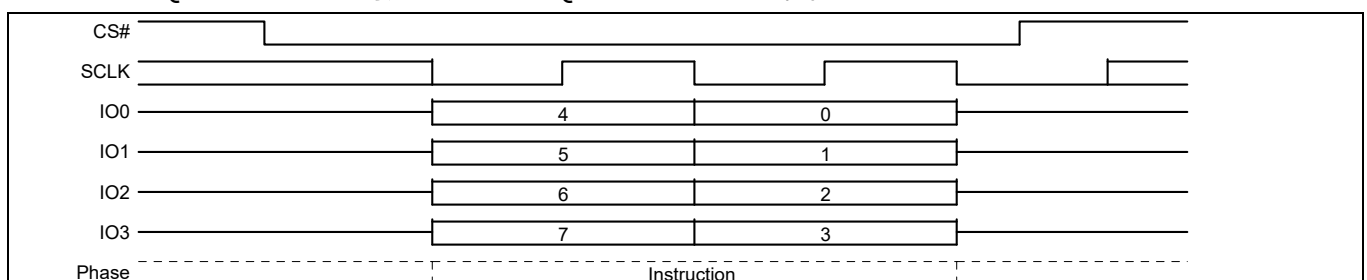


Figure 117 ディープパワーダウン (DPD) コマンドシーケンス - QPI モード

コマンド

10.10.2 ディープパワーダウン終了 (RES ABh)

ディープパワーダウン終了コマンドは、デバイスをディープパワーダウン状態から解放するために使用されます。いくつかのレガシー SPI デバイスでは、RES コマンドはデバイスの電子識別子 (ID) 番号を取得するためにも使用されます。しかし、デバイス ID 機能は RES コマンドで対応されません。

デバイスをディープパワーダウン状態から解放するために、Figure 118 に示すように、CS# ピンを LOW に駆動し、命令コード「ABh」をシフトしてから CS# ピンを HIGH に駆動することでコマンドを発行します。ディープパワーダウン状態からの解放は、デバイスが通常動作を再開し、他のコマンドを受け入れるまで t_{RES} (タイミング仕様) を要します。CS# ピンは t_{RES} の間は HIGH のままでなければいけません。

ハードウェアリセットも、ハードウェアリセットプロセスの一部としてデバイスを DPD 状態から解放します。

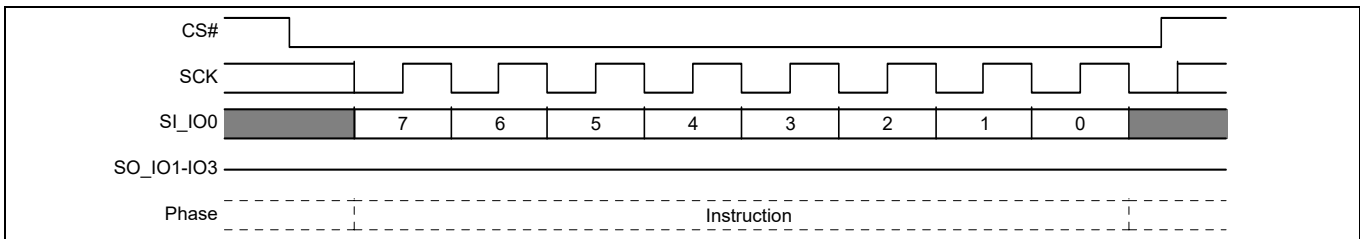


Figure 118 ディープパワーダウン終了 (RES) コマンドシーケンス

コマンドは QPI モードでも対応されます。QPI モードでは、命令は IO0 ~ IO3 上でシフトインされます。

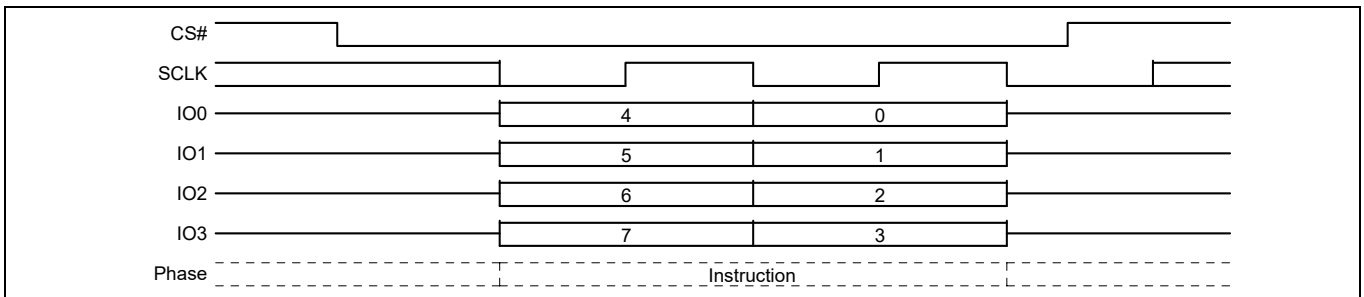


Figure 119 ディープパワーダウン終了 (RES) コマンドシーケンス - QPI モード

11 データの完全性

11.1 消去可能回数

Table 51 消去可能回数

パラメーター	Min	単位
メインフラッシュアレイセクタのプログラム / 消去サイクル数	10 万	P/E サイクル
PPB アレイまたは不揮発性レジスタアレイのプログラム / 消去サイクル数 ^[67]	10 万	P/E サイクル

注:

67.不揮発性レジスタへの書き込みコマンドを実行するたびに、不揮発性レジスタアレイ全体には P/E サイクルが発生します。OTP ビットおよびレジスタは P/E サイクルに影響されない独立したアレイの内部に存在しています。

11.2 データ保持

Table 52 データ保持

パラメーター	テスト条件	最小時間	単位
データ保持期間	1 万回のプログラム / 消去サイクル	20	年
	10 万回のプログラム / 消去サイクル	2	年

データの完全性に関する詳細についてはインフィニオン営業または FAE までお問い合わせください。詳細は、[AN98549 - Endurance and retention management and validation](#) を参照してください。

電氣的仕様

12 電氣的仕様

12.1 絶対最大定格

Table 53 絶対最大定格

パラメーター	定格
プラスチックパッケージの保管温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +125°C
V_{CC}	-0.5 V ~ +2.5 V
グランド (V_{SS}) を基準にした入力電圧 ^[68]	-0.5 V ~ $V_{CC} + 0.5 V$
出力短絡電流 ^[69]	100 mA

12.2 ラッチアップ仕様

Table 54 ラッチアップ仕様

説明	Min	Max	単位
すべての入力接続での、 V_{SS} を基準とした入力電圧	-1.0	$V_{CC} + 1.0$	V
すべての入出力接続での、 V_{SS} を基準とした入力電圧	-1.0	$V_{CC} + 1.0$	V
V_{CC} 電流	-100	+100	mA

12.3 熱抵抗

Table 55 熱抵抗

パラメーター	説明	W9A008	SOC008	FAB024	単位
Theta JA	接合部から周囲	38	54	39	°C/W
Theta JB	接合部からボード	9	38	22	
Theta JC	接合部からケース	31	31	14	

12.4 動作範囲

動作範囲は、デバイスの正常な機能が保証される範囲を定めたものです。

12.4.1 電源電圧

V_{CC}	1.7 V ~ 2.0 V
----------	---------------

注:

68. 信号遷移時に許可された最大値については**入力信号オーバーシュート**を参照してください。
69. 複数の出力を同時にグランドに短絡できません。短絡時間は1秒を超えてはいけません。
70. 電源電圧 V_{CC} を除外します。テスト条件: $V_{CC} = 1.8V$ 、一度に1つの接続をテストし、テストされていないピンは V_{SS} です。
71. デバイスは、**絶対最大定格表**に記載されている動作範囲を超えて動作させると、回復不能な損傷を受ける場合があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは本データシートの動作説明の各節に記載されている条件を超える条件におけるデバイスの機能動作は

12.4.2 温度範囲

Table 56 温度範囲

パラメーター	記号	デバイス	仕様		単位
			Min	Max	
周囲温度	T_A	産業用 (I)	-40	+85	°C
		産業用 プラス (V)	-40	+105	
		拡張 (N)	-40	+125	
		車載用, AEC-Q100 グレード 3 (A)	-40	+85	
		車載用, AEC-Q100 グレード 2 (B)	-40	+105	
		車載用, AEC-Q100 グレード 1 (M)	-40	+125	

産業用プラス温度範囲のデバイスの動作と性能パラメーターは、デバイス特性評価で決まり、本仕様に表示に標準産業用デバイスとは異なることがあります。

12.4.3 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は V_{SS} と V_{CC} の電圧範囲内にあることが必要です。電圧変動中、入力または I/O は最大 20 ns の間、 $V_{SS} - 1.0V$ または $V_{CC} + 1.0V$ にオーバーシュートする可能性があります。

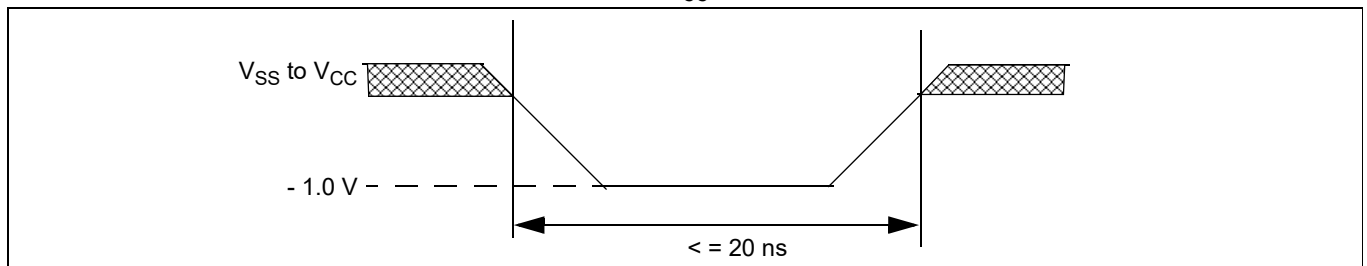


Figure 120 最大負オーバーシュート波形

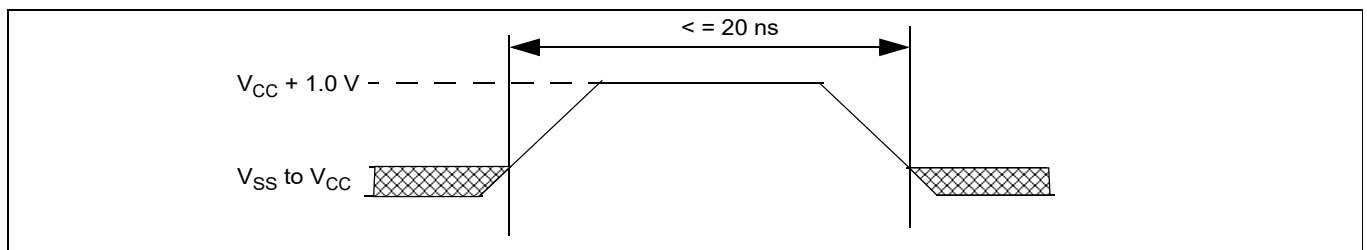


Figure 121 最大正オーバーシュート波形

12.5 電源投入および電源切断

電源投入および電源切断時に、以下のように V_{CC} が正しい値に達するまでデバイスを選択してはいけません (すなわち、CS# は V_{CC} に印加する電圧に応じる必要があります)。

- 電源投入後、 t_{PU} の遅延時間が経過した後に $V_{CC}(\text{Min})$
- 電源切断時に V_{SS}

チップセレクト (CS#) を接続する簡単なプルアップ抵抗を使用すると、安全かつ適切な電源投入と電源切断を保証できます。

デバイスは、 V_{CC} が最小 V_{CC} 閾値を超えてから t_{PU} の遅延時間が経過するまで、すべての命令を無視します。Figure 122 を参照してください。ただし、 t_{PU} 中に V_{CC} が $V_{CC}(\text{Min})$ を下回った場合、デバイスの正常な動作は保証されません。 t_{PU} の終了まで、コマンドをデバイスに送信しないようにしてください。

デバイスは t_{PU} 中に IPOR を消費します。電源投入 (t_{PU}) の後、デバイスはスタンバイモードにあり、CMOS スタンバイ電流 (I_{SB}) を消費し、WEL ビットがリセットされます。

電源切断中または電圧が $V_{CC}(\text{Cut-off})$ を下回っている間、電圧は t_{PD} 時間の間 $V_{CC}(\text{Low})$ を下回る必要があります。これにより、デバイスは電源投入時に正常に初期化できます。Figure 123 を参照してください。電圧低下中に、 V_{CC} が $V_{CC}(\text{Cut-off})$ を上回ったままの場合は、デバイスは初期化状態のままとなり、 V_{CC} が再度 $V_{CC}(\text{Min})$ を上回ったとき、正常に動作します。電源投入後にパワーオンリセット (POR) が正常に完了しない場合、RESET# のアサートまたはソフトウェアリセットコマンド (RESET) を受信することにより、POR プロセスが再起動されます。

デバイスで V_{CC} の電源を安定させるための電源レールのデカップリングには、通常の予防措置を講じてください。システム内の各のデバイスには、パッケージ電源接続に近接する適切なコンデンサ (通常、約 0.1 μf) によりデカップリングされた V_{CC} レールが必要です。

Table 57 電源投入 / 電源切断電圧とタイミング

記号	パラメーター	Min	Max	単位
$V_{CC}(\text{min})$	V_{CC} (最小の動作電圧)	1.7	-	V
$V_{CC}(\text{cut-off})$	V_{CC} (再初期化が必要となるカットオフ電圧)	1.55	-	V
$V_{CC}(\text{LOW})$	V_{CC} (初期化が起こる低電圧)	0.7	-	V
t_{PU}	$V_{CC}(\text{min})$ から読み出し動作までの時間	-	-	μs
t_{PD}	$V_{CC}(\text{LOW})$ 時間	10.0	-	μs

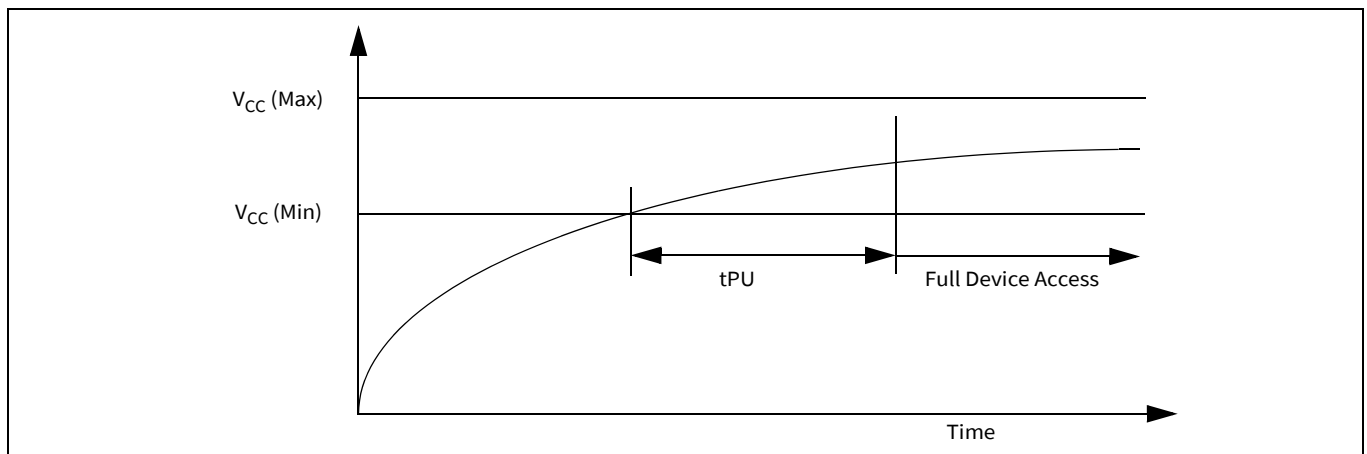


Figure 122 電源投入

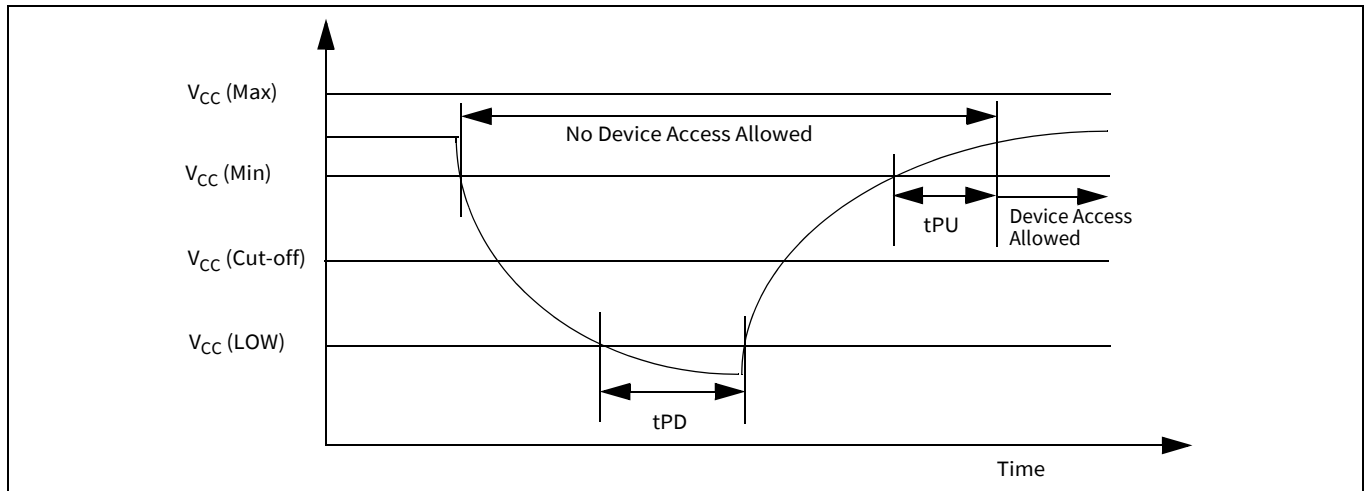


Figure 123 電源切断と電圧低下

電氣的仕様

12.6 DC 特性

12.6.1 産業用

-40°C ~ +85°C の動作範囲内で適用可能です。

Table 58 DC 特性 - 産業用

記号	パラメーター	テスト条件	Min	Typ ^[72]	Max	単位
V _{IL}	入力 LOW 電圧		-0.5	-	0.3xV _{CC}	V
V _{IH}	入力 HIGH 電圧		0.7xV _{CC}	-	V _{CC} +0.4	V
V _{OL}	出力 LOW 電圧	I _{OL} = 0.1 mA	-	-	0.2	V
V _{OH}	出力 HIGH 電圧	I _{OH} = -0.1 mA	V _{CC} - 0.2	-	-	V
I _{LI}	入力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±2	µA
I _{LO}	出力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±2	µA
I _{CC1}	アクティブ電源電流 (READ) ^[73]	50 MHz でのシリアル SDR 133 MHz でのシリアル SDR 133 MHz での QIO/QPI SDR 80 MHz での QIO/QPI DDR	-	10 25 60 70	18 30 65 90	mA
I _{CC2}	アクティブ電源電流 (ページプログラム)	CS# = V _{CC}	-	60	100	mA
I _{CC3}	アクティブ電源電流 (WRR または WRAR)	CS# = V _{CC}	-	60	100	mA
I _{CC4}	アクティブ電源電流 (SE)	CS# = V _{CC}	-	60	100	mA
I _{CC5}	アクティブ電源電流 (BE)	CS# = V _{CC}	-	60	100	mA
I _{SB}	スタンバイ電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS} , 産業用温度範囲	-	25	100	µA
I _{DPD}	ディープパワーダウン電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS} , 産業用温度範囲	-	6	50	µA
I _{POR}	パワー オンリセット電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS}	-	-	80	mA

注:

72. Typ 値は T_{AI} = 25°C および V_{CC} = 1.8V のときです。

73. 読み出しデータの返しの間、出力は未接続です。出力スイッチング電流は含まれません。

12.6.2 産業用プラス

-40°C ~ +105°C の動作範囲内で適用可能です。

Table 59 DC 特性 - 産業用プラス

記号	パラメーター	テスト条件	Min	Typ ^[74]	Max	単位
V _{IL}	入力 LOW 電圧		-0.5	-	0.3xV _{CC}	V
V _{IH}	入力 HIGH 電圧		0.7xV _{CC}	-	V _{CC} +0.4	V
V _{OL}	出力 LOW 電圧	I _{OL} = 0.1 mA	-	-	0.2	V
V _{OH}	出力 HIGH 電圧	I _{OH} = -0.1 mA	V _{CC} - 0.2	-	-	V
I _{LI}	入力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±4	μA
I _{LO}	出力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±4	μA
I _{CC1}	アクティブ電源電流 (READ) ^[75]	50 MHz でのシリアル SDR 133 MHz でのシリアル SDR 133 MHz での QIO/QPI SDR 80 MHz での QIO/QPI DDR	-	10 25 60 70	18 30 65 90	mA
I _{CC2}	アクティブ電源電流 (ページプログラム)	CS# = V _{CC}	-	60	100	mA
I _{CC3}	アクティブ電源電流 (WRR または WRAR)	CS# = V _{CC}	-	60	100	mA
I _{CC4}	アクティブ電源電流 (SE)	CS# = V _{CC}	-	60	100	mA
I _{CC5}	アクティブ電源電流 (BE)	CS# = V _{CC}	-	60	100	mA
I _{SB}	スタンバイ電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS} ,	-	25	300	μA
I _{DPD}	ディープパワーダウン電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS} ,	-	6	100	μA
I _{POR}	パワー オンリセット電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS}	-	-	80	mA

注:

74. Typ 値は T_{AI} = 25°C および V_{CC} = 1.8V のときです。

75. 読み出しデータ返しの間、出力は未接続です。出力スイッチング電流は含まれません。

12.6.3 拡張

-40°C ~ +125°C の動作範囲内で適用可能です。

Table 60 DC 特性 - 拡張

記号	パラメーター	テスト条件	Min	Typ ^[76]	Max	単位
V _{IL}	入力 LOW 電圧		-0.5	-	0.3xV _{CC}	V
V _{IH}	入力 HIGH 電圧		0.7xV _{CC}	-	V _{CC} +0.4	V
V _{OL}	出力 LOW 電圧	I _{OL} = 0.1 mA		-	0.2	V
V _{OH}	出力 HIGH 電圧	I _{OH} = -0.1 mA	V _{CC} - 0.2	-	-	V
I _{LI}	入力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±4	μA
I _{LO}	出力リーク電流	V _{CC} = V _{CC} Max, V _{IN} = V _{IH} または V _{SS} , CS# = V _{IH}	-	-	±4	μA
I _{CC1}	アクティブ電源電流 (READ) ^[77]	50 MHz でのシリアル SDR 133 MHz でのシリアル SDR 133 MHz での QIO/QPI SDR 80 MHz での QIO/QPI DDR	-	10 25 60 70	18 30 65 90	mA
I _{CC2}	アクティブ電源電流 (ページプログラム)	CS# = V _{CC}	-	60	100	mA
I _{CC3}	アクティブ電源電流 (WRR または WRAR)	CS# = V _{CC}	-	60	100	mA
I _{CC4}	アクティブ電源電流 (SE)	CS# = V _{CC}	-	60	100	mA
I _{CC5}	アクティブ電源電流 (BE)	CS# = V _{CC}	-	60	100	mA
I _{SB}	スタンバイ電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS}	-	-	300	μA
I _{DPD}	ディープパワーダウン電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS}	-	6	170	μA
I _{POR}	パワーオンリセット電流	IO3/RESET#, CS# = V _{CC} ; SI, SCK = V _{CC} または V _{SS}	-	-	80	mA

注:

76. Typ 値は T_{AI} = 25°C および V_{CC} = 1.8V のときです。

77. 読み出しデータ返しの間、出力は未接続です。出力スイッチング電流は含まれません。

12.6.4 アクティブ電力モードおよびスタンバイ電力モード

チップセレクト (CS#) が LOW のとき、デバイスは有効になっており、アクティブ電力モードになります。CS# が HIGH のとき、デバイスは無効になっていますが、すべてのプログラム、消去および書き込み動作が完了するまではアクティブ電力モードのままです。その後、デバイスはスタンバイ電力モードに移行し、消費電力は I_{SB} に低下します。

12.6.5 ディープパワーダウン電力モード (DPD)

コマンド命令コード「B9h」を入力することでディープパワーダウン電力モードは有効になり、電力消費量は I_{DPD} に低下します。DPD コマンドは、デバイスが組込みアルゴリズムを実行していない (要するに揮発性ステータスレジスタ 1 の書き込み中 (WIP) ビットが 0 にクリアされる (SR1V[0]=0)) ときのみ受け入れられます。DPD モードでは、デバイスは DPD 終了コマンド (RES ABh) とハードウェアリセット (RESET# および IO3_RESET#) のみに応答します。他のコマンドは DPD モードの間無視されます。

Table 61 有効な DPD モード開始 / 終了シーケンス

電流のモード	CS#	SCK	コマンド	次のモード	コマンド
アクティブ	LOW から HIGH	該当なし	該当なし	スタンバイ	
スタンバイ	HIGH から LOW	トグル	B9h DPD 開始	DPD	CS# が HIGH になってから t_{DPD} 期間が経過した後、DPD モードが開始します (Table 10 を参照してください)。
DPD	HIGH から LOW	トグルなし	該当なし	DPD	SCK がトグルし、コマンドが ABh でない場合、デバイスは DPD のままです。
		トグル	ABh 以外のコマンド		
DPD	HIGH から LOW	トグル	ABh DPD 終了	スタンバイ	CS# が HIGH になってから t_{RES} 期間が経過した後、DPD モードが終了します (Table 10 を参照してください)。 CS# が HIGH になって DPD 終了を開始した後、SCK がトグルしていないときに CS# が遷移するとシーケンスが無効です。

13 デバイス識別

13.1 OTP メモリ空間アドレス マップ

SFDP アドレス空間には、SFDP データ構造を識別し、各パラメーターへのポインターを提供するアドレス 0 から始まるヘッダが含まれています。1つのパラメーターは JEDEC JESD216 Rev B 規格に準拠します。インフィニオンは ID-CFI アドレス空間に指して追加のパラメーターを提供します。つまり、ID-CFI アドレス空間は SFDP アドレス空間のサブセットです。JEDEC パラメーターは ID-CFI アドレス空間に配置されているため、CFI パラメーターであり、SFDP パラメーターです。このように、SFDP と ID-CFI 両方の情報は RSFDP または RDID コマンドでアクセスできます。

Table 62 SFDP 概要マップ

バイト アドレス	説明
0000h	JEDEC JESD216B SFDP 空間内のロケーション 0: SFDP ヘッダの開始
...	SFDP ヘッダの残りの部分に続いて未定義の空間
1000h	ID-CFI 空間内のロケーション 0: ID-CFI パラメーター テーブルの開始
...	ID-CFI パラメーター
1090h	CFI パラメーター テーブルの 1つとしてグループ化された SFDP パラメーター テーブルの開始 (CFI パラメーター自体の開始は 108Eh、SFDP パラメーター テーブル データはダブルワード境界調整され 1090h の開始)
...	SFDP パラメーター テーブルの残りの部分に続いてさらなる CFI パラメーターまたは未定義空間

13.2 デバイス ID と共通フラッシュ インターフェース (ID-CFI) アドレス マップ – 標準

13.2.1 フィールドの定義

Table 63 メーカー / デバイス ID

バイト アドレス	データ	説明
00h	01h	インフィニオンのメーカー ID
01h	02h	デバイス ID の最上位バイト - メモリ インターフェース タイプ
02h	17h (64 Mb)	デバイス ID の最下位バイト - 容量
03h	4Dh	ID-CFI 長 - 続くバイト数。値を現在のロケーション 03h に加えると、ID-CFI レガシー アドレス マップ の最後の有効なアドレスになります。レガシー CFI アドレス マップ は、プライマリベンダー固有拡張クエリで終わります。オリジナルのレガシー長は下位ソフトウェア互換性のために維持されます。ただし、CFI クエリ識別文字列は、FS-S ファミリに関連する追加情報を含む代替ベンダー固有拡張クエリへのポインターも含まれます。
04h	00h (ユニフォーム 256 KB 物理セクタ) 01h (ユニフォーム 64 KB 物理セクタ)	物理セクタ アーキテクチャ FS-S ファミリはユニフォーム セクタに加えてオプションとして 4 KB パラメーター セクタに対応するよう設定できます。
05h	81h (FS-S ファミリ)	ファミリ ID
06h	xxh	モデル番号の ASCII 文字列
07h	xxh	モデル番号定義は、 注文製品番号 を参照してください。
08h	xxh	予約済み
09h	xxh	予約済み
0Ah	xxh	予約済み
0Bh	xxh	予約済み
0Ch	xxh	予約済み
0Dh	xxh	予約済み
0Eh	xxh	予約済み
0Fh	xxh	予約済み

Table 64 CFI クエリ識別用文字列

バイト アドレス	データ	説明
10h 11h 12h	51h 52h 59h	クエリ固有 ASCII 文字列「QRY」
13h 14h	02h 00h	プライマリ OEM コマンド セット FL-P 後方互換コマンド セット ID
15h 16h	40h 00h	プライマリ拡張テーブルのアドレス
17h 18h	53h 46h	代替 OEM コマンド セット SPI (F) インターフェース, S 技術のための ASCII 文字列「FS」
19h 1Ah	51h 00h	代替 OEM 拡張テーブルのアドレス

Table 65 CFI システム インターフェース文字列

バイト アドレス	データ	説明
1Bh	17h	V _{CC} Min. (消去 / プログラム): 100 mV BCD)
1Ch	19h	V _{CC} Max. (消去 / プログラム): 100 mV BCD)
1Dh	00h	V _{PP} Min 電圧 (00h = V _{PP} なし)
1Eh	00h	V _{PP} Max 電圧 (00h = V _{PP} なし)
1Fh	09h	1 バイト プログラムの Typ タイムアウト = 2 ^N μs
20h	09h	最小サイズ ページ プログラムの Typ タイムアウト = 2 ^N μs (00h = 未対応)
21h	08h (4 KB または 64 KB)	個別セクタ消去の Typ タイムアウト = 2 ^N ms
22h	05h (64 Mb)	チップ全体消去の Typ タイムアウト = 2 ^N ms (00h = 未対応)
23h	02h	バイト プログラムの Max タイムアウト = 2 ^N Typ タイムアウト
24h	02h	ページ プログラムの Max タイムアウト = 2 ^N Typ タイムアウト
25h	03h	個別セクタ消去の Max タイムアウト = 2 ^N Typ タイムアウト
26h	02h	チップ全体消去の Max タイムアウト = 2 ^N Typ タイムアウト (00h = 未対応)

Table 66 ボトム ブート工場出荷初期状態のデバイス ジオメトリ定義

バイト アドレス	データ	説明
27h	17h (64 Mb)	デバイス サイズ = 2 ^N バイト
28h	02h	フラッシュ デバイス インターフェースの説明
29h	01h	0000h = x8 のみ 0001h = x16 のみ 0002h = x8/x16 対応 0003h = x32 のみ 0004h = シングル I/O SPI, 3 バイト アドレス 0005h = マルチ I/O SPI, 3 バイト アドレス 0102h = マルチ I/O SPI, 3 または 4 バイト アドレス
2Ah	08h	マルチ バイト 書き込みの最大バイト数 = 2 ^N
2Bh	00h	0000h = 未対応 0008h = 256B ページ 0009h = 512B ページ
2Ch	03h	デバイス内の消去ブロック領域数 1 = ユニフォーム デバイス, >1 = ブート デバイス

注:

78.FS-SMD デバイスは、ハイブリッド セクタ アーキテクチャ (8 セクタは 4KB、残りのすべてのセクタはユニフォーム 64 KB または 256 KB) またはユニフォーム セクタ アーキテクチャ (全セクタは 64 KB または 256 KB) にユーザーによって設定できます。また FS-S デバイスは、4 KB パラメーター セクタがメモリ アドレス空間の最上部にあるようにユーザーによって設定できます。上記の表の CFI ジオメトリ情報は出荷時の初期設定状態にのみ対応します。すべてのデバイスは初期設定状態として、4 KB セクタがアレイ アドレス空間の最下部に配置されているハイブリッド セクタ アーキテクチャでインフィニオンから出荷されています。ただし、セクタ マップを反転させて 4 KB セクタをアレイ アドレス マップの最上部に配置するためにデバイス コンフィギュレーション TBPARM ビット CR1NV[2] をプログラムできます。アドレス マップから 4 KB セクタを除去するために 20h_NV ビット (CR3NV[3]) をプログラムできます。フラッシュ デバイス ドライバー ソフトウェアは後で TBPARM と 20h_NV ビットを確認し、セクタ マップが反転されたかハイブリッド セクタが除去されたかを判定する必要があります。

Table 66 ボトム ブート工場出荷初期状態のデバイス ジオメトリ定義 (continued)

バイトアドレス	データ	説明
2Dh	07h	消去ブロック領域 1 の情報 (JEDEC JEP137 を参照してください) 8 セクタ = 8 - 1 = 0007h 4 KB セクタ = 256 バイト x 0010h
2Eh	00h	
2Fh	10h	
30h	00h	
31h	00h	消去ブロック領域 2 の情報 (JEDEC JEP137 を参照してください) 1 セクタ = 1 - 1 = 0000h 32 KB セクタ = 256 バイト x 0080h
32h	00h	
33h	80h	
34h	00h	
35h	7Eh (64 Mb)	消去ブロック領域 3 の情報 127 セクタ = 127 - 1 = 007Eh (64 Mb)
36h	00h	
37h	00h	
38h	00h	
39h ~ 3Fh	FFh	RFU

注:

78.FS-S MD デバイスは、ハイブリッド セクタ アーキテクチャ (8 セクタは 4KB、残りのすべてのセクタはユニフォーム 64 KB または 256 KB) またはユニフォーム セクタ アーキテクチャ (全セクタは 64 KB または 256 KB) にユーザーによって設定できます。また FS-S デバイスは、4 KB パラメーターセクタがメモリアドレス空間の最上部にあるようにユーザーによって設定できます。上記の表の CFI ジオメトリ情報は出荷時の初期設定状態にのみ対応します。すべてのデバイスは初期設定状態として、4 KB セクタがアレイアドレス空間の最下部に配置されているハイブリッド セクタ アーキテクチャでインフィニオンから出荷されています。ただし、セクタマップを反転させて 4 KB セクタをアレイアドレスマップの最上部に配置するためにデバイス コンフィギュレーション TBPARM ビット CR1NV[2] をプログラムできます。アドレスマップから 4 KB セクタを除去するために 20h_NV ビット (CR3NV[3]) をプログラムできます。フラッシュデバイスドライバソフトウェアは後で TBPARM と 20h_NV ビットを確認し、セクタマップが反転されたかハイブリッドセクタが除去されたかを判定する必要があります。

Table 67 CFI プライマリ ベンダー固有拡張クエリ

バイトアドレス	データ	説明
40h	50h	クエリ固有 ASCII 文字列「PRI」
41h	52h	
42h	49h	
43h	31h	メジャーバージョン番号 = 1, ASCII
44h	33h	マイナーバージョン番号 = 3, ASCII
45h	21h	アドレス依存ロック解除 (ビット 1 ~ 0) 00b = 必要, 01b = 不要 プロセステクノロジー (ビット 5 ~ 2) 0000b = 0.23 μm フローティングゲート 0001b = 0.17 μm フローティングゲート 0010b = 0.23 μm MIRRORBIT™ 0011b = 0.11 μm フローティングゲート 0100b = 0.11 μm MIRRORBIT™ 0101b = 0.09 μm MIRRORBIT™ 1000b = 0.065 μm MIRRORBIT™
46h	02h	消去一時停止 0 = 未対応, 1 = 読み出し専用, 2 = 読み出しおよびプログラム

Table 67 CFI プライマリ ベンダー固有拡張クエリ (continued)

バイトアドレス	データ	説明
47h	01h	セクタ保護 00 = 未対応, X = グループ内のセクタ数
48h	00h	一時的セクタ保護解除 00 = 未対応, 01 = 対応
49h	08h	セクタ保護 / 保護解除方式 04 = 高電圧方式 05 = ソフトウェア コマンド ロック方式 08 = 高度セクタ保護方式
4Ah	00h	同時動作 00 = 未対応, X = セクタ数
4Bh	01h	バースト モード (同期シーケンシャル読み出し) 対応 00 = 未対応, 01 = 対応
4Ch	03h	512B ページのページ モード タイプ, 出荷時初期設定, ユーザー設定可能 00 = 未対応, 01 = 4 ワード読み出しページ, 02 = 8 ワード読み出しページ, 03 = 256 バイト プログラム ページ, 04 = 512 バイト プログラム ページ
4Dh	00h	ACC (アクセラレーション) 最小電源電圧 00 = 未対応, 100 mV
4Eh	00h	ACC (アクセラレーション) 最大電源電圧 00 = 未対応, 100 mV
4Fh	07h	WP# 保護 01 = チップ全体 04 = 最下部書き込み保護のユニフォーム デバイス 05 = 最上部書き込み保護のユニフォーム デバイス 07 = 最上部 / 最下部書き込み保護のユニフォーム デバイス (ユーザー設定可能)
50h	01h	プログラム一時停止 00 = 未対応, 01 = 対応

デバイス識別

代替ベンダー固有の拡張クエリは、FS-S ファミリが提供する拡張コマンドセットに関連する情報を提供します。代替クエリパラメーターのフォーマットは ID バイトおよびパラメーター長バイトで始まりません。パラメーターが不要であるか、またはソフトウェアによって認識されない場合、ドライバーソフトウェアは各パラメーター ID を確認し、長さの値を使用して次のパラメーターにスキップできます。

Table 68 CFI 代替ベンダー固有拡張クエリ ヘッダ

バイト アドレス	データ	説明
51h	41h	クエリ固有 ASCII 文字列「ALT」
52h	4Ch	
53h	54h	
54h	32h	メジャーバージョン番号 = 2, ASCII
55h	30h	マイナーバージョン番号 = 0, ASCII

Table 69 CFI 代替ベンダー固有拡張クエリ パラメーター 0

パラメーター関連のバイトアドレス オフセット	データ	説明
56h	00h	パラメーター ID (注文製品番号)
57h	10h	パラメーター長 (パラメーターに続くバイト数です。値を [現在のロケーション + 1] に加えると、次のパラメーターの最初のバイトになります。)
58h	53h	メーカー (インフィニオン) 用の ASCII「S」
59h	32h	製品文字列 (シングルダイ SPI) 用の ASCII「25」
5Ah	35h	
5Bh	46h	
5Ch	53h	インターフェース文字列 (SPI 1.8 V) 用の ASCII「FS」
5Dh	30h (64 Mb)	容量用の ASCII 文字列
5Eh	36h (64 Mb)	
5Fh	34h (64 Mb)	
60h	53h	テクノロジー (65 nm MIRRORBIT™) 用の ASCII「S」
61h	FFh	将来使用するために予約済み
62h	FFh	
63h	FFh	将来使用するために予約済み
64h	FFh	
65h	FFh	将来使用するために予約済み
66h	xxh	モデル番号用の ASCII 文字列。モデル番号定義は 注文製品番号 を参照してください。
67h	xxh	

Table 70 CFI 代替ベンダー固有拡張クエリ パラメーター 80h アドレス オプション

パラメーター関連のバイトアドレス オフセット	データ	説明
68h	80h	パラメーター ID (注文製品番号)
69h	01h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
6Ah	EBh	ビット 7:5 - 予約済み = 111b ビット 4 - アドレス長ビット CR2V[7] - 有 = 0b ビット 3 - 自動ブート対応 - 無 = 1b ビット 2 - 4 バイト アドレス命令対応 - 有 = 0b ビット 1 - バンク アドレス + 3 バイト アドレス命令対応 - 無 = 1b ビット 0 - 3 バイト アドレス命令対応 - 無 = 1b

Table 71 CFI 代替ベンダー固有拡張クエリ パラメーター 84h 一時停止コマンド

パラメーター関連のバイトアドレス オフセット	データ	説明
6Bh	84h	パラメーター ID (一時停止コマンド)
6Ch	08h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
6Dh	85h	プログラム一時停止命令コード
6Eh	2Dh	プログラム一時停止レイテンシ (Max) (uS)
6Fh	8Ah	プログラム再開命令コード
70h	64h	プログラム再開から次の一時停止までの時間 (Typ) (uS)
71h	75h	消去一時停止命令コード
72h	2Dh	消去一時停止レイテンシ (Max) (uS)
73h	7Ah	消去再開命令コード
74h	64h	消去再開から次の一時停止までの時間 (Typ) (uS)

Table 72 CFI 代替ベンダー固有拡張クエリ パラメーター 88h データ保護

パラメーター関連のバイトアドレス オフセット	データ	説明
75h	88h	パラメーター ID (データ保護)
76h	04h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
77h	0Ah	OTP サイズ 2 ^N バイト, FFh = 未対応
78h	01h	OTP アドレス マップ フォーマット, 01h = FL-S および FS-S フォーマット, FFh = 未対応
79h	xxh	ブロック保護タイプ, モデル依存 00h = FL-P, FL-S, FS-S FFh = 未対応
7Ah	xxh	高度セクタ保護タイプ, モデル依存 01h = FL-S および FS-S ASP.

Table 73 CFI 代替ベンダー固有拡張クエリ パラメーター 94h ECC

パラメーター関連のバイトアドレス オフセット	データ	説明
83h	94h	パラメーター ID (ECC)
84h	01h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
85h	10h	ECC ユニット サイズ バイト, FFh = ECC 無効

Table 74 CFI 代替ベンダー固有拡張クエリ パラメーター 8Ch リセット タイミング

パラメーター関連のバイトアドレス オフセット	データ	説明
7Bh	8Ch	パラメーター ID (リセット タイミング)
7Ch	06h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
7Dh	96h	POR 最大値
7Eh	01h	POR 最大指数 $2^N \mu\text{S}$
7Fh	23h	ハードウェアリセット最大値、FFh = 未対応 (工場出荷初期状態ではハードウェアリセットが無効ですが、後でユーザーによって有効にできます)。
80h	00h	ハードウェアリセット最大指数 $2^N \mu\text{S}$
81h	23h	ソフトウェアリセット最大値, FFh = 未対応
82h	00h	ソフトウェアリセット最大指数 $2^N \mu\text{S}$

Table 75 CFI 代替ベンダー固有拡張クエリ パラメーター F0h RFU

パラメーター関連のバイトアドレス オフセット	データ	説明
83h	F0h	パラメーター ID (RFU)
84h	09h	パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。)
85h	FFh	RFU
...	FFh	RFU
8Dh	FFh	RFU

パラメーター タイプ (パラメーター ID F0h) は何回も出てくることができ、毎回異なる長さを持つことがあります。パラメーターは、ID-CFI マップ内の空間を予約したり、次のパラメーターを必要な境界に整列するように空間 (パッド) を追加するために使用されます。

13.3 シリアルフラッシュ検出可能パラメーター (SFDP) アドレス マップ

13.3.1 JEDEC SFDP Rev B ヘッダ テーブル

Table 76 SFDP ヘッダ

SFDP バイト アドレス	SFDP Dword 名	データ	説明
00h	SFDP ヘッダ 1st DWORD	53h	SFDP 読み出し (5Ah) コマンドのエントリ ポイントで、すなわち SFDP 空間内のロケーション 0 です。ASCII 「S」
01h		46h	ASCII 「F」
02h		44h	ASCII 「D」
03h		50h	ASCII 「P」
04h	SFDP ヘッダ 2nd DWORD	06h	SFDP マイナー リビジョン (06h = JEDEC JESD216 Rev B) - このリビジョンはすべての以前のマイナー リビジョンと後方互換性があります。マイナー リビジョンは、以前の予約済みフィールドの定義、最後にフィールドの追加、または既存フィールドの定義の明確化などの変更です。マイナー リビジョン値の増分は、以前に予約されたパラメーター フィールドが新しい定義を割り当てられたか、または Dword 全体がパラメーター テーブルに追加されたことを示します。しかし、以前の既存フィールド定義は変更されないため、それ以前の SFDP パラメーター テーブルのリビジョンとの下位互換性が維持されます。ソフトウェアのサポート対象であるパラメーターが使用される限り、ソフトウェアは安全にマイナー リビジョン番号の増分を無視できます。すなわち、以前の予約されたフィールドと追加 Dword はマスクまたは無視されなければいけません。ソフトウェアが対応する必要があるリビジョン番号との一致のみを探すために単純にマイナー リビジョン番号を比較しないでください。より高いマイナー リビジョン番号を使用しても問題ありません。
05h		01h	SFDP メジャー リビジョン オリジナルのメジャー リビジョンです。あらゆる SFDP 読み出しおよび構文解析ソフトウェアと互換性があります。
06h		05h	パラメーター ヘッダの数 (0 オリジン、05h = 6 パラメーター)
07h		FFh	未使用
08h	パラメーター ヘッダ 0 1st DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
09h		00h	パラメーター マイナー リビジョン (00h = JESD216) - この古いリビジョンパラメーターヘッダは、マイナー リビジョン 0 パラメーターヘッダを見る必要があるあらゆるレガシー SFDP 読み出しと構文解析ソフトウェアに提供されます。SFDP ソフトウェアは後のマイナー リビジョンがそのソフトウェアリビジョンのために追加されたパラメーターを含む高いマイナー リビジョン番号を探すようにパラメーターヘッダを読み続けるように設計されています。
0Ah		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャー リビジョン)。あらゆる SFDP ソフトウェアはメジャー リビジョンと互換性があります。
0Bh		09h	パラメーター テーブル長 (ダブルワード = Dword = 4 バイト単位) 09h = 9 Dwords

Table 76 SFDP ヘッダ (continued)

SFDP バイトアドレス	SFDP Dword 名	データ	説明
0Ch	パラメーターヘッダ 0 2nd DWORD	90h	パラメーター テーブル ポインター バイト 0 (Dword=4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =1090h
0Dh		10h	パラメーター テーブル ポインター バイト 1
0Eh		00h	パラメーター テーブル ポインター バイト 2
0Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター ID)
10h	パラメーターヘッダ 1 1st DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
11h		05h	パラメーター マイナー リビジョン (05h = JESD216 Rev A) - この古いリビジョンパラメーターヘッダは、マイナーリビジョン5パラメーターヘッダを見る必要があるあらゆるレガシーSFDP読み出しと構文解析ソフトウェアに提供されます。SFDPソフトウェアは後のマイナーリビジョンが追加されたパラメーターを含む後のマイナーリビジョン番号を探すパラメーターヘッダを読み続けるように設計されています。
12h		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャーリビジョン)。あらゆる SFDP ソフトウェアはメジャーリビジョンと互換性があります。
13h		10h	パラメーター テーブル 長 (ダブルワード = Dword = 4 バイト 単位) 10h = 16 Dwords
14h	パラメーターヘッダ 1 2nd DWORD	90h	パラメーター テーブル ポインター バイト 0 (Dword=4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =1090h アドレス
15h		10h	パラメーター テーブル ポインター バイト 1
16h		00h	パラメーター テーブル ポインター バイト 2
17h		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
18h	パラメーターヘッダ 2 1st DWORD	00h	パラメーター ID LSB (00h = JEDEC SFDP 基本 SPI フラッシュ パラメーター)
19h		06h	パラメーター マイナー リビジョン (06h = JESD216 Rev B)
1Ah		01h	パラメーター メジャー リビジョン (01h = オリジナルのメジャーリビジョン)。あらゆる SFDP ソフトウェアはメジャーリビジョンと互換性があります。
1Bh		10h	パラメーター テーブル 長 (ダブルワード = Dword = 4 バイト 単位) 10h = 16 Dwords
1Ch	パラメーターヘッダ 2 2nd DWORD	90h	パラメーター テーブル ポインター バイト 0 (Dword=4 バイト アライン) JEDEC 基本 SPI フラッシュ パラメーター バイト オフセット =1090h アドレス
1Dh		10h	パラメーター テーブル ポインター バイト 1
1Eh		00h	パラメーター テーブル ポインター バイト 2
1Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)

デバイス識別

Table 76 SFDP ヘッダ (continued)

SFDP バイトアドレス	SFDP Dword 名	データ	説明
20h	パラメーターヘッダ 3 1st DWORD	81h	パラメーター ID LSB (81h = SFDP セクタ マップ パラメーター)
21h		00h	パラメーターマイナーリビジョン (00h = JESD216 Rev B で定義された初期バージョン)
22h		01h	パラメーターメジャーリビジョン (01h = オリジナルのメジャーリビジョン)。パラメーター ID を認識するあらゆる SFDP ソフトウェアはメジャーリビジョンと互換性があります。
23h		1Ah	パラメーターテーブル長 (ダブルワード = Dword = 4 バイト単位) OPN 依存 26 = 1Ah
24h	パラメーターヘッダ 3 2nd DWORD	D8h	パラメーターテーブルポインターバイト 0 (Dword = 4 バイトアライン) JEDEC パラメーターバイトオフセット = 10D8h
25h		10h	パラメーターテーブルポインターバイト 1
26h		00h	パラメーターテーブルポインターバイト 2
27h		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
28h	パラメーターヘッダ 4 1st DWORD	84h	パラメーター ID LSB (00h = SFDP 4 バイト アドレス命令パラメーター)
29h		00h	パラメーターマイナーリビジョン (00h = JESD216 Rev B で定義された初期バージョン)
2Ah		01h	パラメーターメジャーリビジョン (01h = オリジナルのメジャーリビジョン)。パラメーター ID を認識するあらゆる SFDP ソフトウェアはメジャーリビジョンと互換性があります。
2Bh		02h	パラメーターテーブル長 (ダブルワード = Dword = 4 バイト単位) (2h = 2 Dword)
2Ch	パラメーターヘッダ 4 2nd DWORD	D0h	パラメーターテーブルポインターバイト 0 (Dword = 4 バイトアライン) JEDEC パラメーターバイトオフセット = 10D0h
2Dh		10h	パラメーターテーブルポインターバイト 1
2Eh		00h	パラメーターテーブルポインターバイト 2
2Fh		FFh	パラメーター ID MSB (FFh = JEDEC で定義されたパラメーター)
30h	パラメーターヘッダ 5 1st DWORD	01h	パラメーター ID LSB (インフィニオンベンダー固有 ID-CFI パラメーター) レガシーメーカー ID 01h = AMD/Spansion
31h		01h	パラメーターマイナーリビジョン (01h = SFDP Rev B テーブルでの ID-CFI 更新)
32h		01h	パラメーターメジャーリビジョン (01h = オリジナルのメジャーリビジョン)。パラメーター ID を認識するあらゆる SFDP ソフトウェアはメジャーリビジョンと互換性があります。
33h		50h	パラメーターテーブル長 (ダブルワード = Dword = 4 バイト単位) パラメーターテーブル長 (ダブルワード = Dword = 4 バイト単位)

Table 76 SFDP ヘッダ (continued)

SFDP バイトアドレス	SFDP Dword 名	データ	説明
34h	パラメーター ヘッダ 5 2nd DWORD	00h	パラメーター テーブル ポインター バイト 0 (Dword=4 バイト アライン) ID-CFI パラメーターのエントリ ポイントはバイト オフセット = SFDP ロケーション 0 に対する 1000h
35h		10h	パラメーター テーブル ポインター バイト 1
36h		00h	パラメーター テーブル ポインター バイト 2
37h		01h	パラメーター ID MSB (01h = JEDEC JEP106 バンク番号 1)

13.3.2 JEDEC SFDP Rev B パラメーター テーブル

CFI データ構造から見ると、すべての SFDP パラメーター テーブルは連続バイト シーケンスとして単一の CFI パラメーターに組み合わされます。

SFDP データ構造から見ると、3つの独立したパラメーター テーブルがあります。その中の2つは固定長であり、残りの1つは注文製品番号 (OPN) のデバイス容量によって可変の構造と長さを持っています。基本フラッシュ パラメーター テーブルおよび 4 バイト アドレス命令パラメーター テーブルは固定長であり、以下のように単一のテーブルとして示されます。このテーブルは CFI パラメーター全体のセクション 1 です。

JEDEC セクタ マップ パラメーター テーブルの構造と長さは容量 OPN によって異なり、一連のテーブルとして示されており、各デバイス容量に対応する1つのテーブルがあります。OPN の適切なテーブルは CFI パラメーター全体のセクション 2 であり、セクション 1 に付属されています。

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
00h	--	該当なし	A5h	CFI パラメーター ID (JEDEC SFDP)
01h	--	該当なし	B0h	CFI パラメーター長 (パラメーターの続くバイト数です。値を [現在のロケーション値+1] に加えると、次のパラメーターの最初のバイトになります。) OPN 依存: 18Dw + 26Dw = 44Dw * 4B = 176B = B0h B
02h	00h	JEDEC 基本フラッシュパラメーター Dword-1	E7h	全体的な SFDP アドレス空間内で 1090h に位置する SFDP JEDEC パラメーターの開始 ビット 7:5 = 未使用 = 111b ビット 4:3 = 06h はステータスレジスタ書き込み命令、ステータスレジスタはデフォルトで不揮発性 = 00b ビット 2 = プログラムバッファ > 64 バイト = 1 ビット 1:0 = ユニフォーム 4 KB 消去は未対応 = 11b
03h	01h		FFh	ビット 15:8 = ユニフォーム 4KB 消去オペコード = 未対応 = FFh
04h	02h		FBh	ビット 23 = 未使用 = 1b ビット 22 = クアッド出力読み出し対応 = 有 = 1b ビット 21 = クアッド I/O 読み出し対応 = 有 = 1b ビット 20 = デュアル I/O 読み出し対応 = 有 = 1b ビット 19 = DDR 対応 = 有 = 1b ビット 18:17 = アドレスバイト数 (3 または 4) = 01b ビット 16 = デュアル出力読み出し対応 = 有 = 1b
05h	03h		FFh	ビット 31:24 = 未使用 = FFh
06h	04h	JEDEC 基本フラッシュパラメーター Dword-2	FFh	ビット単位での容量, 0 オリジン, 16Mb = 00FFFFFFh
07h	05h		FFh	
08h	06h		FFh	
09h	07h		03h (64 Mb)	
0Ah	08h	JEDEC 基本フラッシュパラメーター Dword-3	48h	ビット 7:5 = クアッド I/O (1-4-4) モード サイクル数 = 010b ビット 4:0 = クアッド I/O ダミー サイクル数 = 01000b (工場出荷初期状態)
0Bh	09h		EBh	クアッド I/O 命令コード
0Ch	0Ah		08h	ビット 23:21 = クアッド出力 (1-1-4) モード サイクル数 = 000b ビット 20:16 = クアッド出力ダミー サイクル数 = 01000b
0Dh	0Bh		6Bh	クアッド出力命令コード

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
0Eh	0Ch	JEDEC 基本フラッシュパラメーター Dword-4	08h	ビット 7:5 = デュアル出力 (1-1-2) モード サイクル数 = 000b ビット 4:0 = デュアル出力ダミー サイクル数 = 01000b
0Fh	0Dh		3Bh	デュアル出力命令コード
10h	0Eh		88h	ビット 23:21 = デュアル I/O (1-2-2) モード サイクル数 = 100b ビット 20:16 = デュアル I/O ダミー サイクル数 = 01000b (工場出荷初期状態)
11h	0Fh		BBh	デュアル I/O 命令コード
12h	10h	JEDEC 基本フラッシュパラメーター Dword-5	FEh	ビット 7:5 RFU = 111b ビット 4 = QPI 対応 = 有 = 1b ビット 3:1 RFU = 111b ビット 0 = デュアル オール未対応 = 0b
13h	11h		FFh	ビット 15:8 = RFU = FFh
14h	12h		FFh	ビット 23:16 = RFU = FFh
15h	13h		FFh	ビット 31:24 = RFU = FFh
16h	14h	JEDEC 基本フラッシュパラメーター Dword-6	FFh	ビット 7:0 = RFU = FFh
17h	15h		FFh	ビット 15:8 = RFU = FFh
18h	16h		FFh	ビット 23:21 = デュアル オール モード サイクル数 = 111b ビット 20:16 = デュアル オール ダミー サイクル数 = 11111b
19h	17h		FFh	デュアル オール命令コード
1Ah	18h	JEDEC 基本フラッシュパラメーター Dword-7	FFh	ビット 7:0 = RFU = FFh
1Bh	19h		FFh	ビット 15:8 = RFU = FFh
1Ch	1Ah		48h	ビット 23:21 = QPI モード サイクル数 = 010b ビット 20:16 = QPI ダミー サイクル数 = 01000b
1Dh	1Bh		EBh	QPI モード クアッド I/O (4-4-4) 命令コード
1Eh	1Ch	JEDEC 基本フラッシュパラメーター Dword-8	0Ch	消去タイプ 1、サイズ 2^N バイト = 4 KB = ハイブリッド用 0Ch (工場出荷初期状態)
1Fh	1Dh		20h	消去タイプ 1 命令
20h	1Eh		10h	消去タイプ 2、サイズ 2^N バイト = 64 KB = 10h
21h	1Fh		D8h	消去タイプ 2 命令
22h	20h	JEDEC 基本フラッシュパラメーター Dword-9	12h	消去タイプ 3、サイズ 2^N バイト = 256 KB = 12h
23h	21h		D8h	消去タイプ 3 命令
24h	22h		00h	消去タイプ 4、サイズ 2^N バイト = 未対応 = 00h
25h	23h		FFh	消去タイプ 4 命令 = 未対応 = FFh

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
26h	24h	JEDEC 基本フラッシュパラメーター Dword-10	B1h	ビット 31:30 = 消去タイプ 4 消去, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b:128ms, 11b: 1s) = 1s = 11b (RFU) ビット 29:25 = 消去タイプ 4 消去, 標準時間カウント = 11111b (RFU) ビット 24:23 = 消去タイプ 3 消去, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b:128ms, 11b: 1s) = 128ms = 10b ビット 22:18 = 消去タイプ 3 消去, 標準時間カウント = 00111b (標準消去時間 = カウント + 1 * 単位 = 8 * 128ms = 1024ms) ビット 17:16 = 消去タイプ 2 消去, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b:128ms, 11b: 1s) = 16ms = 01b ビット 15:11 = 消去タイプ 2 消去, 標準時間カウント = 01110b (標準消去時間 = カウント + 1 * 単位 = 15 * 16ms = 240ms) ビット 10:9 = 消去タイプ 1 消去, 標準時間単位 (00b: 1ms, 01b: 16ms, 10b:128ms, 11b: 1s) = 16ms = 01b ビット 8:4 = 消去タイプ 1 消去, 標準時間カウント = 01011b (標準消去時間 = カウント + 1 * 単位 = 12 * 16ms = 192ms) ビット 3:0 = 最大消去時間に標準消去時間の乗数 = 2*(N+1)、N=2h = 4x 2 進フィールド : 11-11111-10-00111-01-01110-01-01011-0001 ニブルフォーマット : 1111_1111_0001_1101_0111_0010_1011_0001 16 進フォーマット : FF_1D_72_B1
27h	25h		72h	
28h	26h		1Dh	
29h	27h		FFh	

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令 パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
2Ah	28h	JEDEC 基本フラッシュパラメーター - 11	82h	ビット 31 = 予約済み = 1b
2Bh	29h		26h	ビット 30:29 = チップ消去, 標準時間単位 (00b: 16ms, 01b: 256ms, 10b: 4s, 11b: 64s) = 64Mb = 4s = 10b
2Ch	2Ah		07h	ビット 28:24 = チップ消去, 標準時間カウント, (カウント + 1) * 単位, 64Mb = 00111b = (7+1) * 4 = 32s
2Dh	2Bh		C7h	ビット 23 = バイトプログラム標準時間, 追加バイト単位 (0b: 1 μ s, 1b: 8 μ s) = 1 μ s = 0b ビット 22:19 = 標準バイトプログラム時間, 追加のバイトカウント, (カウント + 1) * 単位, カウント = 0000b, (標準プログラム時間 = カウント + 1 * 単位 = 1 * 1 μ s = 1 μ s) ビット 18 = 標準バイトプログラム時間, 最初のバイト単位 (0b: 1 μ s, 1b: 8 μ s) = 8 μ s = 1b ビット 17:14 = 標準バイトプログラム時間, 最初のバイトカウント, (カウント + 1) * 単位, カウント = 1100b, (標準プログラム時間 = カウント + 1 * 単位 = 13 * 8 μ s = 104 μ s) ビット 13 = 標準ページプログラム時間単位 (0b: 8 μ s, 1b: 64 μ s) = 64 μ s = 1b ビット 12:8 = 標準ページプログラム時間カウント, (カウント + 1) * 単位, カウント = 00110b, (標準プログラム時間 = カウント + 1 * 単位 = 6 * 64 μ s = 384 μ s) ビット 7:4 = ページサイズ 2 ^N , N = 8h = 256B ページ ビット 3:0 = 最大ページまたはバイトプログラム時間に標準時間の乗数 = 2 * (N+1), N = 2h = 6x 64Mb 2進フィールド: 1-10-00111-0-0000-1-1100-1-00110-1000-0010 ニブルフォーマット: 1100_0111_0000_0111_0010_0110_1001_0010 16進フォーマット: C7_07_26_82

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
2Eh	2Ch	JEDEC 基本フラッシュパラメーター Dword-12	ECh	ビット 31 = 一時停止および再開に対応 = 0b
2Fh	2Dh		93h	ビット 30:29 = 進行中の消去の最大一時停止レイテンシ単位 (00b: 128ns, 01b: 1 μ s, 10b: 8 μ s, 11b: 64 μ s) = 8 μ s = 10b
30h	2Eh		18h	ビット 28:24 = 進行中の消去の最大一時停止レイテンシ カウント = 00101b, 最大消去一時停止レイテンシ = カウント + 1 * 単位 = 6 * 8 μ s = 48 μ s
31h	2Fh		45h	ビット 23:20 = 消去再開から一時停止までの間隔 カウント = 0001b、間隔 = カウント + 1 * 64 μ s = 2 * 64 μ s = 128 μ s ビット 19:18 = 進行中のプログラムの最大一時停止レイテンシ単位 (00b: 128ns, 01b: 1 μ s, 10b: 8 μ s, 11b: 64 μ s) = 8 μ s = 10b ビット 17:13 = 進行中のプログラムの最大一時停止レイテンシ カウント = 00101b、最大消去一時停止レイテンシ = カウント + 1 * 単位 = 6 * 8 μ s = 48 μ s ビット 12:9 = プログラム再開から一時停止までの間隔 カウント = 0001b、間隔 = カウント + 1 * 64 μ s = 2 * 64 μ s = 128 μ s ビット 8 = RFU = 1b ビット 7:4 = 消去一時停止中の禁止動作 = xxx0b: どこでも新しい消去を開始できません (消去ネスティングが許可されません)。 + xx1xb: 消去が一時停止中のセクタ サイズ内で新しいページ プログラムを開始できません。 + x1xxb: 消去が一時停止中のセクタ サイズ内で新しい読み出しを開始できません。 + 1xxx: ビット 5:4 での消去およびプログラム制限は十分です。 = 1100b ビット 3:0 = プログラム一時停止中の禁止動作 = xxx0b: どこでも新しい消去を開始できません (消去ネスティングが許可されません)。 + xx0xb: どこでも新しいページ プログラムを開始できません (プログラム ネスティングが許可されません)。 + x1xxb: プログラムが一時停止中のセクタ サイズ内で読み出しを開始できません。 + 1xxx: ビット 1:0 での消去およびプログラム制限は十分です。 = 1100b 2 進フィールド : 0-10-00100-0001-10-00100-0001-1-1100-1100 ニブル フォーマット : 0100_0101_0001_1000_1001_0011_1110_1100 16 進フォーマット : 45_18_93_EC

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
32h	30h	JEDEC 基本フラッシュパラメーター Dword-13	8Ah	ビット 31:24 = 消去一時停止命令 = 75h
33h	31h		85h	ビット 23:16 = 消去再開命令 = 7Ah
34h	32h		7Ah	ビット 15:8 = プログラム一時停止命令 = 85h
35h	33h		75h	ビット 7:0 = プログラム再開命令 = 8Ah
36h	34h	JEDEC 基本フラッシュパラメーター Dword-14	F7h	ビット 31 = ディープパワーダウン対応 = 対応 = 0
37h	35h		BDh	ビット 30:23 = ディープパワーダウン開始命令 = B9h
38h	36h		D5h	ビット 22:15 = ディープパワーダウン終了命令 = ABh
39h	37h	5Ch		ビット 14:13 = ディープパワーダウン終了から次の動作までの遅延単位 = (00b: 128ns、01b: 1 μ s、10b: 8 μ s、11b: 64 μ s) = 1 μ s = 01b ビット 12:8 = ディープパワーダウン終了から次の動作までの遅延カウント = 11101b、ディープパワーダウン終了から次の動作までの遅延 = (カウント + 1) * 単位 = 29 + 1 * 1 μ s = 30 μ s ビット 7:4 = RFU = Fh ビット 3:2 = デバイス ビジー確認用ステータスレジスタポーリング = 01b: 従来のステータスポーリングに対応 = 05h 命令でステータスレジスタを読み出し、WIP ビット [0] を確認する (0 = レディ 1 = ビジー) ことで従来のポーリングを使用 = 01b ビット 1:0 = RFU = 11b 2進フィールド : 0-10111001-10101011-01-11101-1111-01-11 ニブルフォーマット : 0101_1100_1101_0101_1011_1101_1111_0111 16進フォーマット : 5C_D5_BD_F7

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
3Ah	38h	JEDEC 基本フラッシュパラメーター Dword-15	8Ch	ビット 31:24 = RFU = FFh
3Bh	39h		F6h	ビット 23 = 保持および WP ディセーブル = 未対応 = 0b ビット 22:20 = クアッド イネーブル要件
3Ch	3Ah		5Dh	= 101b: QE はステータスレジスタ 2 のビット 1 です。 ステータスレジスタ 1 はステータス読み出し命令 05h で読み出されます。ステータスレジスタ 2 は命令 35h で読み出されます。QE は、2 バイト目のビット 1 が「1」である 2 データバイトのステータス書き込み命令 01h でセットされます。QE は、2 バイト目のビット 1 が「0」である 2 データバイトのステータス書き込み命令でクリアされます。
3Dh	3Bh		FFh	ビット 19:16 = 0-4-4 モード開始方法 = xxx1b: モードビット [7:0] = モードビット [7:0] = A5h 注: モードを使用する前に QE をセットする必要があります。 + x1xxb: モードビット [7:0] = Axh + 1xxxb: RFU = 1101b ビット 15:10 = 0-4-4 モード終了方法 = xx_1xxb: モードビット [7:0] = 00h は実行中の読み出し動作の終了時にモードを終了します。 + xx_1xxb: 8 クロックの間 DQ0 ~ DQ3 に Fh (モードビットリセット) を入力します。これにより、モードは次の読み出し動作の前に終了されます。 + x1_1xxx: モードビット [7:0] != Axh + 1x_1xx: RFU = 11_1101 ビット 9 = 0-4-4 モードに対応 = 1 ビット 8:4 = 4-4-4 モードイネーブルシーケンス = x_1xxb: デバイスは読み出し - 修正 - 書き込みのシーケンスを使用します: 命令 65h およびその後続くアドレス 800003h を使用してコンフィギュレーションを読み出し、ビット 6 をセットし、命令 71h およびその後続くアドレス 800003h を使用してコンフィギュレーションを書き込みます。コンフィギュレーションは揮発性です。 = 01000b ビット 3:0 = 4-4-4 モードディセーブルシーケンス = x1xxb: デバイスは読み出し - 修正 - 書き込みのシーケンスを使用します: 命令 65h およびその後続くアドレス 800003h を使用してコンフィギュレーションを読み出し、ビット 6 をクリアし、命令 71h およびその後続くアドレス 800003h を使用してコンフィギュレーションを書き込みます。コンフィギュレーションは揮発性です。 + 1xxxb: ソフトリセット 66-99 シーケンスを発行 = 1100b 2 進フィールド: 11111111-0-101-1101-111101-1-01000-1100 ニブルフォーマット: 1111_1111_0101_1101_1111_0110_1000-1100 16 進フォーマット: FF_5D_F6_8C

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
3Eh	3Ch	JEDEC 基本フラッシュパラメーター Dword-16	F0h	ビット 31:24 = 4 バイト アドレスリング開始
3Fh	3Dh		30h	= xxxx_xxx1b: 命令 B7h を発行します (その前の書き込みイネーブルは必要ありません)。
40h	3Eh		F8h	+ xx1x_xxxx b: 専用の 4 バイト アドレス命令セットに対応します。命令セット定義についてはベンダーのデータシートを参照してください。
41h	3Fh		A1h	+ 1xxx_xxxx b: 予約済み = 10100001b ビット 23:14 = 4 バイト アドレスリング終了 = xx_xx1x_xxxx b: ハードウェアリセット + xx_x1xx_xxxx b: ソフトウェアリセット (この Dword のビット 13:8 を参照してください) + xx_1xxx_xxxx b: パワーサイクル + x1_xxxx_xxxx b: 予約済み + 1x_xxxx_xxxx b: 予約済み = 11_1110_0000b ビット 13:8 = ソフトリセットおよび回復シーケンス対応 = x1_xxxx b: リセットイネーブル命令 66h に続いてリセット命令 99h を発行します。 リセットイネーブルおよびリセットシーケンスは、デバイスの動作モードに応じて 1、2 または 4 ワイヤ上で発行されます。 + 1x_xxxx b: デバイスがこのモードで動作できる場合、上記の 0-4-4 モード終了は、他のリセットシーケンスの前に必要です。 = 110000b ビット 7 = RFU = 1 ビット 6:0 = 揮発性または不揮発性レジスタおよびステータスレジスタ 1 用の書き込みイネーブル命令 = + xx1_xxxx b: ステータスレジスタ 1 は、揮発性および不揮発性ビットが混在します。 06h 命令はレジスタの書き込みを可能にするために使用されます。 + x1x_xxxx b: 予約済み + 1xx_xxxx b: 予約済み = 1110000b 2 進フィールド : 10100001-1111100000-110000-1-1110000 ニブルフォーマット : 1010_0001_1111_1000_0011_0000_1111_0000 16 進フォーマット : A1_F8_30_F0

Table 77 CFI および SFDP セクション 1, 基本フラッシュおよび 4 バイト アドレス 命令 パラメーター

108Eh からの CFI パラメーター関連のバイトアドレス オフセット	1090h からの SFDP パラメーター関連のバイトアドレス オフセット	SFDP Dword 名	データ	説明
42h	40h	JEDEC 4 バイト アドレス 命令 パラメーター Dword-1	FFh	対応 = 1、未対応 = 0
43h	41h		CEh	ビット 31:20 = RFU = FFFh
44h	42h		FFh	ビット 19 = 不揮発性個別セクタ ロック書き込みコマンドの対応、命令 = E3h = 1
45h	43h		FFh	ビット 18 = 不揮発性個別セクタ ロック読み出しコマンドの対応、命令 = E2h = 1 ビット 17 = 揮発性個別セクタ ロック書き込みコマンドの対応、命令 = E1h = 1 ビット 16 = 揮発性個別セクタ ロック読み出しコマンドの対応、命令 = E0h = 1 ビット 15 = (1-4-4) DTR_Read コマンドの対応、命令 = EEh = 1 ビット 14 = (1-2-2) DTR_Read コマンドの対応、命令 = BEh = 0 ビット 13 = (1-1-1) DTR_Read コマンドの対応、命令 = 0Eh = 0 ビット 12 = 消去コマンド タイプ 4 の対応 = 0 ビット 11 = 消去コマンド タイプ 3 の対応 = 1 ビット 10 = 消去コマンド タイプ 2 の対応 = 1 ビット 9 = 消去コマンド タイプ 1 の対応 = 1 ビット 8 = (1-4-4) ページ プログラム コマンドの対応、命令 = 3Eh = 0 ビット 7 = (1-1-4) ページ プログラム コマンドの対応、命令 = 34h = 1 ビット 6 = (1-1-1) ページ プログラム コマンドの対応、命令 = 12h = 1 ビット 5 = (1-4-4) FAST_READ コマンドの対応、命令 = ECh = 1 ビット 4 = (1-1-4) FAST_READ コマンドの対応、命令 = 6Ch = 1 ビット 3 = (1-2-2) FAST_READ コマンドの対応、命令 = BCh = 1 ビット 2 = (1-1-2) FAST_READ コマンドの対応、命令 = 3Ch = 1 ビット 1 = (1-1-1) FAST_READ コマンドの対応、命令 = 0Ch = 1 ビット 0 = (1-1-1) READ コマンドの対応、命令 = 13h = 1
46h	44h	JEDEC 4 バイト アドレス 命令 パラメーター Dword-2	21h	ビット 31:24 = FFh = 消去タイプ 4 用命令 : RFU
47h	45h		DCh	ビット 23:16 = DCh = 消去タイプ 3 用命令
48h	46h		DCh	ビット 15:8 = DCh = 消去タイプ 2 用命令
49h	47h		FFh	ビット 7:0 = 21h = 消去タイプ 1 用命令

セクタ マップ パラメーター テーブルの注意：

以下のセクタ マップ パラメーター テーブルは、デバイス アドレス マップ の設定方法を識別する手段となり、対応されている各コンフィギュレーションのセクタ マップを提供します。アドレス マップの選択に影響を与える関連コンフィギュレーションレジスタビットを読み出す一連のコマンドを定義することで行います。1つ以上のコンフィギュレーションビットを読み出す必要がある場合、すべてのビットは現行のアドレス マップを選択するためのインデックス値に連結されます。

S25FS064S のセクタ マップ コンフィギュレーションを識別するために、以下のコンフィギュレーションビットを MSB から LSB への順で読み出してコンフィギュレーション マップ インデックス値を形成します。

- CR3NV[3] - 0 = ハイブリッド アーキテクチャ、1 = ユニフォーム アーキテクチャ
- CR1NV[2] - 0 = 4 KB パラメーター セクタが最下部、1 = 4 KB セクタが最上部
- CR3NV[1] - 0 = 64 KB ユニフォーム セクタ サイズ、1 = 256 KB ユニフォーム セクタ サイズ

いくつかのコンフィギュレーションビット値のためその他のコンフィギュレーションビット値が該当無し(ドントケア)となることがあるため、インデックス値のすべてのあり得る組合せが有効なアドレス マップを定義するわけではありません。SFDP セクタ マップ パラメーター テーブルは選択されたコンフィギュレーションビット組合せのみに対応します。SFDP パラメーター テーブルを使用してセクタ マップを定義するとき、その他の組合せはセクタ アドレス マップの設定に使用しないでください。対応されているインデックス値の組合せは次のとおりです。

デバイス	CR3NV[3]	CR1NV[2]	CR3NV[1]	インデックス値	説明
FS64S	0	0	0	00h	4 KB セクタは最下部、残りの部分は 64 KB セクタ
	0	1	0	02h	4 KB セクタは最上部、残りの部分は 64 KB セクタ
	0	0	1	01h	4 KB セクタは最下部、残りの部分は 256 KB セクタ
	0	1	1	03h	4 KB セクタは最上部、残りの部分は 256 KB セクタ
	1	0	0	04h	ユニフォーム 64 KB セクタ
	1	0	0	05h	ユニフォーム 256 KB セクタ

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
4Ah	48h	JEDEC セクタ マップ パラメーター Dword-1 設定検出 1	FCh	ビット 31:24 = データ マスク読み出し = 0000_1000b; 20h_NV 値のデータバイトのビット 3 を選択します。 0 = 4KB パラメーター セクタのハイブリッド マップ 1 = ユニフォーム マップ ビット 23:22 = コンフィギュレーション検出コマンドのアドレス長 = 11b; 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b; 可変レイテンシ ビット 15:8 = コンフィギュレーション検出命令 = 65h; 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタではない = 0
4Bh	49h		65h	
4Ch	4Ah		FFh	
4Dh	4Bh		08h	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
4Eh	4Ch	JEDEC セクタ マップ パラメーター Dword-2 設定検出 1	04h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_04h: CR3NV のアドレス
4Fh	4Dh		00h	
50h	4Eh		00h	
51h	4Fh		00h	
52h	50h	JEDEC セクタ マップ パラメーター Dword-3 設定検出 2	FCh	ビット 31:24 = データ マスク読み出し = 0000_0100b: TBPARM_0 値のデータバイトのビット 2 を選択します。 0 = 下部 4 KB パラメーター セクタ 1 = 上部 4 KB パラメーター セクタ ビット 23:22 = コンフィギュレーション検出コマンド アドレス長 = 11b: 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b: 可変長 ビット 15:8 = コンフィギュレーション検出命令 = 65h: 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタではない = 0
53h	51h		65h	
54h	52h		FFh	
55h	53h		04h	
56h	54h	JEDEC セクタ マップ パラメーター Dword-4 設定検出 2	02h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_02h: CR1NV のアドレス
57h	55h		00h	
58h	56h		00h	
59h	57h		00h	
5Ah	58h	JEDEC セクタ マップ パラメーター Dword-5 設定検出 3	FDh	ビット 31:24 = データ マスク読み出し = 0000_0010b: D8h_NV 値のデータバイトのビット 1 を選択します。 0 = 64 KB ユニフォーム セクタ 1 = 256 KB ユニフォーム セクタ ビット 23:22 = コンフィギュレーション検出コマンド アドレス長 = 11b: 可変長 ビット 21:20 = RFU = 11b ビット 19:16 = コンフィギュレーション検出コマンド レイテンシ = 1111b: 可変長 ビット 15:8 = コンフィギュレーション検出命令 = 65h: 任意レジスタ読み出し ビット 7:2 = RFU = 111111b ビット 1 = コマンド ディスクリプタ = 0 ビット 0 = 終了ディスクリプタ = 1
5Bh	59h		65h	
5Ch	5Ah		FFh	
5Dh	5Bh		02h	
5Eh	5Ch	JEDEC セクタ マップ パラメーター Dword-6 設定検出 3	04h	ビット 31:0 = セクタ マップ コンフィギュレーション検出コマンド アドレス = 00_00_00_04h: CR3NV のアドレス
5Fh	5Dh		00h	
60h	5Eh		00h	
61h	5Fh		00h	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
62h	60h	JEDEC セクタ マップ パラメーター Dword-7 設定 0 ヘッダ	FEh	ビット 31:24 = RFU = FFh
63h	61h		00h	ビット 23:16 = 領域カウンタ (Dword - 1) = 02h: 3つの領域
64h	62h		02h	ビット 15:8 = コンフィギュレーション ID = 00h: 4 KB セクタは最下部にあり、残りの部分は 64 KB セクタです。
65h	63h		FFh	ビット 7:2 = RFU = 111111b ビット 1 = マップディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
66h	64h	JEDEC セクタ マップ パラメーター Dword-8 設定 0 領域 0	F1h	ビット 31:8 = 領域サイズ = 00007Fh:
67h	65h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4KB セクタ = 32KB
68h	66h		00h	カウンタ = 32KB/256 = 128、値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh
69h	67h		00h	ビット 7:4 = RFU = Fh 消去タイプに未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、4KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64KB 消去であり、4KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4KB 消去であり、4KB セクタ領域で対応されます。
6Ah	68h	JEDEC セクタ マップ パラメーター Dword-9 設定 0 領域 1	F2h	ビット 31:8 = 領域サイズ = 00007Fh:
6Bh	69h		7Fh	256 バイト単位のカウンタ -1 の領域サイズ = 1 x 32KB セクタ = 32KB
6Ch	6Ah		00h	カウンタ = 32KB/256 = 128、値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh
6Dh	6Bh		00h	ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、32KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、32KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、32KB セクタ領域では対応されません。

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
6Eh	6Ch	JEDEC セクタ マップ パラメーター Dword-10 設定 0 領域 2	F2h	ビット 31:8 = 64Mb デバイス領域サイズ = 007EFFh: 256 バイト単位のカウンタ - 1 の領域サイズ = 127 x 65536B セクタ = 8323072B カウンタ = 8323072B/256 = 32512、 値 = カウンタ - 1 = 32512 - 1 = 32511 = 7EFFh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256KB 消去であり、64KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64KB 消去であり、64KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4KB 消去であり、64KB セクタ領域では対応されません。
6Fh	6Dh		FFh	
70h	6Eh		7Eh (64 Mb)	
71h	6Fh		00h	
72h	70h	JEDEC セクタ マップ パラメーター Dword-11 設定 2 ヘッダ	FEh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (Dword -1) = 02h: 3 つの領域 ビット 15:8 = コンフィギュレーション ID = 02h: 4 KB セクタは最上部にあり、残りの部分は 64 KB セクタです。 ビット 7:2 = RFU = 111111b ビット 1 = マップディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
73h	71h		02h	
74h	72h		02h	
75h	73h		FFh	
76h	74h	JEDEC セクタ マップ パラメーター Dword-12 設定 2 領域 0	F2h	ビット 31:8 = 64 Mb デバイス領域サイズ = 007EFFh: 256 バイト単位のカウンタ - 1 の領域サイズ = 127 x 65536B セクタ = 8323072B カウンタ = 8323072B/256 = 32512、 値 = カウンタ - 1 = 32512 - 1 = 32511 = 7EFFh ビット 7:4 = RFU = Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b 消去タイプ 3 は 256 KB 消去であり、64 KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b 消去タイプ 2 は 64 KB 消去であり、64 KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b 消去タイプ 1 は 4 KB 消去であり、64 KB セクタ領域では対応されません。
77h	75h		FFh	
78h	76h		7Eh (64 Mb)	
79h	77h		00h	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
7Ah	78h	JEDEC セクタ マップ パラメーター Dword-13 設定 2 領域 1	F2h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ - 1 の領域サイズ = 1 x 32 KB セクタ = 32 KB カウンタ = 32 KB/256 = 128, 値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b 消去タイプ 3 は 256 KB 消去であり、32 KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b 消去タイプ 2 は 64 KB 消去であり、32 KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b 消去タイプ 1 は 4 KB 消去であり、32 KB セクタ領域では対応されません。
7Bh	79h		7Fh	
7Ch	7Ah		00h	
7Dh	7Bh		00h	
7Eh	7C	JEDEC セクタ マップ パラメーター Dword-14 設定 2 領域 2	F1h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ - 1 の領域サイズ = 8 x 4 KB セクタ = 32 KB カウンタ = 32 KB/256 = 128, 値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプに未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256 KB 消去であり、4 KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、4 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4 KB 消去であり、4 KB セクタ領域で対応されます。
7Fh	7D		7Fh	
80h	7E		00h	
81h	7F		00h	
82h	80h	JEDEC セクタ マップ パラメーター Dword-15 設定 1 ヘッダ	FEh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (Dword - 1) = 02h: 3 つの領域 ビット 15:8 = コンフィギュレーション ID = 01h: 4 KB セクタは最下部にあり、残りの部分は 256 KB セクタです。 ビット 7:2 = RFU = 111111b ビット 1 = マップ ディスクリプタ = 1 ビット 0 = 終了 ディスクリプタではない = 0
83h	81h		01h	
84h	82h		02h	
85h	83h		FFh	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
86h	84h	JEDEC セクタ マップ パラメーター Dword-16 設定 1 領域 0	F1h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ -1 の領域サイズ = 8 x 4 KB セクタ = 32 KB カウンタ = 32 KB/256 = 128, 値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256 KB 消去であり、4 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、4 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4 KB 消去であり、4 KB セクタ領域で対応されます。
87h	85h		7Fh	
88h	86h		00h	
89h	87h		00h	
8Ah	88h	JEDEC セクタ マップ パラメーター Dword-17 設定 1 領域 1	F4h	ビット 31:8 = 領域サイズ = 00037Fh: 256 バイト単位のカウンタ -1 の領域サイズ = 1 x 224 KB セクタ = 224 KB カウンタ = 224 KB/256 = 896, 値 = カウンタ - 1 = 896 - 1 = 895 = 37Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256 KB 消去であり、224 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、224 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、224 KB セクタ領域では対応されません。
8Bh	89h		7Fh	
8Ch	8Ah		03h	
8Dh	8Bh		00h	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
8Eh	8Ch	JEDEC セクタ マップ パラメーター Dword-18 設定 1 領域 2	F4h	ビット 31:8 = 64 Mb デバイス領域サイズ = 007BFFh: 256 バイト単位のカウンタ - 1 の領域サイズ = 31 x 262144B セクタ = 8126464B カウンタ = 8126464B/256 = 31744, 値 = カウンタ - 1 = 31744 - 1 = 31743 = 7BFFh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256 KB 消去であり、256 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、256 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、256 KB セクタ領域では対応されません。
8Fh	8Dh		FFh	
90h	8Eh		7Bh (64 Mb)	
91h	8F		00h	
92h	90h	JEDEC セクタ マップ パラメーター Dword-19 設定 3 ヘッダ	FEh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (Dword - 1) = 02h: 3 つの領域 ビット 15:8 = コンフィギュレーション ID = 03h: 4 KB セクタは最上部にあり、残りの部分は 256 KB セクタです。 ビット 7:2 = RFU = 111111b ビット 1 = マップディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
93h	91h		03h	
94h	92h		02h	
95h	93h		FFh	
96h	94h	JEDEC セクタ マップ パラメーター Dword-20 設定 3 領域 0	F4h	ビット 31:8 = 64 Mb デバイス領域サイズ = 007BFFh: 256 バイト単位のカウンタ - 1 の領域サイズ = 31 x 262144B セクタ = 8126464B カウンタ = 8126464B/256 = 31744, 値 = カウンタ - 1 = 31744 - 1 = 31743 = 7BFFh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256 KB 消去であり、256 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、256 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、256 KB セクタ領域では対応されません。
97h	95h		FFh	
98h	96h		7Bh (64 Mb)	
99h	97h		00h	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
9Ah	98h	JEDEC セクタ マップ パラメーター Dword-21 設定 3 領域 1	F4h	ビット 31:8 = 領域サイズ = 00037Fh: 256 バイト単位のカウンタ - 1 の領域サイズ = 1 x 224KB セクタ = 224KB カウンタ = 224KB/256 = 896、値 = カウンタ - 1 = 896 - 1 = 895 = 37Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256 KB 消去であり、224 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、224 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、224 KB セ クタ領域では対応されません。
9Bh	99h		7Fh	
9Ch	9Ah		03h	
9Dh	9Bh		00h	
9Eh	9Ch	JEDEC セクタ マップ パラメーター Dword-22 設定 3 領域 2	F1h	ビット 31:8 = 領域サイズ = 00007Fh: 256 バイト単位のカウンタ - 1 の領域サイズ = 8 x 4KB セクタ = 32 KB カウンタ = 32 KB/256 = 128、値 = カウンタ - 1 = 128 - 1 = 127 = 7Fh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256 KB 消去であり、4 KB セ クタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、4 KB セ クタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 1b --- 消去タイプ 1 は 4 KB 消去であり、4 KB セク タ領域で対応されます。
9Fh	9Dh		7Fh	
A0h	9Eh		00h	
A1h	9Fh		00h	
A2h	A0h	JEDEC セクタ マップ パラメーター Dword-23 設定 4 ヘッダ	FEh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (Dword - 1) = 00h: 1 つの領域 ビット 15:8 = コンフィギュレーション ID = 04h: ユニフォーム 64 KB セクタ ビット 7:2 = RFU = 111111b ビット 1 = マップディスクリプタ = 1 ビット 0 = 終了ディスクリプタではない = 0
A3h	A1h		04h	
A4h	A2h		00h	
A5h	A3h		FFh	

Table 78 CFI および SFDP セクション 2, セクタ マップ パラメーター テーブル (continued)

CFI パラメーター関連のバイトアドレスオフセット	SFDP パラメーター関連のバイトアドレスオフセット	SFDP Dword 名	データ	説明
A6h	A4h	JEDEC セクタ マップ パラメーター Dword-24 設定 4 領域 0	F2h	ビット 31:8 = 64Mb デバイス領域サイズ = 007FFBh: 256 バイト単位のカウンタ - 1 の領域サイズ = 128 x 65536B セクタ = 8388608B カウンタ = 8388608B/256 = 32768, 値 = カウンタ - 1 = 32768 - 1 = 32767 = 7FFFh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 0b --- 消去タイプ 3 は 256 KB 消去であり、64 KB セクタ領域では対応されません。 ビット 1 = 消去タイプ 2 に対応 = 1b --- 消去タイプ 2 は 64 KB 消去であり、64 KB セクタ領域で対応されます。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、64 KB セクタ領域では対応されません。
A7h	A5h		FFh	
A8h	A6h		7Fh (64 Mb)	
A9h	A7h		00h	
AAh	A8h	JEDEC セクタ マップ パラメーター Dword-25 設定 5 ヘッダ	FFh	ビット 31:24 = RFU = FFh ビット 23:16 = 領域カウンタ (Dword - 1) = 00h: 1 つの領域 ビット 15:8 = コンフィギュレーション ID = 05h: ユニフォーム 256 KB セクタ ビット 7:2 = RFU = 111111b ビット 1 = マップディスクリプタ = 1 ビット 0 = 終了ディスクリプタ = 1
ABh	A9h		05h	
ACH	AAh		00h	
ADh	ABh		FFh	
Aeh	ACh	JEDEC セクタ マップ パラメーター Dword-26 設定 5 領域 0	F4h	ビット 31:8 = 64 Mb デバイス領域サイズ = 01FFFFh: 256 バイト単位のカウンタ - 1 の領域サイズ = 32 x 262144B セクタ = 8388608B カウンタ = 8388608B/256 = 32768, 値 = カウンタ - 1 = 32768 - 1 = 32767 = 7FFFh ビット 7:4 = RFU = Fh 消去タイプは未対応 = 0 / 対応 = 1 ビット 3 = 消去タイプ 4 に対応 = 0b --- 消去タイプ 4 は未定義です。 ビット 2 = 消去タイプ 3 に対応 = 1b --- 消去タイプ 3 は 256 KB 消去であり、256 KB セクタ領域で対応されます。 ビット 1 = 消去タイプ 2 に対応 = 0b --- 消去タイプ 2 は 64 KB 消去であり、256 KB セクタ領域では対応されません。 ビット 0 = 消去タイプ 1 に対応 = 0b --- 消去タイプ 1 は 4 KB 消去であり、256 KB セクタ領域では対応されません。
Afh	ADh		FFh	
B0h	Aeh		7Fh (64 Mb)	
B1h	Afh		00h	

14 工場出荷時の初期状態

デバイスは不揮発性ビットが以下のように設定されている状態でインフィニオンから出荷されます。

- メモリアレイ全体が消去されている、すなわち全ビットが「1」にセットされています (各バイトの値は FFh です)。
- OTP アドレス空間の最初の 16 バイトが乱数にプログラムされています。他のすべてのバイトは FFh に消去されています。
- SFDP アドレス空間は SFDP アドレス空間の記述で定義された値を含んでいます。
- ID-CFI アドレス空間は ID-CFI アドレス空間の記述で定義された値を含んでいます。
- RUID アドレス空間は 64 ビットの固有 ID 番号を含んでいます。
- 不揮発性ステータスレジスタ 1 の値は 00h です (全 SR1NV ビットは「0」にクリアされています)。
- 不揮発性コンフィギュレーションレジスタ 1 の値は 00h です。
- 不揮発性コンフィギュレーションレジスタ 2 の値は 00h です。
- 不揮発性コンフィギュレーションレジスタ 3 の値は 00h です。
- 不揮発性コンフィギュレーションレジスタ 4 の値は 10h です。
- パスワードレジスタの値は FFFFFFFF-FFFFFFFh です。
- 全 PPB ビット値は「1」です。
- ASP レジスタビット値は FFFFh です。

15 パッケージ図

15.1 SOIC 8 リード , 208 mil 本体幅 (SOC008)

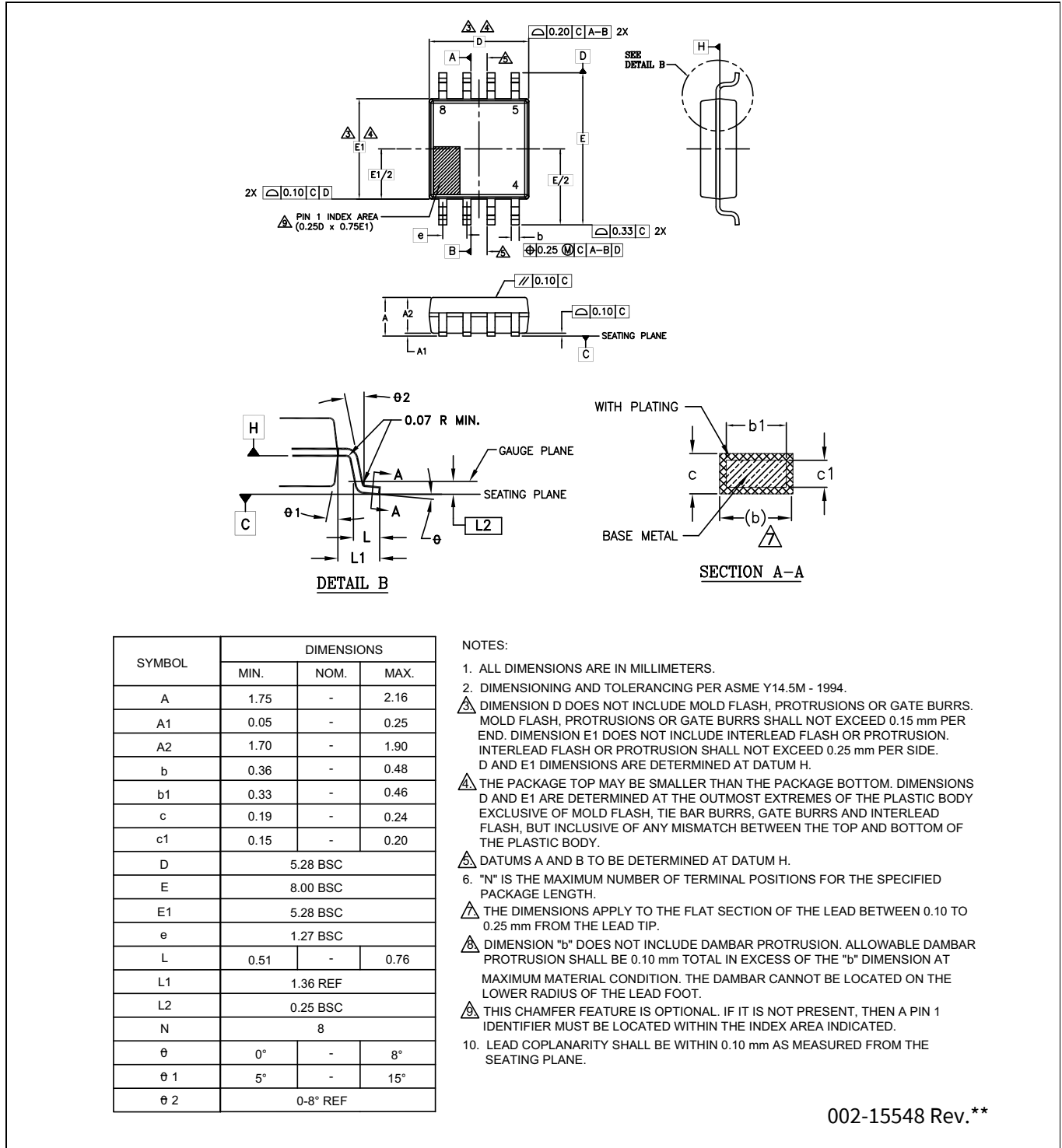


Figure 124 8 リード SOIC (5.28 × 5.28 × 2.16 mm) SOC008 パッケージ外形図 , 002-15548 (PG-DSO-8)

15.2 LGA 8 コンタクト 5 x 6 mm (W9A008)

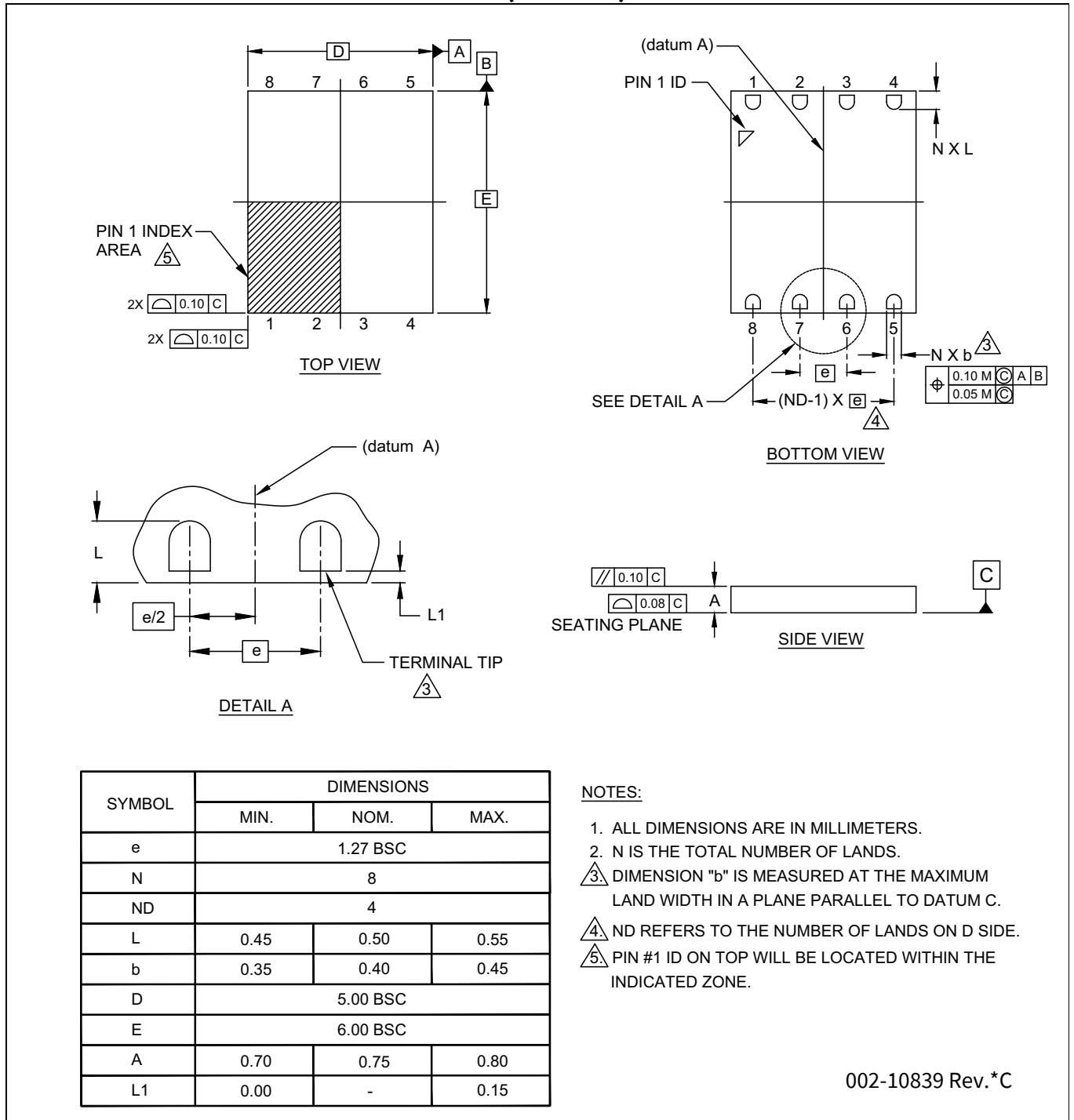
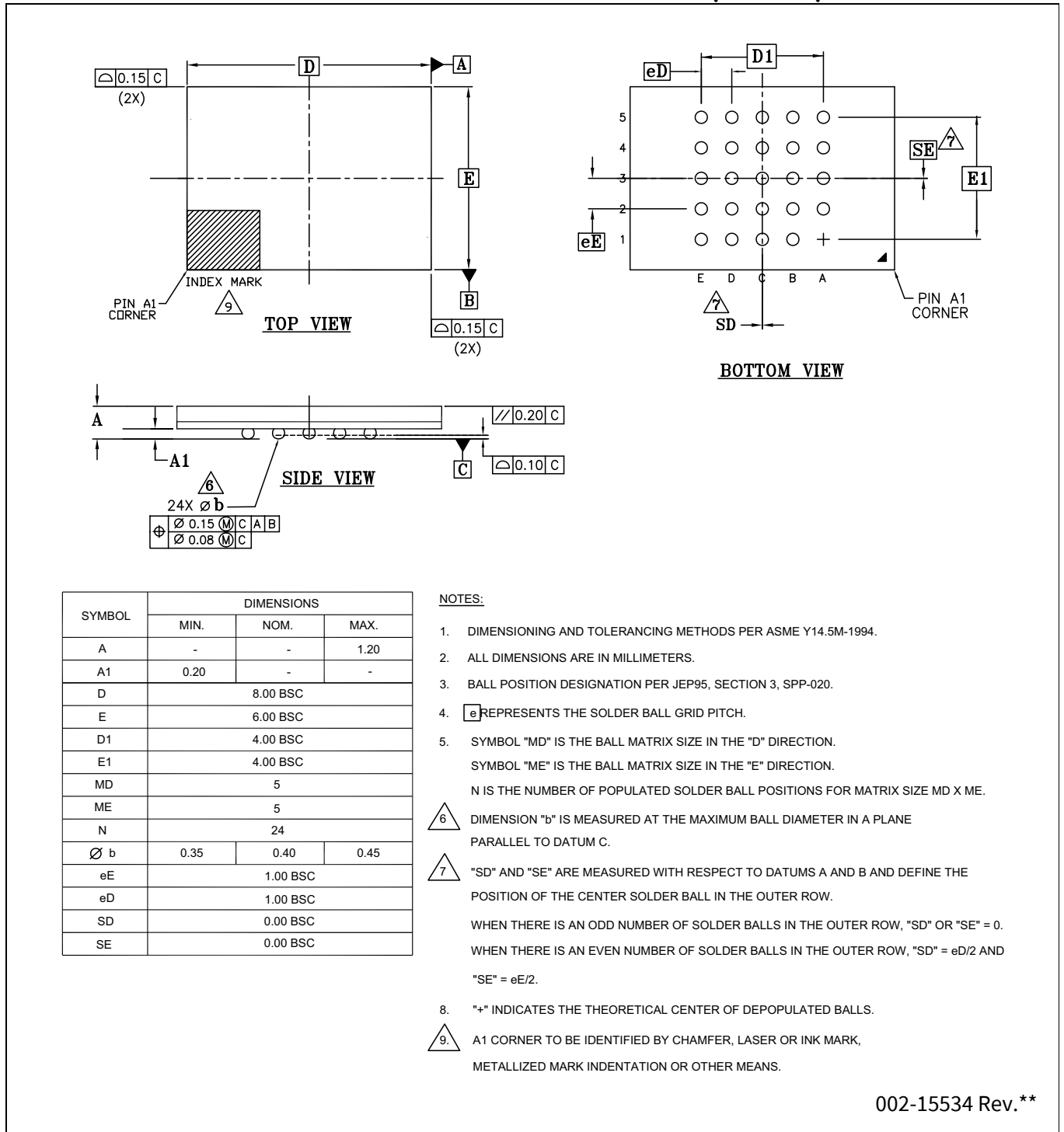


Figure 125 8 リード LGA (5.00 × 6.00 × 0.80 mm) W9A008 パッケージ外形図, 002-10839 (PG-WLGA-8)

15.3 ボールグリッドアレイ 24 ボール 6 x 8 mm (FAB024)



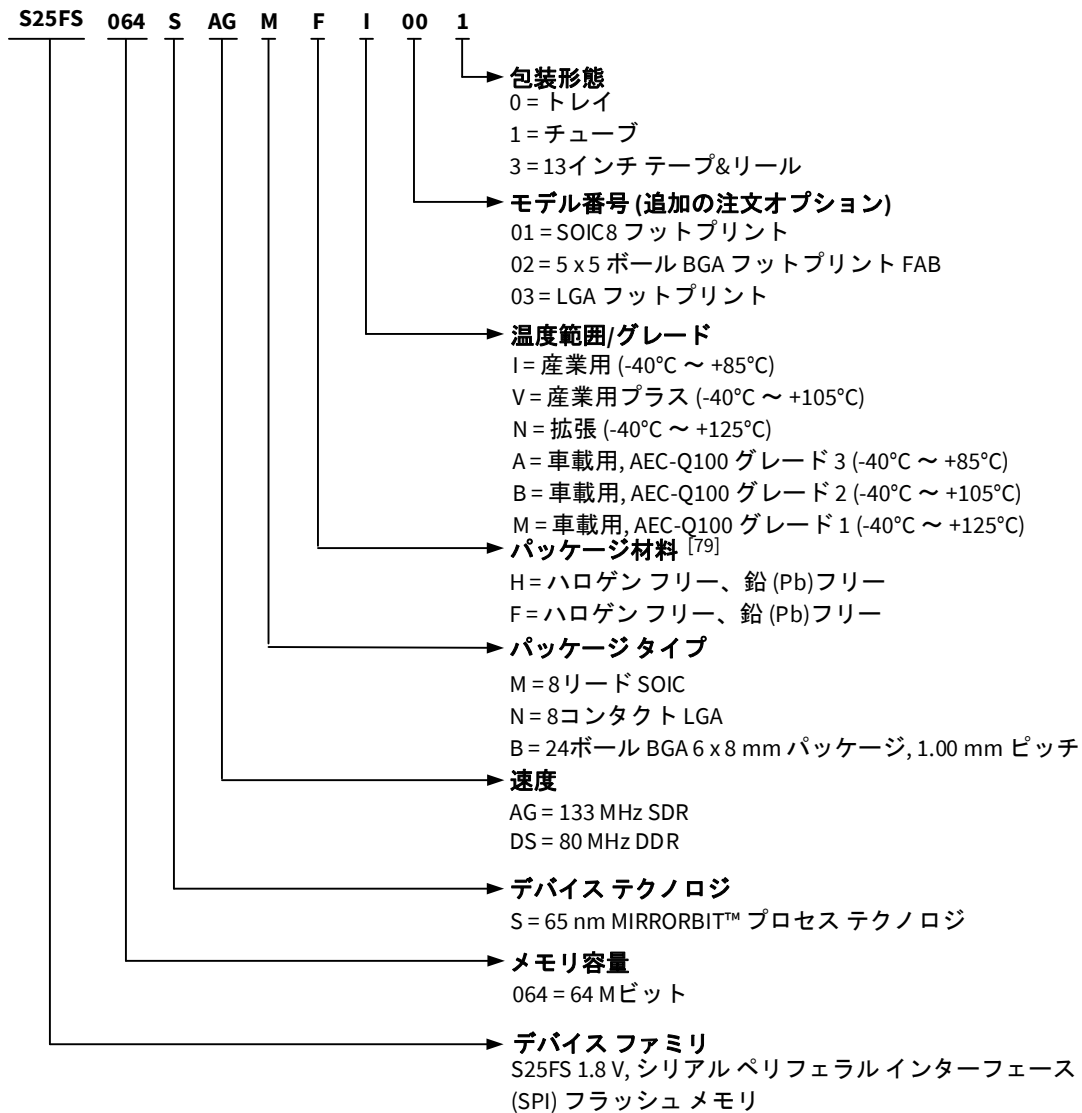
002-15534 Rev.**

Figure 126 24 ボール FBGA (8.0 × 6.0 × 1.2 mm) FAB024 パッケージ外形図 , 002-15534 (PG-TFBGA-24)

16 注文情報

16.1 注文製品番号

注文製品番号は下記の有効な組合せで構成されます。



注:

79.ハロゲンフリーの定義は IE 61249-2-21 仕様に準拠しています。

16.2 有効な組合せ – 標準

有効な組合せ表は、デバイスの大量注文のみに対応するデバイス コンフィギュレーションです。使用される組合せの有無、ならびに新たにリリースされる組合せについては担当営業までお問い合わせください。

Table 79 S25FS064S の有効な組合せ – 標準

有効な組合せ					
ベース注文製品番号	速度オプション	パッケージおよび温度	モデル番号	包装形態	パッケージマーキング
S25FS064S	AG	MFI, MFV, MFN	01	0, 1, 3	FS064S + A + (温度) + F + 1
		NFI, NFV, NFN	03	0, 1, 3	FS064S + A + (温度) + F + 3
		BHI, BHV, BHN	02	0, 3	FS064S + A + (温度) + H + 2
	DS	MFI, MFV, MFN	01	0, 1, 3	FS064S + D + (温度) + F + 1
		NFI, NFV, NFN	03	0, 1, 3	FS064S + D + (温度) + F + 3
		BHI, BHV, BHN	02	0, 3	FS064S + D + (温度) + H + 2

16.3 有効な組合せ – 車載用グレード / AEC-Q100

Table 80 は車載向けグレード / AEC-Q100 の認定がされた、量産対応が計画されているコンフィギュレーションを示します。新しい組合せがリリースされると、表は更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) のサポートは AEC-Q100 グレード製品のみを提供されています。

ISO/TS-16949 準拠を必要とするエンドユースアプリケーションに使用される製品は PPAP に対応した AEC-Q100 グレード製品でなければいけません。非 AEC-Q100 グレード製品は ISO/TS-16949 要件に完全に準拠して製造または記載されていません。

また、AEC-Q100 グレード製品は ISO/TS-16949 準拠を必要としないエンドユースアプリケーションにも PPAP サポートなしで提供されています。

Table 80 S25FS064S の有効な組合せ – 車載用グレード / AEC-Q100

有効な組合せ – 車載用グレード / AEC-Q100					
ベース注文製品番号	速度オプション	パッケージおよび温度	モデル番号	包装形態	パッケージマーキング
S25FS064S	AG	MFA, MFB, MFM	01	0, 1, 3	FS064S + A + (温度) + F + 1
		NFA, NFB, NFM	03	0, 1, 3	FS064S + A + (温度) + F + 3
		BHA, BHB, BHM	02	0, 3	FS064S + A + (温度) + H + 2
	DS	MFA, MFB, MFM	01	0, 1, 3	FS064S + D + (温度) + F + 1
		NFA, NFB, NFM	03	0, 1, 3	FS064S + D + (温度) + F + 3
		BHA, BHB, BHM	02	0, 3	FS064S + D + (温度) + H + 2

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2015-11-13	これは英語版 002-03631 Rev. ** を翻訳した日本語版 002-04138 Rev. ** です。
*A	2016-03-18	これは英語版 002-03631 Rev. *A を翻訳した日本語版 002-04138 Rev. *A です。 Updated チップセレクト (CS#). Updated 命令サイクル (QPI モード). Updated Note 1 in Table 7.1. Updated heading title in サイプレスでプログラムされた固有 ID. Updated Note 3 in 不揮発性コンフィギュレーションレジスタ 2 (CR2NV). Updated Table 7.3 and Table 13.13.
*B	2019-04-17	これは英語版 002-03631 Rev. *F を翻訳した日本語版 002-04138 Rev. *B です。
*C	2023-05-10	これは英語版 002-03631 Rev. *H を翻訳した日本語版 002-04138 Rev. *C です。
*D	2024-02-01	これは英語版 002-03631 Rev. *I を翻訳した日本語版 002-04138 Rev. *D です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-02-01
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Email:
erratum@infineon.com

Document reference
002-04138 Rev. *D

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記載された一切の事例、手引き、もしくは一般的な価値、および/または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。